

平成17年度  
研究開発成果報告書

情報通信装置の漏洩電磁波盗用防止技術  
に関する研究開発

委託先： 日本電気(株)

平成18年4月

情報通信研究機構

# 平成17年度 研究開発成果報告書 (一般型)

「情報通信装置の漏洩電磁波盗用防止技術に関する研究開発」

## 目 次

1	研究開発課題の背景	2
2	研究開発の全体計画	
2-1	研究開発課題の概要	7
2-2	研究開発目標	7
2-2-1	最終目標	7
2-2-2	中間目標	7
2-3	研究開発の年度別計画	8
3	研究開発体制	9
3-1	研究開発実施体制	9
4	研究開発実施状況	
4-1	検証試作と可能性検証	10
4-1-1	装置レベルの評価	10
4-1-2	個別回路の評価	20
4-2	要素技術の開発	32
4-2-1	内蔵LILC	32
4-2-2	オンチップ形LILC	37
4-3	まとめ	42
4-4	総括	43
5	参考資料・参考文献	
5-1	研究発表・講演等一覧	

# 1 研究開発課題の背景

## 1-1 情報通信装置からの漏洩電磁波による情報盗用脅威の現状

ネットワーク・サーバやネットワーク端末（パーソナルコンピュータ）などの情報通信装置は、個人的な情報（プライバシーに関するものなど）や組織情報など重要な情報を扱う。情報の改竄、破壊、漏洩は、組織あるいは個人にとって、大変危惧すべき問題である。通信ネットワークにおける安全性確保は、近代通信事業で必要不可欠なテーマであり、我が国においては、主に暗号化技術を中心に国を挙げて対策のための研究開発が為されてきた。高度化されてきた暗号化技術は、装置間での通信のための信号授受は正常に行われることを保証しつつ、通信を傍受する場合には正常な信号授受を行わせない技術である。

「漏洩電磁波盗用」は、装置本体から直接放射する、あるいは、装置に接続されたケーブルなどを伝って、装置外部へ漏洩した電磁波を受信し、その漏洩電磁波に含まれる情報を抽出する盗用行為である。「漏洩電磁波盗用」は、暗号化が困難な情報通信装置内部で扱われる「平文の情報」、あるいは「安易なプロトコルで表現された情報」を対象としているが、軍事関係で注目されてきた以外は、一般での認識度が低く漏洩電磁波盗用防止技術の開発は大きく立ち後れている。しかし、重要情報がモバイル機器を介して交信され、また住宅環境で多くの情報通信装置が使用される機会は、ますます増えると考えられており、情報通信装置からの漏洩電磁波に含まれる情報盗用の危険性は高まりつつある。我が国の情報化社会発展のためには、モバイル機器に適用可能であって、情報通信装置の今後の小型高性能化傾向にも貢献できる漏洩電磁波盗用防止技術の研究開発が必要となっている。

「漏洩電磁波盗用」は、「ネットワーク侵入」と同様に、「情報（通信）セキュリティ」（情報通信装置及び、それらが扱う情報を守ることの意）に対する脅威の一つに分類される。表 1-1 に、「情報（通信）セキュリティ」に対する想定脅威の分類をまとめた。

表 1-1 情報（通信）セキュリティに対する脅威の分類

想定脅威（事例）		対策
漏洩電磁波	情報が重畳した電磁波の漏洩 (画面, キー入力など)	部屋の電磁シールド, 通信線の光ケーブル化, TEMPEST 対応機器の採用
物理的侵入	部屋への侵入 情報機器ごと持ち出し	監視 (TV カメラ, 振動センサ, 赤外線, マイクロ波, ミリ波, 光ケーブル等) 入退場管理 (指紋, 網膜, 虹彩, RFID, 車両)
音声盗聴	肉声盗聴 (マイク, レーザ光線等) 電話盗聴, 盗聴器	防音, 雑音放送など建物対策 秘話秘匿装置など、電話設備への対策 電波監視による盗聴器の発見
ネットワーク侵入	クラッキング (破壊, 改竄) ウイルス (ワーム)	ファイヤーウォール, VPN, デジタル署名, 暗号化, コンピュータウイルス対策
破壊工作	EMP, 電磁エネルギー照射 (誤動作, 破壊) ウイルス	機器の保護, 強化 コンピュータウイルス対策

「漏洩電磁波盗用画面再生実験」の一例（画面盗用）を図 1-1 に示す。情報通信装置の表示画面（図 1-1. a）から放射された漏洩電磁波を離れた場所で受信し、これから抽出した信号を利用して、画面を再生した（図 1-1. b）。再生は、図 1-2. に示す手順で行った。画面情報 (RGB 信号) が重畳する周波数スペクトルを探し (図 1-2. a)、画面同期信号 (図 1-2. b)

を確認、その後、検波後の RGB 信号 (図 1-2. c) を表示装置に入力し、適当な水平垂直同期信号を与えるだけで比較的容易に盗用が可能である。



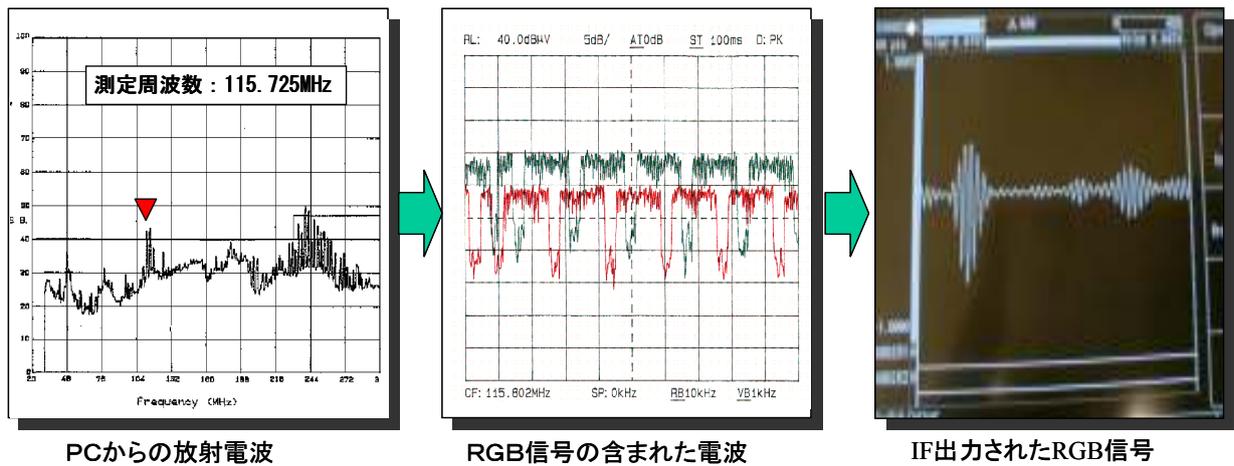
もとの画面

再生画面

(a)

(b)

図 1-1. 漏洩電磁波盗用画面再生実験の一例



PCからの放射電波

RGB信号の含まれた電波

IF出力されたRGB信号

(a)

(b)

(c)

図 1-2. 画面再生の説明

## 1-2 漏洩電磁波に対する「脅威」の受信能力

表示画面のみならず、キー入力やプリンタ出力、FAX 出力も同様に漏洩電磁波盗用が可能と考えられる。

このように画面やキー入力などの情報が重畳した漏洩電磁波を傍受し、情報 (画面やキー入力など) を復元、盗用する人及び機材を「脅威」と、ここでは定義する。「脅威」の程度は、資料 1~3 で記述される復元 (盗用) 側機材の能力に、技術的な可能性を考慮し、漏洩電磁波の検出モデル (図 1-3) を想定した。

資料 1: 瀬戸 信二「情報処理機器からの電磁波漏洩に対する情報保全対策」, EMC, No. 27, pp. 7-17, 1990. 7. 5

資料 2: 瀬戸 信二「TEMPEST 対策について」, EMC, No. 97, pp. 97-114, 1996. 5. 5

資料 3: 岡田 正「読み取られるパソコンの電磁波輻射」, HAM Journal, No. 73, pp. 82-86, 1991

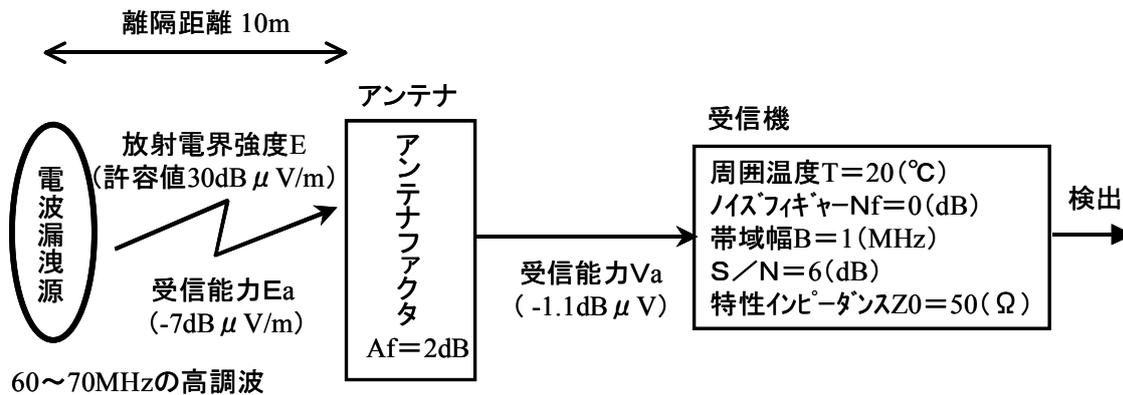


図 1-3 漏洩電波の検出モデル

次に、想定条件と受信可能な電界強度について検討する。

想定条件は以下の通りである。

- ・ 解像度 XGA (1024 × 768) 程度の表示画面  
各色 (R, G, B) の帯域幅: 60MHz ~ 70MHz (ドットクロックとしては、180 ~ 210MHz 程度)
- ・ 脅威の離隔距離: 10m (隣室や隣家)
- ・ 発生源 (情報機器) の放射電磁波: VCCI\*許容値レベル

VCCI クラス B の許容値 (距離 10m) は、30 dB μV/m (30 ~ 230MHz), 37 dB μV/m (230MHz ~ 1GHz)。受信機 RBW (共振帯域幅): 120kHz

\*VCCI: 情報処理装置等電波障害自主規制協議会 (Voluntary Control Council Interference by Information Technology Equipment)

- ・ 脅威の受信設備: 高度な技術レベル  
 周囲温度: 20°C  
 ノイズフィギュア Nf: 0 dB  
 S/N: 6 dB  
 特性インピーダンス: 50 Ω  
 アンテナ: 多エレメント八木宇田アンテナ (指向性 20dB)  
 アンテナファクタ Af: 2 dB
- ・ 画面の復元認識に必要な帯域幅: 1MHz

上記の想定条件を基に漏洩電磁波に対する「脅威」の受信能力を算出する。

受信機の内部雑音 P<sub>nn</sub> が受信能力を決定する要素である。前項条件から、受信機の RBW は、3MHz として、次式(1-1)から内部雑音を算出する。なお、ノイズフィギュア Nf は、最高レベルの増幅器を考え 1 (=0dB) とする。周囲温度は、27°C。受信機の S/N は、2 と仮定する。

$$P_{nn} = k \cdot T \cdot B \cdot Nf \quad \dots \dots \dots (1-1)$$

- ただし、k: ボルツマン定数 1.34 × 10<sup>-23</sup> (T/K)
- T: 周囲温度 293 (K) {= 273 + 20 (°C)}
- B: 帯域幅 1MHz
- Nf: ノイズフィギュア 1

式(1-1)に、各値を代入して、計算すると、次式となる。

$$P_{nm} = 3.93 \times 10^{-15} \text{ (W)} \quad \dots\dots\dots (1-2)$$

受信系の特性インピーダンスを  $50 \Omega$  として、電圧に換算する。

$$V_{nm} = 4.43 \times 10^{-7} \text{ (V)} = 0.443 \text{ (}\mu\text{V)} \quad \dots\dots\dots (1-3)$$

添付資料 1-3 によれば、画像処理により、ノイズ混じりの画像を整形できるので、 $S/N$  ( $2=6\text{dB}$ ) と考える。受信能力  $V_a$  は次式となる。

$$V_a = 0.886 \text{ (}\mu\text{V)} \quad \dots\dots\dots (1-4)$$

デシベルに変換する。

$$V_a = -1.1 \text{ (dB}\mu\text{V)} \quad \dots\dots\dots (1-5)$$

100~200MHz 用の多エレメント八木宇田アンテナは、絶対利得（無指向性アンテナに対する利得）は 14dB（電圧で 4 倍）程度ある。さらに、その多エレメント八木宇田アンテナを複数個スタックすることで、およそ 20dB（電圧で 10 倍）程度となる。

資料 4「アンテナ・電波伝搬」（虫明 康人，コロナ社，p. 33，1961）の式(3・41)を引用すれば、受信可能電界強度  $E_a$  は次式で表される。

ただし、
$$|E_a| \approx \frac{|V_a|}{2.90 \times 10^{-2} \lambda \sqrt{RG_a}} \quad (1-6)$$

- $G_a$ : アンテナの絶対利得
- $R$ : アンテナの入力インピーダンス
- $V_a$ : 受信能力
- $\lambda$ : 波長

式(1-6)に、 $V_a$  に  $0.886 \mu\text{V}$ （式(1-4)より）、 $R$  に  $50 \Omega$ 、 $G_a$  に 10 倍、 $\lambda$  に 3m (@100MHz) を代入する。

$$|E_a| \approx \frac{0.886}{2.90 \times 10^{-2} \times 3 \times \sqrt{50 \times 10}} = 0.445 \text{ (}\mu\text{V/m)} = -7.0 \text{ (dB}\mu\text{V/m)} \quad (1-7)$$

以上から、脅威の受信能力は、電界強度で -7.0 dB $\mu\text{V/m}$  である。

「漏洩電磁波盗用」の「脅威」に対する対策は、情報通信装置単体からの漏洩電磁波強度を抑制するしかない。したがって、図 1-3 の電波漏洩源の放射電界強度  $E$  を、検出不可能な程度（受信能力  $E_a$  以下）としなければならない。すなわち、電波漏洩源（情報通信装置）の放射電界強度を許容値（クラス B）より、約 40dB 下げる必要がある。

### 1-3 情報通信装置からの電磁波漏洩の現状

情報通信装置からの漏洩電磁波を、電波暗室（図 1-4）で測定した。対象である情報通信装置、この場合ネットワーク端末としてノートパソコン、を木製テーブルに置き、3m 離隔したアンテナで受信する電界強度値で評価する。結果を図 1-5 に示す。なお、本測定の目的は、現状のノート PC の実力を把握するものであり、EMI（放射妨害波：Electro-Magnetic Interference）規格確認のための測定でないので、測定は当社中央研究所にある 6 面電波暗室で 3m 法にて測定した。

測定結果から、現状のノートパソコンからは VCCI のクラス B 規制値レベルに近い値のスペクトラムもみられる。どのスペクトラムに情報が含まれるか不確なため、全てのスペクトラムに情報が重畳するものと考え、現状のノートパソコンは VCCI のクラス B 規制値 ( $47\text{dB}\mu\text{V/m}$ , @3m) 程度で情報を放射していると見なす。また、一般の情報通信装置は、VCCI 規制値を満たす程度の漏洩電磁波防止対策が為されるが、それ以上の対策は通常行わない。

したがって、重要な情報を「漏洩電磁波盗用」の「脅威」から防護するためには、更なる「漏洩電磁波盗用防止技術」による対策が不可欠である。

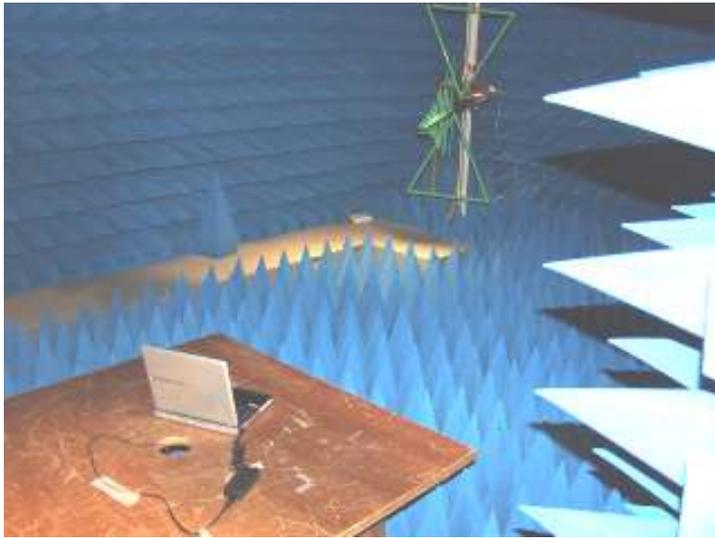


図 1-4 測定風景（電波暗室）

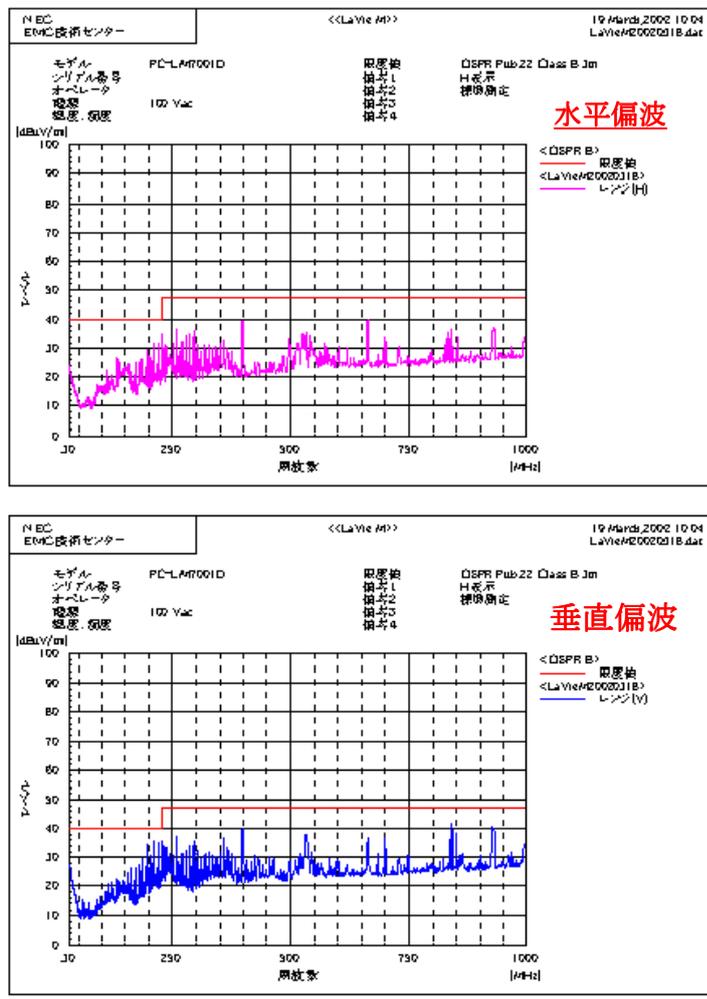


図 1-5 ノートパソコンの漏洩電磁波測定結果

## 2 研究開発の全体計画

### 2-1 研究開発課題の概要

情報通信装置本体からの直接放射、あるいは接続されたケーブルなどを伝わって外部へ漏洩した電磁波を受信し、その漏洩電磁波に含まれる情報を抽出する「漏洩電磁波盗用」は危惧すべき問題である。重要情報がモバイル機器を介して交信され、また住宅環境で多くの情報通信装置が使用される機会は増加の傾向にあり、モバイル機器に適用可能な漏洩電磁波盗用防止技術の研究開発が必要となっている。

上記課題解決に関し、回路技術の観点から以下の斬新な電源分配回路技術を用いた情報処理装置を試作し、装置本体からの電磁放射を顕著に抑制することを目標とする（電磁放射電界強度規格値に対し、中間目標 20dB 抑制、最終目標 40dB 抑制）。

#### 【新たな電源分配回路技術】

従来のデカップリングコンデンサに置き代わる高性能の低インピーダンス線路素子 (LILC: Low Impedance Line structure Component) 技術を用いて、回路設計基準を構築し、実機での試作評価を行う。LILC の効果として、電源分配回路への電磁波漏洩を阻止が可能で、装置からの情報盗用が防止される。既開発済みのボード搭載形 LILC に加え、①内蔵形、②オンチップ形を開発検討する。

### 2-2 研究開発目標

#### 2-2-1 最終目標（平成19年3月末）

最終目標として、内蔵形（ボードまたはパッケージ）LILC 及び（半導体）オンチップ形 LILC TEG の試作評価を行い、これらの試作過程で得られる各種パラメータを抽出する。以上のパラメータを用いて、情報通信機器（サーバ及びノート PC）に適用した場合を想定した放射電磁界解析を実施し、これらの想定情報通信装置からの放射電界強度が、VCCI のクラス B 規制値レベルに対して 40dB 以下であることをシミュレーションによって確認する。

#### 2-2-2 中間目標（平成17年1月末）

中期目標として、TEG 試作によって得られるパラメータを使用して新しい電源分配回路技術を適用した場合を想定した情報通信機器（サーバ及びノート PC）についてシミュレーションして VCCI クラス B に対して 20dB 以下になることを確認するとともに、これらの装置を試作して、試作装置からの放射電界強度が、VCCI のクラス B に対して概ね 20dB 以下であることを検証する。

2-3 研究開発の年度別計画

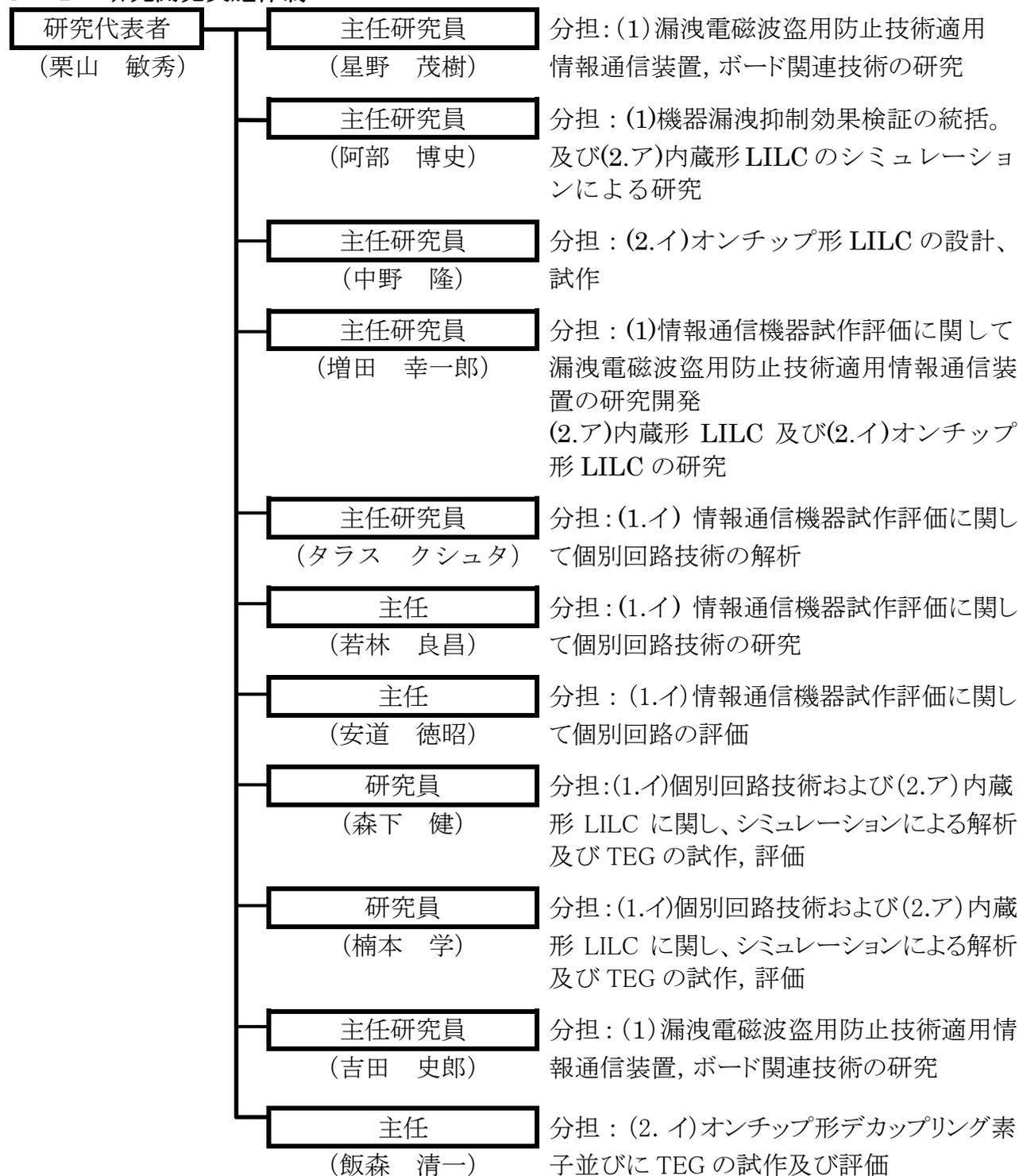
(金額は非公表)

研究開発項目	15年度	16年度	17年度	18年度	計	備考
情報通信装置の漏洩電磁波盗用防止技術に関する研究開発  1) 検証試作と可能性検証 (情報通信機器試作評価またはTEGの試作評価及び放射電磁界解析による検証)  2) 要素技術の研究開発 (新しい電源分配回路技術に関する研究開発) ア. 内蔵形 LILC 研究開発  イ. オンチップ型 LILC 研究開発	装置一次試作 TEG 設計	装置二次試作 (20dB 抑制検証)  TEG 試作  TEG 設計検討	TEG 試作評価  TEG 試作  TEG 試作	可能性検証 (40dB 抑制)  TEG 改良		
間接経費						
合計						

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む)。  
 2 備考欄に再委託先機関名を記載  
 3 年度の欄は研究開発期間の当初年度から記載。

### 3 研究開発体制

#### 3-1 研究開発実施体制



## 4 研究開発実施状況

### 「情報通信装置の漏洩電磁波盗用防止技術に関する研究開発」

#### 4-1 検証試作と可能性検証

情報通信機器試作評価または TEG の試作評価及び放射電磁界解析による検証

##### 4-1-1 装置レベルの評価

###### 4-1-1-1 発生源特定

最終目標を達成するために、528MHz、200MHz 付近や測定系の計測器ノイズに埋もれている 700MHz 以上でのスペクトラムを観測し、その発生源（回路）を特定し、回路における施策を検討する必要がある。そこで標準管体にて漏洩電磁波スペクトラムを観測し、どの回路に起因するスペクトラムかを調査した。

六面電波暗室での測定状態を図 A1、測定結果を図 A2 に示す。特に大きなスペクトラムに着目し、近傍の磁界を観測（図 A3）した。装置動作状況から HDD 信号線近くで強く観測される間欠性の 654MHz は HDD 起因のスペクトラムと断定できた。799.3MHz は 133.3MHz クロックの第 6 高調波、930.5MHz は同第 7 高調波と推察されるが 33.3MHz クロックに由来する可能性もある。899.3MHz は 33.3MHz クロックの第 27 高調波と推察され PCI 起因と想像される。200MHz は 33.3MHz の第 6 高調波であることからマザーボードに使用されるクロック（同期信号）が大きなスペクトラムの主因と判断される。

近傍磁界を探索したところ、電源デカップリング技術を適用した CPU 周辺では強いスペクトラムは観測されなかった。これらスペクトラムは周辺機器や回路に起因すると思われる。



図 A1 電波暗室内測定



図 A3 磁界プローブによる探索

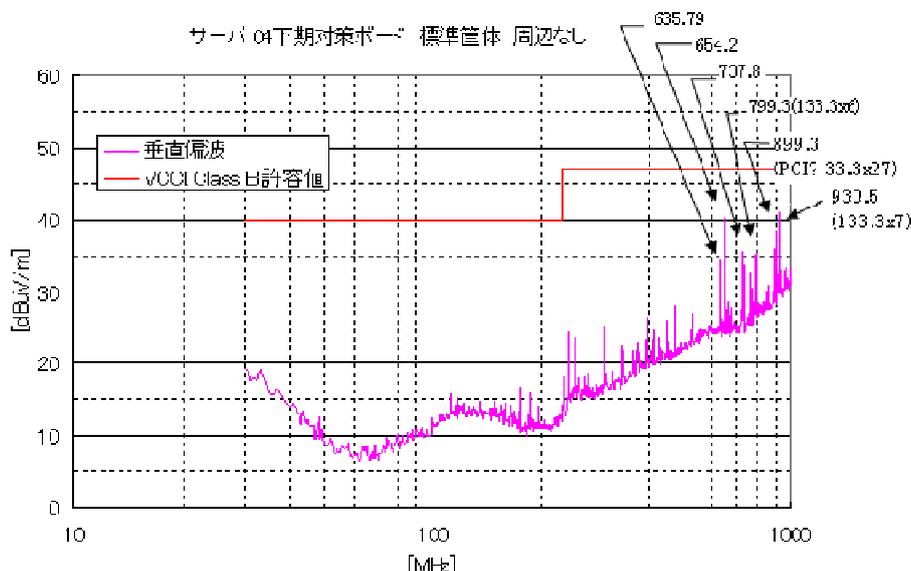


図 A2 スペクトラム測定結果

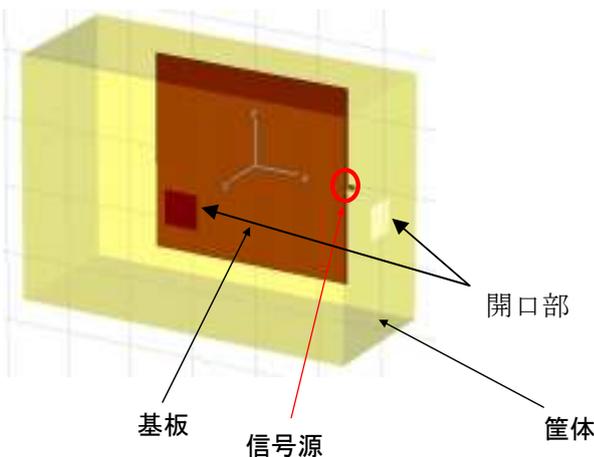
#### 4-1-1-2 筐体の遮蔽性能

デスクトップコンピュータに対して、遮蔽効果を強化した筐体を用いることによって、中間評価における目標である VCCI クラス B 基準値レベルに対して 20dB 以下にすることができたことを報告した。筐体の遮蔽効果を強化する手法は最後の手段として考える必要があるという意見もあり、通常使用されているデスクトップコンピュータ用の筐体の遮蔽効果を評価することが重要である。今年度はデスクトップコンピュータにおける市販の筐体による電磁波の遮蔽効果に関する評価検討を行ない、最終目標に向けた放射電磁波の抑制性能の見積り値を確定することを検討した。

##### (1) 筐体の遮蔽性能に関する電磁界解析

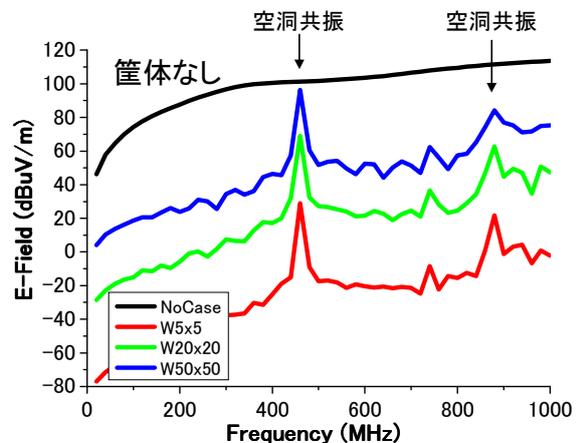
デスクトップコンピュータを想定し、それらに通常使用されている構造からなる筐体の遮蔽効果を電磁界シミュレータで計算するため、図 B1 に示した簡易筐体モデルを作成した。三次元電磁界シミュレータ (FDTD 法) を用いて筐体の側面 (最大面) や正面に開口部を設けた場合を主に、開口部のサイズの効果、開口部の数、基板と筐体とのピン接続効果等についての計算を行なった。解析結果の一例を図 B2 に示す。

以上の解析結果をまとめると、今回解析として用いたモデルのような単純な系においては、筐体の遮蔽効果は開口部面積や開口部形状に影響される。特定の周波数 (空洞共振周波数) について種々の対策 [B1] [B2] でその影響を除くと遮蔽性能は数十 dB 程度はあるものと考えられる。しかし、実際の装置では形状やノイズ源が複数存在することなど複雑な影響が出ることが予想されるので、遮蔽効果は計算結果より低下して 10~20dB 程度になる可能性があるものと推察している。



サイズ : 500mm × 350mm × 200mm  
筐体材料 : 1 mm 厚アルミニウム

図 B1 筐体の遮蔽効果の解析用モデル



W : 開口部の一辺の長さ  
筐体サイズに起因する共振有り

図 B2 解析結果の一例

##### (2) 筐体の遮蔽性能に関する測定評価

最終目標における各低減要素技術の効果を見積もる際に、筐体による放射抑制効果の定量値を計測することは重要と考える。そのために、市販のミドルタワー型コンピュータ (デスクトップ型) に使用される筐体に、今年度試作した TEG を実装し筐体における遮蔽効果についての評価測定を行なった。

筐体に TEG を実装した状態を図 B3 に示す。EMI の発生源特定と低減に関する要素技術に関する評価に用いるために試作された TEG は FPGA が実装され、シングルエンド配線用 I/O と LVDS の I/O 配線と外部信号出力コネクタが実装された 4 層のプリント基板である。

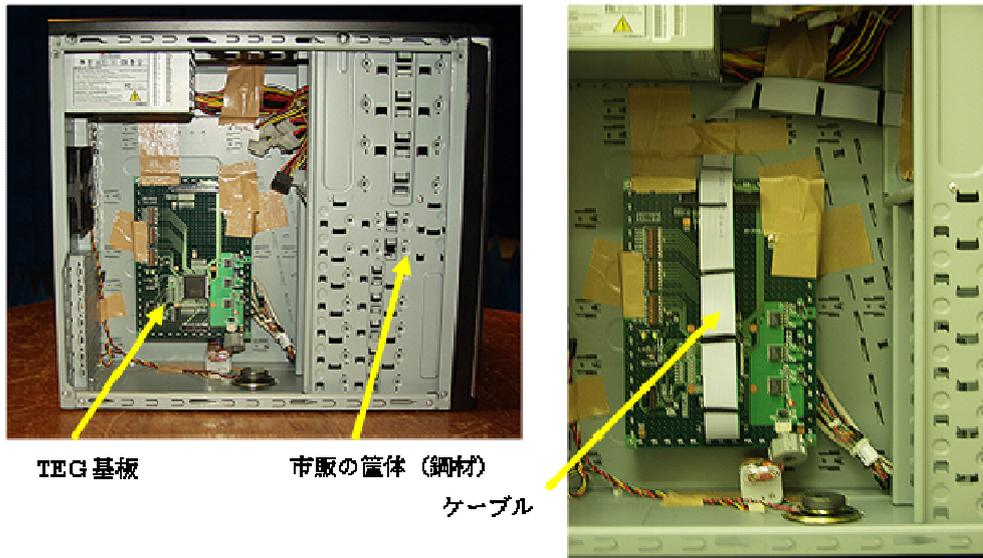


図 B3 筐体に TEG を実装した状態

測定時の TEG 基板の動作条件としては、LVDS や I/O 出力でケーブルにつながっている配線には信号を流していない。FPGA 付近で終端された短い I/O 配線 (V-G 層をまたいでいる) だけに信号を流す状態であった。したがって、この条件では、ほとんど電源-グラウンド層間に発生したノイズが主たる発生要因と考えられる。

結果の一例を図 B4 に示す。TEG 基板のみ (筐体の内部に入れない場合) と筐体内部に TEG 基板を装着して脱着可能なパネルをすべて装着した状態 (パネルで覆われた通常の使用状態) での放射強度の差分である。

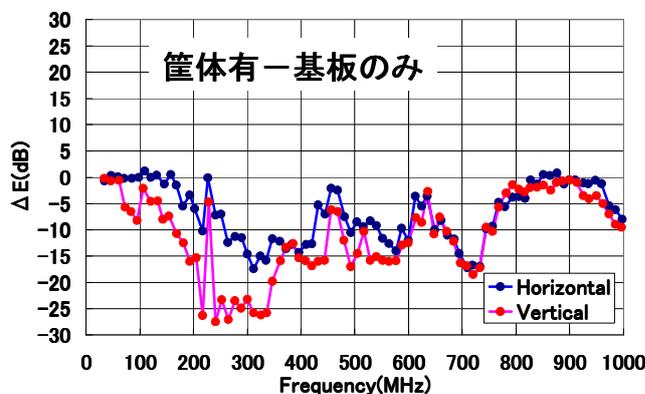


図 B4 基板のみの場合と筐体内部配置の場合の放射の差分

今回用いた市販の筐体においては、空洞共振と推定される周波数以外の周波数においては、おおむね 15dB 以上最大 25dB の遮蔽効果があるといえる。さらに、測定におけるノイズレベルを考慮すると 15~20dB の遮蔽効果はあるものと思われる。

#### 参考文献

- B1 : 古森、小田、神田 ; 特許出願公開番号 特開平 11-177273  
「電子機器筐体及び不要輻射低減方法」
- B2 : 長岩、沼山、岩間、守 ; 「筐体の EMC 対策技術」  
宮城県産業技術センター H14 年度研究報告 (その 14)  
またはミヤギ産業技術情報 Jan. 2004 No.16 (発行:ITIM)

### 4-1-1-3 ケーブルの影響

#### (1) TEG 基板の測定

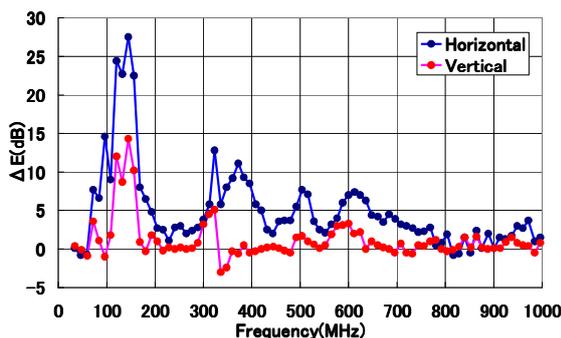
プリント基板から放射される EMI の主要な原因として、電源-グランド層からの放射が挙げられる。これは、LSI の電源電流や、電源-グランド層をまたいで配線された信号線によって両プレーン間に電圧が誘起され、その共振周波数において高レベルの EMI を発生するものである。この電源-グランド層間の電圧変動は、プリント基板に接続されたケーブルと結合し、ケーブルをアンテナとして高レベルの EMI を発生する。本節ではこの電圧変動に起因するケーブルからの EMI を TEG 基板の測定により評価した。

EMI 測定状態を図 C1 に示す。TEG 基板は大きさ 145mm×205mm、層構成は 4 層 (SGVS)、および 5 層 (SGVGS) の 2 種類である。5 層基板では、電源-グランド層からの放射を抑制した基板において、ケーブルからの EMI を評価することを目的とした。このため、電源層の上下にグランド層を設け、グランド層同士をビアで狭ピッチに接続するシールド構造とした。このビアは LSI 等の部品や信号配線の近辺を除き、基板上に 5mm 間隔で配置した。

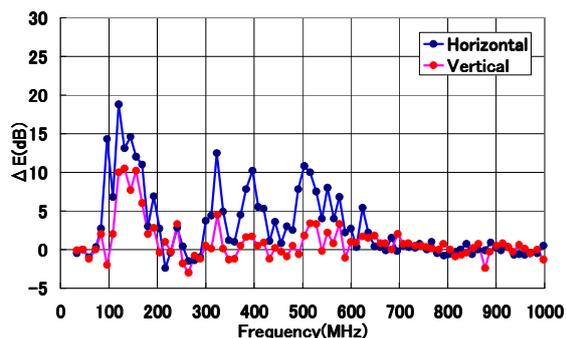


図 C1 EMI 測定状態

測定結果の一例を図 C2 に示す。LVDS ケーブル接続前後での EMI 増加分である。(a)は 4 層基板、(b)は 5 層基板である。



(a) 4 層基板



(b) 5 層基板

図 C2 LVDS ケーブル接続前後での EMI 増加分

一連の結果から、接続されたケーブルに直接信号を出力しなくても、電源-グランド層間の電圧変動がケーブルと結合することにより、EMI を大きく増加させることを確認した。また、電源層をグランド層でシールドした構造が EMI 抑制に有効であることを確認した。

今後、電源-グランド系の電圧変動をケーブルと結合させないためのプリント基板やコネクタの構造、さらにプリント基板と筐体との接続方法を検討する必要がある。

(2) ケーブルを接続した TEG 基板に関する近傍磁界解析

前項の結果を受け、基板に接続されたケーブルの近傍磁界を解析した。TEG 基板近傍の磁界分布測定結果(324MHz)を図 C3 に示す。ケーブル接続点に強い磁界が観測された。

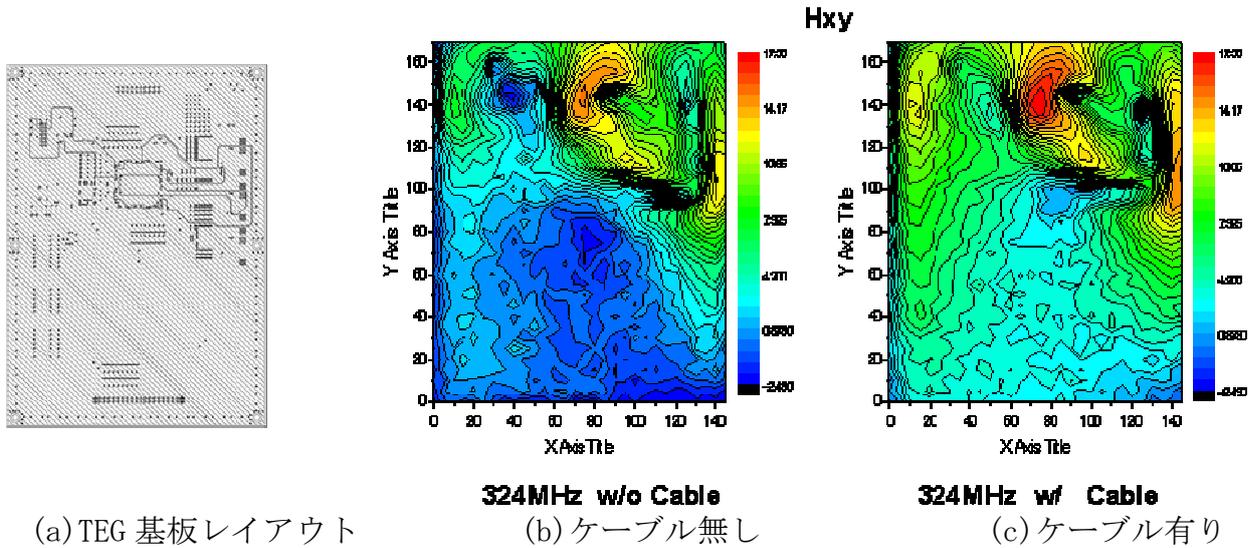


図 C3 TEG 基板近傍磁界分布測定結果

電磁界解析した結果を図 C4, 図 C5 に示す。ケーブル長さで決まる共振で強くなることが判った。

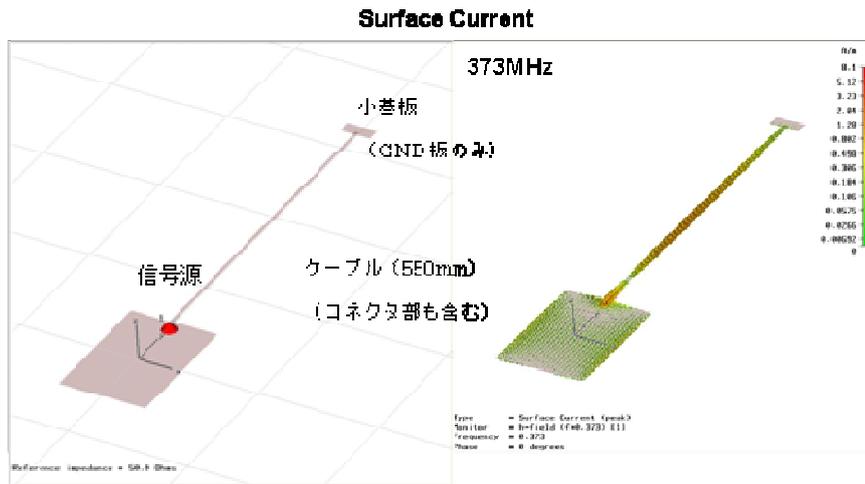
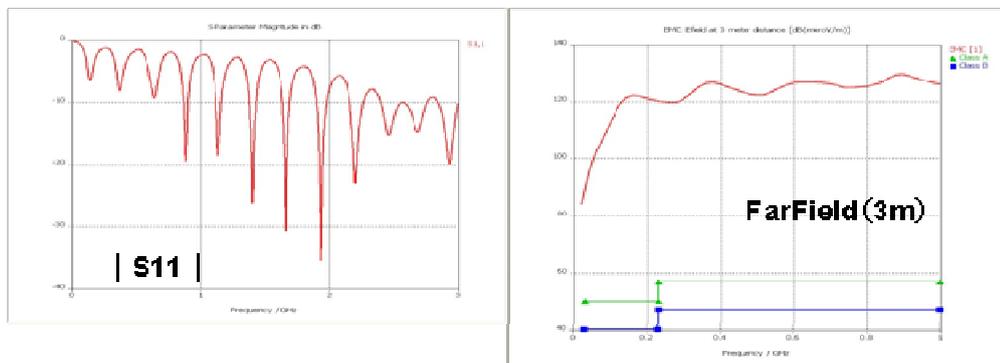


図 C4 電流分布の解析結果



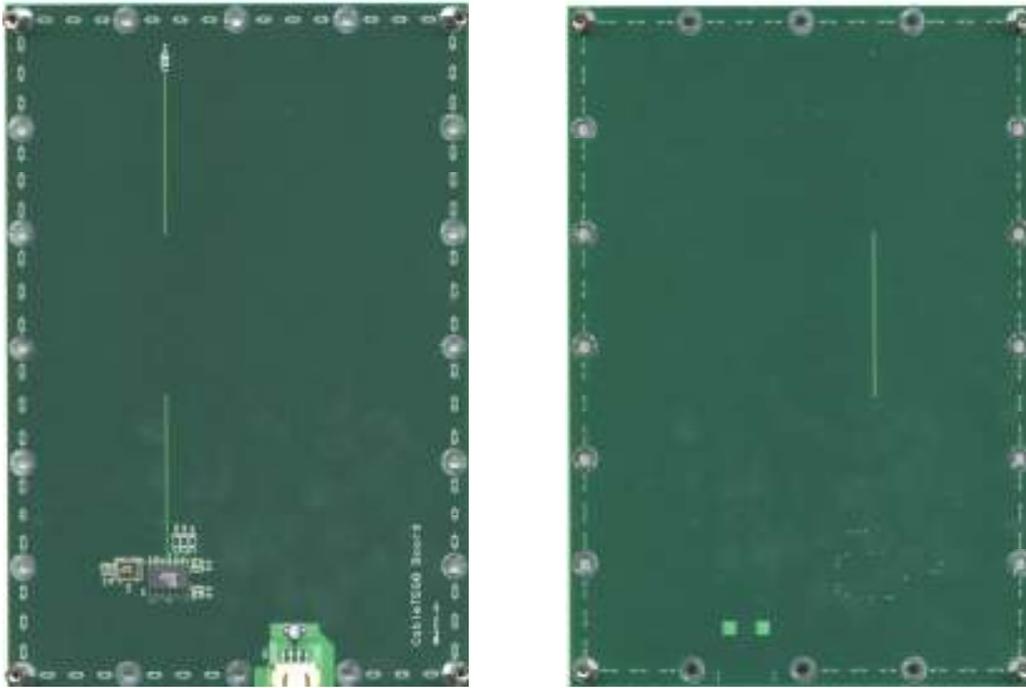
(a) S11

(b) EMI

図 C5 電磁界解析結果

#### 4-1-1-4 グランディング

プリント基板と筐体との接続（グランディング）による EMI への影響を検討した。ここでは、電源ーグラウンド層からの放射とグランディングの関係を調査するため、試作した 4 層 TEG 基板 (SGVS) と筐体 (FG) との接続方向 (SGVS-FG、SVGS-FG) に対する EMI を評価した。試作した TEG 基板(サイズ 145×210mm)を図 D1 に示す。20MHz の水晶発信器とドライバが搭載され、出力信号線が電源ーグラウンド層をまたいで配線されるため、両プレーン間に EMI の発生源となる電圧が誘起される。この信号線の特徴インピーダンスおよび終端抵抗は 50Ωとした。グランディングポストは基板外周に 20箇所設けた。この TEG 基板を接続する筐体は 400×500mm の金属板とした。なお、EMI は 3m 法の 6 面電波暗室で測定した。



表面

裏面

図 D1 TEG 基板

測定風景を図 D2 に、測定結果の一例を図 D3 に示す。ボード単体、4 点接地のグラウンドポスト高さ 10mm と 30mm の EMI 測定結果である。この他、種々の条件で評価を実施した。

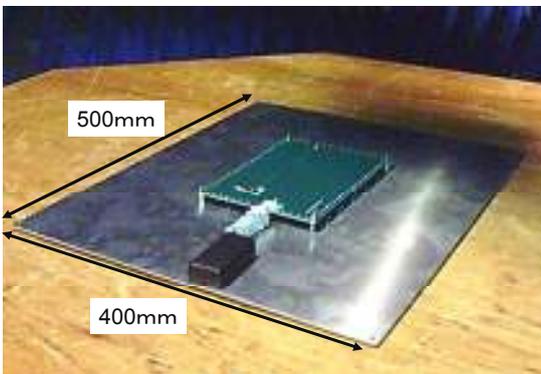


図 D2 EMI 測定風景

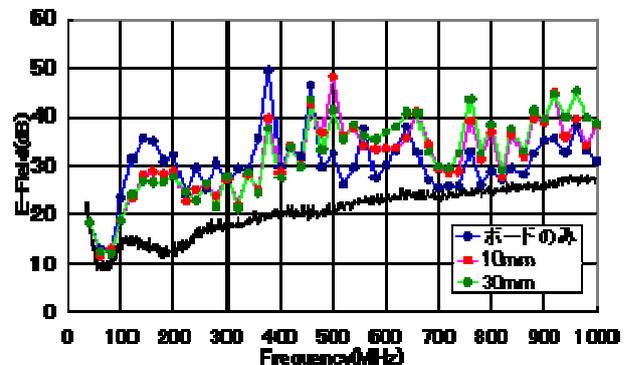


図 D3 EMI 測定結果の一例

次に電磁界シミュレーションによりグランディングの影響を解析した。TEG 基板の解析モデルを図 D4 に示す。金属板を含めた解析モデルを図 D5 に示す。

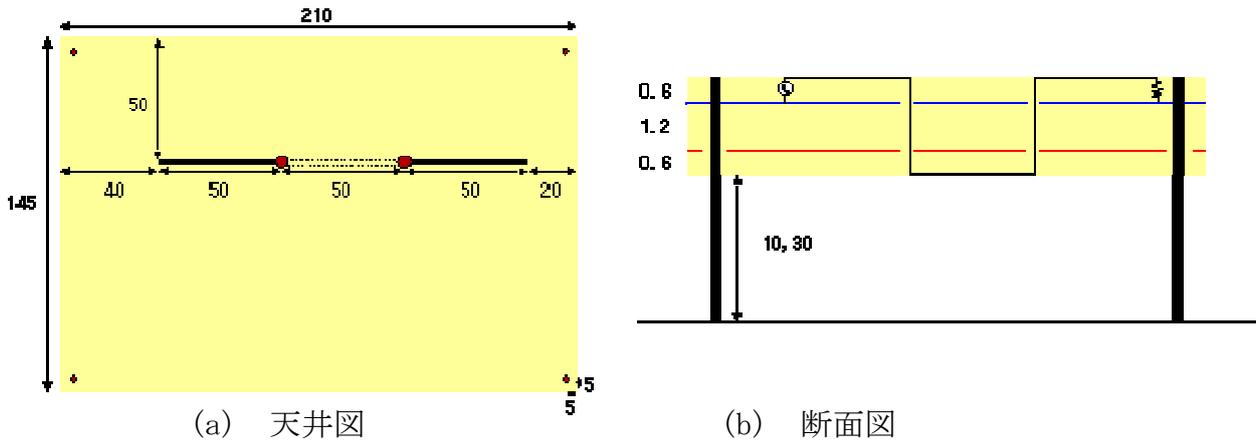


図 D4 TEG 基板の解析モデル

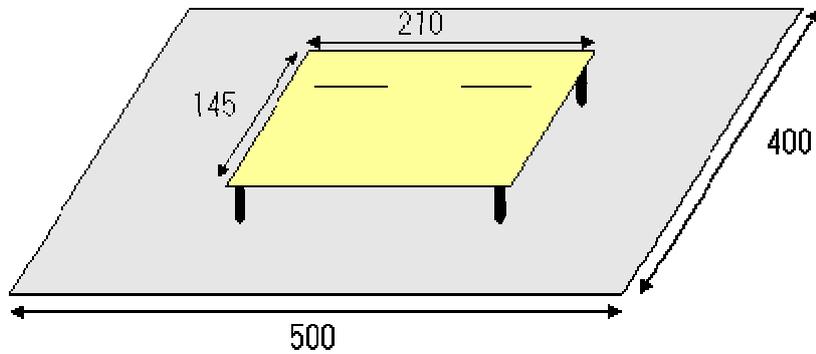


図 D5 金属板を含めた解析モデル

解析結果の一例を図 D6 に示す。グランディング数の差により EMI 特性に数 dB 程度の差が生じることがわかった。

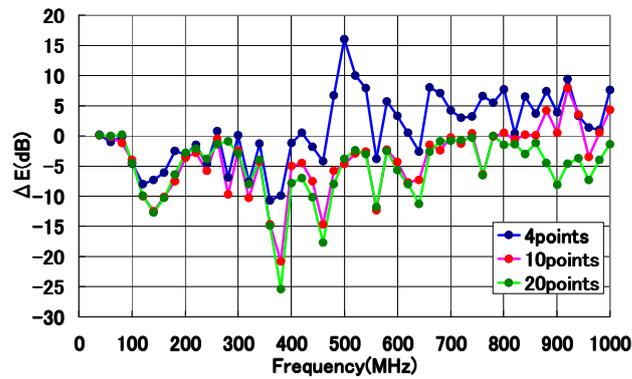


図 D6 解析結果の一例 グランディング数による差

#### 4-1-1-5 大規模 TEG

種々の要素技術を盛り込んだ漏洩電磁波抑制効果の検証するためマザーボード相当の規模の回路を模擬したボード(以下、大規模 TEG)を試作した。個々の要素技術の有効性を切り分けて定量評価するため LSI の動作を自由に変更できる FPGA(Field Programmable Gate Array)で CPU, チップセット(North Bridge、South Bridge)を模擬した。下記の対策を盛り込んだ対策ボード(以下、ボード B)と、リファレンスとしての対策無しボード(以下、ボード A)の2種類を作成した。大規模 TEG のブロック図(ボード A、B 共通)を図 E1 に、基本仕様を図 E2 に、外観写真を図 E3 に示す。機能ブロックによる効果の検証を進める。

- ・ プリント基板層構成最適化
- ・ シールドビア
- ・ LSI ピンアサイン最適化
- ・ デカップリングコンデンサ配置最適化
- ・ ケーブルの影響最小化
- ・ ヒートシンクの接地強化

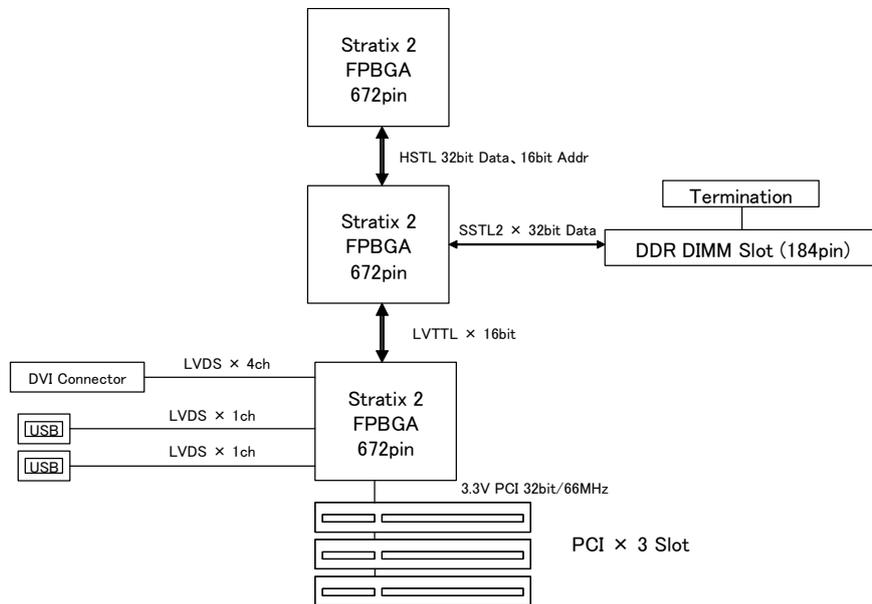


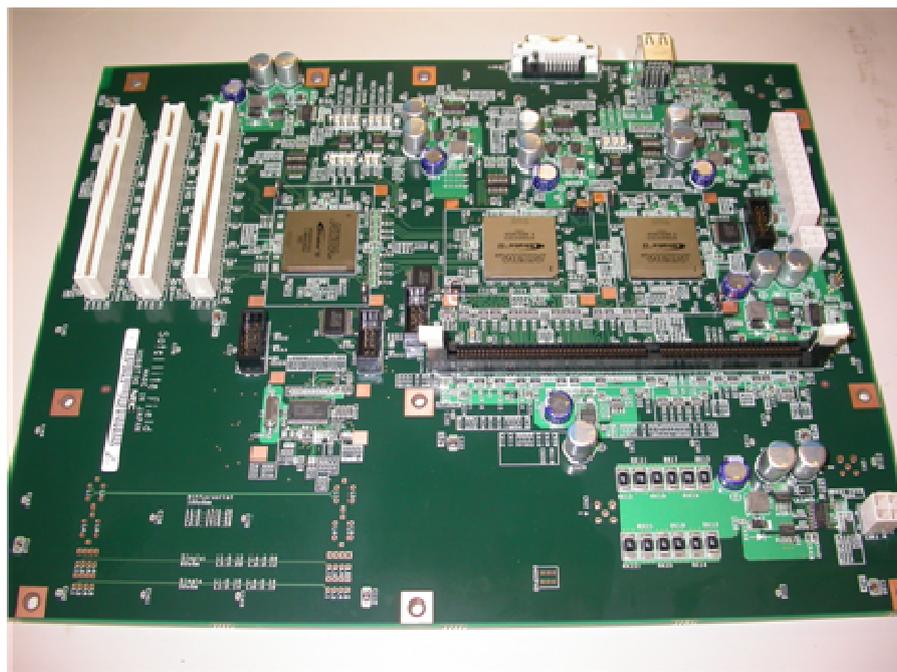
図 E1 大規模 TEG のブロック図

項目	設計仕様		備考
	標準仕様	対策仕様	
基板サイズ(FPGA搭載部)	ATX(12"(304.8mm) × 9.6"(243.84mm))		
基板サイズ(クーボン部)	304.8mm × 226mm		
層数	6層	8層	
FPGA	Altera社製 EP2S60F672C3N		CPU,NB,SB用に3個使用
CPU Bus	HSTL 1.5V : Data 32bit / Address 16bit		
DDRメモリ I/F	SSTL2 (2.5V) Data 32bit / DDR Slot × 1		
Local Bus	LVTTTL 3.3V : Data 16bit / Address 16bit		
USB	LVDS 2CH		
DVI	LVDS		
PCI	PCI 3.3V / 32bit / 33MHz		
基板外周部シールドビア	無し	2mm間隔でφ0.3mmのシールドビア	
FPGAシールドビア	無し	未使用ピンをGNDに接続	
キャパシタ追加	無し	20mmメッシュで、キャパシタを配置できる箇所にパッドを設ける	
外部コネクタシールド	チップインダクタでGND接続		
接地ヒートシンク	FPGA等を覆うためのカバーをGND接続するためのパッドを準備		
FPGA動作設定スイッチ	FPGA毎にCOREとI/Fの動作設定スイッチを設ける		

図 E2 大規模 TEG の仕様



(b) ボード B (対策ボード)



(a) ボード A (標準設計ボード)

図 E3 大規模 TEG 外観写真

#### 4-1-1-6 筐体シールド劣化の原因

携帯型情報通信装置は可搬性があるためインターネットとの接続に無線 LAN が利用されることが想定される。無線 LAN を簡便に実現する方法として、PC カード型や USB 型の無線 LAN 子局が使用される可能性がある。更に、データの受け渡しに便利な USB メモリが不用意に利用される懸念もある。これらのデバイスが使用されると筐体シールドに貫通孔を開けることになり、筐体シールド性能が劣化してしまう。筐体からの突出量が大きい USB 型無線 LAN 子局と、PC カード型子局を実装し筐体シールド性能の劣化度合いを評価した。

USB 型子局実装状態を図 F1 に示す。PCMCIA 型子局実装状態を図 F2 に示す。子局未実装と実装状態を比較した結果（差分）を図 F3, F4 に示す。USB 型は筐体遮蔽性能を 10dB 以上劣化させることが判った。これに対し、PCMCIA 型では遮蔽性能劣化は見られなかった。



図 F1 USB 型子局実装状態



図 F2 PCMCIA 型子局実装状態

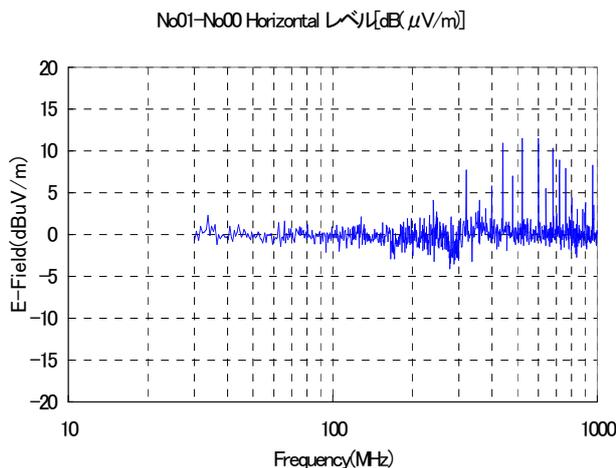


図 F3 USB 型子局実装/未実装の差分

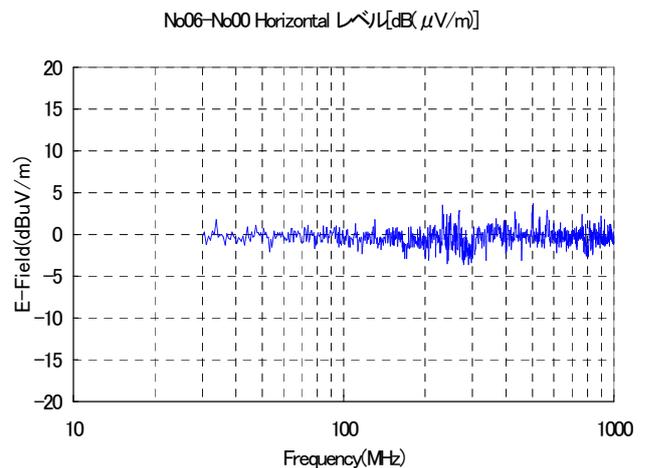


図 F4 PCMCIA 型子局実装/未実装の差分

#### 4-1-2 個別回路の評価

##### 4-1-2-1 EMI 評価 TEG

プリント配線板の電源分配回路(配線, ベタ層)から放射する電磁波をシミュレーションするツールの有効性を確認した。今後の EMI 対策の効果検証に役立てていく。

シミュレーションと実測値を比較するため TEG を試作した。使用した LSI リストを表 G1 に示す。LSI は FPGA(Field Programmable Gate Array) を使用し、内部のフリップフロップ(以下 F F)の動作率, 同期クロックを数水準変えて評価した。TEG, プログラムの詳細は FPGA\_Item1\_設計仕様書(DS133-M5010)、FPGA\_Item2\_設計仕様書(DS133-M5011)、FPGA\_Item3\_設計仕様書(DS133-M5012)、FPGA\_Item4\_設計仕様書(DS133-M5013)を参照のこと。

表 G1 使用した L S I リスト

	LSI 名	Core 電圧	パッケージ	クロック(MHz)	最大 F F 数
Item1	XC3S400-4PQ208C	1.2V	208PinQFP	30 or 120MHz	6144 個
Item2	XC2V1000-4BG575C	1.5V	575PinBGA	30 or 120MHz	8192 個
Item3	XCV400-4HQ240I	2.5V	240PinQFP	12 or 24MHz	6144 個
Item4	XCV400-4BG560C	2.5V	560PinBGA	12 or 24MHz	8192 個

なお、シミュレーションツールには弊社開発の EMI 推定ツール PLCalc と、(株)アプライド・シミュレーション・テクノロジー製の APSIM RADIA とを使用した。

##### 4-1-2-1-1 LSI モデル作成

プリント基板から放射する EMI を定量的にシミュレーションするには、LSI の電源を含めたモデルが必要である。LSI モデルは LSI の設計情報から作成できる[G1][G2]。

PLCalc を用いて作成した LSI 電源等価回路モデルを図 G1 に示す。トランジスタ部モデル、チップ内の配線モデル、パッケージの配線モデルで構成される。

詳細な設計情報が得られない LSI は電源電流スペクトラムから LSI モデルを確定する。LSI 電源モデル評価 TEG を試作し FPGA の電源電流スペクトラムを測定した。想定した電源電流から LSI モデルをフィッティングした。LSI モデルから計算した電源電流スペクトラムと実測値の一例を図 G2 に示す。よく一致しており LSI モデルの精度が高いことが確認できた。

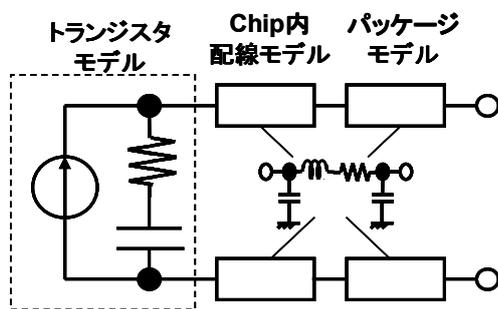


図 G1 LSI 電源等価回路モデル

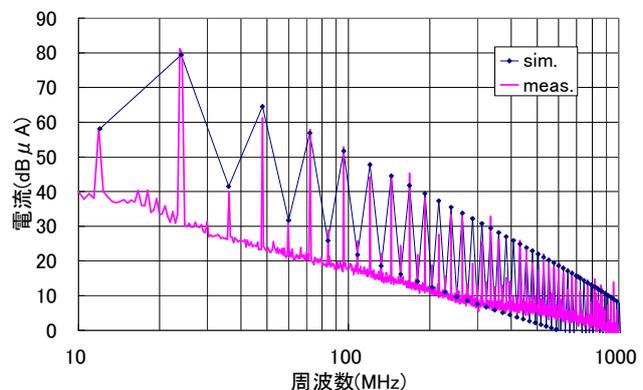


図 G2 電源電流スペクトラム  
(sim.:シミュレーション値, meas.:実測)  
Item3 12MHz、FF6144 個動作

#### 4-1-2-1-2 EMI シミュレーション手法

PLCalc, APSIM RADIA の計算手法を説明する。

##### 4-1-2-1-2-1 EMI 推定ツール PLSCalc

解析の手順を示したチャートを図 G3 に示す。各情報から PEEC 法により電流スペクトラム, 伝搬インピーダンスを求め、遠方電界(EMI)を計算する。

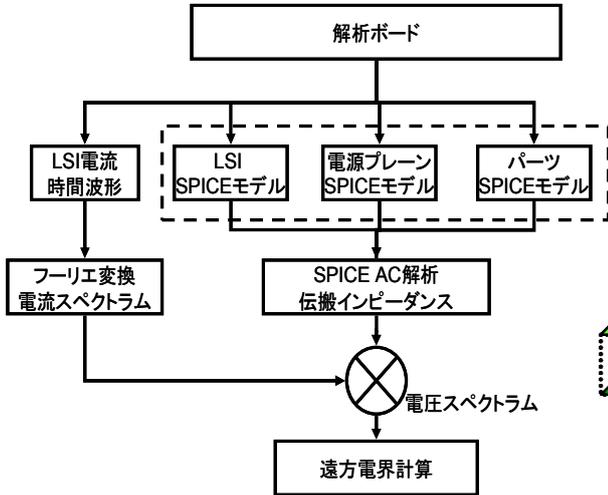


図 G3 解析手順チャート

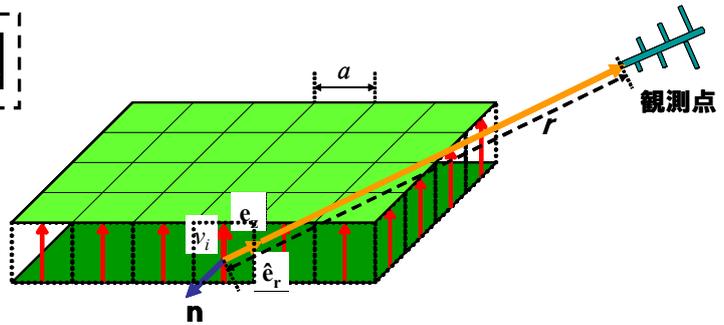


図 G4 PLSCalc の遠方電界の計算イメージ

伝搬インピーダンス  $Z_{tr}$  を式 G1 に示す。 $V_{node}$  はノード間電圧、 $I_{LSI}$  は電源電流である。遠方電界  $E$  を式 G2 に示す。ここで、電圧変動を  $v_i$  とし、各定数は図 G4 に示される。

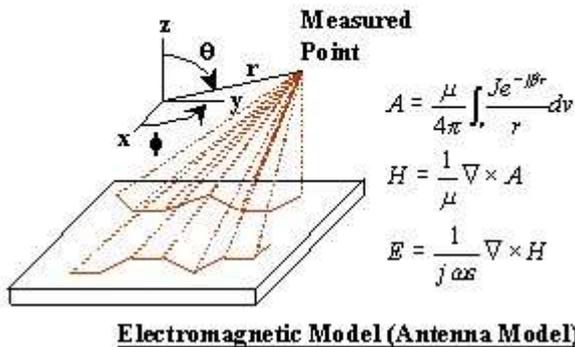
$$Z_{tr} = \frac{V_{node}}{I_{LSI}} \quad (G1)$$

$$E \approx \frac{jk_0}{4\pi} \sum \frac{e^{-jk_0 r}}{r} a v_i (\hat{e}_r \times \mathbf{e}_z \times \mathbf{n}) \quad (G2)$$

##### 4-1-2-1-2-2 APSIM RADIA

APSIM RADIA は回路パターンをメッシュ分割した伝送線路モデルで表現し SPICE モデルで解析して電流を計算する[G3]。計算の説明図を図 G5 に示す。

**Step 1: ApsimSI accurately extracts current distributions in the time domain along traces with non-linear devices.**



**Step 2: ApsimRADIA calculates and superimposes the electromagnetic field from the segments of traces in the frequency domain using a dipole antenna model.**

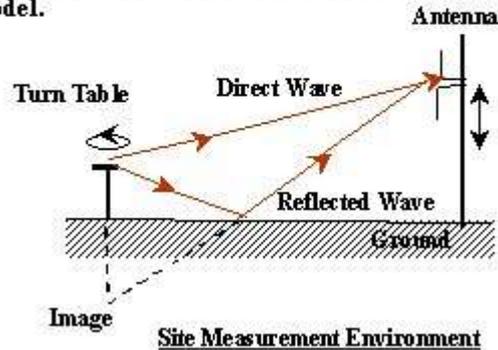


図 G5 APSIM RADIAでの遠方電界の計算 (APSIM 社 Web サイト[G3]より)

PLCalc はパターンエッジでの電圧変動、APSIM RADIA はパターン電流から遠方電界を計算する点異なる。

#### 4-1-2-1-3 EMI 測定

250mm×190mm の 4 層基板に LSI を 1 個実装した EMI 評価 TEG を試作し、EMI を実測した。試作した TEG の種類を表 G2 に示す。

表 G2 EMI 評価 TEG の仕様対応表 (○印を試作)

	Item 1 XC3S400-4PQ208C (QFP 208) V-Core : 1.2V	Item 2 XC2V1000-4BG575 C (BGA 575) V-core:1.5V	Item 3 XCV400-4HQ240I (QFP 240) V-Core : 2.5V	Item 4 XCV400-4BG560C (BGA 560) V-Core : 2.5V
基板中央実装		○		
基板端部実装	○	○	○	○
デカップリング 基板中央実装		○		
デカップリング 基板端部実装		○		○

測定風景を図 G6 に示す。ボードとアンテナの位置関係説明図を図 G7 に示す。六面電波暗室、アンテナ離隔距離 3m、基板-アンテナの高低差 0.6m の条件で測定した。本測定は床面反射がない直接波を受信する。



図 G6 測定風景

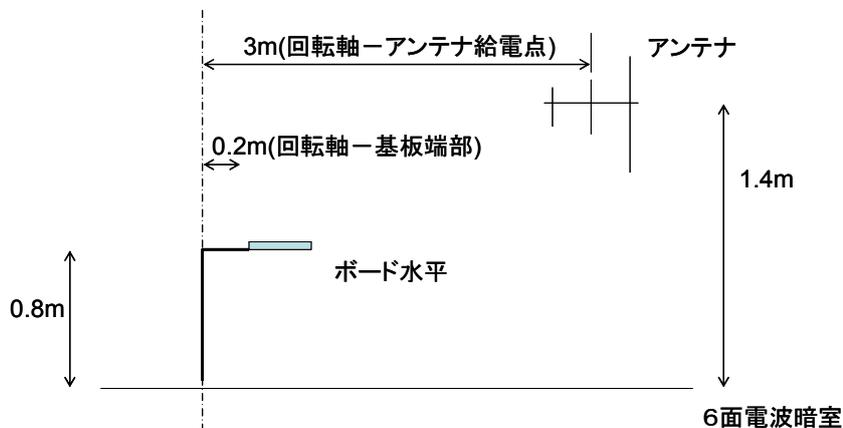


図 G7 ボード、アンテナの位置関係説明図

#### 4-1-2-1-4 EMI シミュレーション結果

TEG (Item3 基板端部実装) について PLCalc, APSIM RADIA で解析した。メッシュサイズは 5mm とした。実測値とシミュレーション値を図 G8 に示す。400MHz 以上の周波数帯域を補正した結果を図 G9 に示す。400MHz 以上での誤差要因は今後検討するが対策効果を比較する上では問題ないと考える。

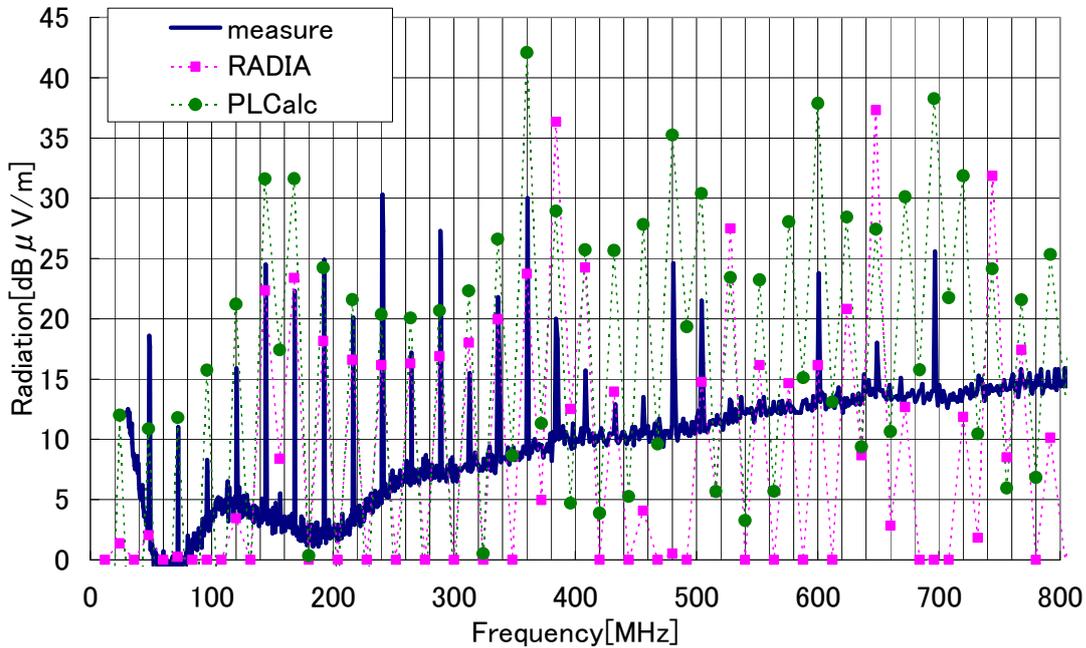


図 G8 実測とシミュレーションの比較結果

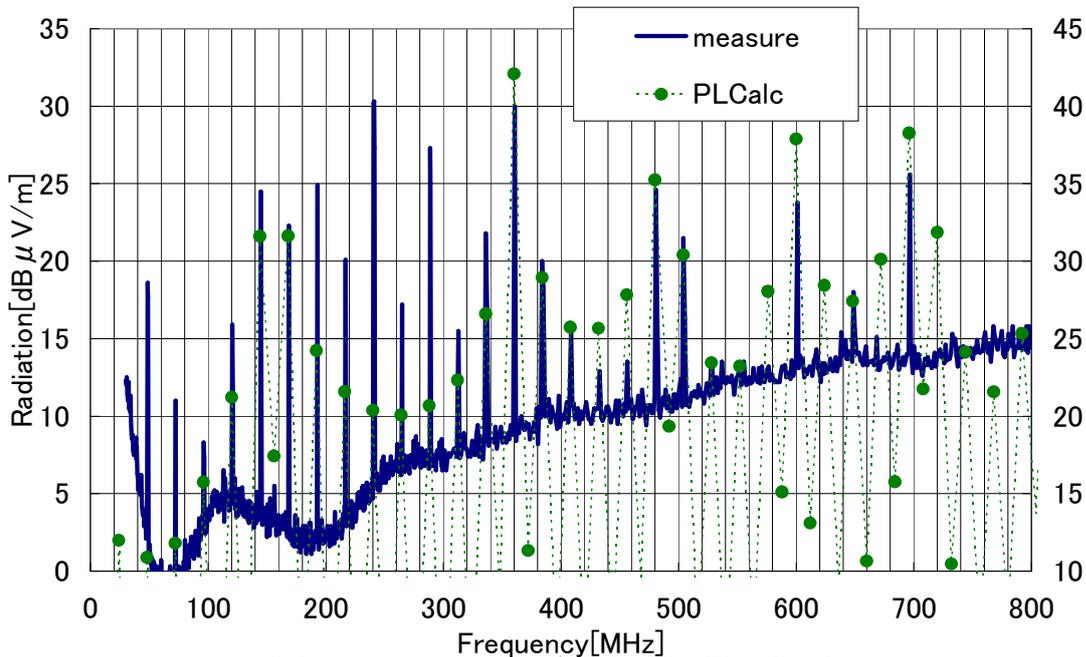


図 G9 PLCalc に補正値を適用したグラフ

#### 参考文献

- [G1] 小川、和深、遠矢、“LSIのEMIシミュレーション用電源モデルの検討、” 信学技報EMC J 99-103、1999年12月
- [G2] 小川、和深、遠矢、“LSI電源モデルを用いた解析方法の検討、” 信学技報EMC J 2000-57、2000年9月
- [G3] <http://www.apsimtech.com/products/Radia.htm> 参照日時:2006年3月20日

#### 4-1-2-2 電源層構成

プリント基板の電源層の上下にグランド層を設け、グランド層同士をビアで狭ピッチに接続したシールド構造とすることにより、電源-グランド系からの EMI を抑制する。層構成が異なる TEG 基板を試作し EMI 測定と電磁界シミュレーションによってシールド構造に因る EMI 抑制効果を検討した。

TEG は 4-1-1-3 で使用した基板と同様である。搭載する FPGA のパッケージ、層数が異なる数種類の TEG を試作した。TEG の外観を図 H1 に示す。基板の層構成を図 H2 に示す。

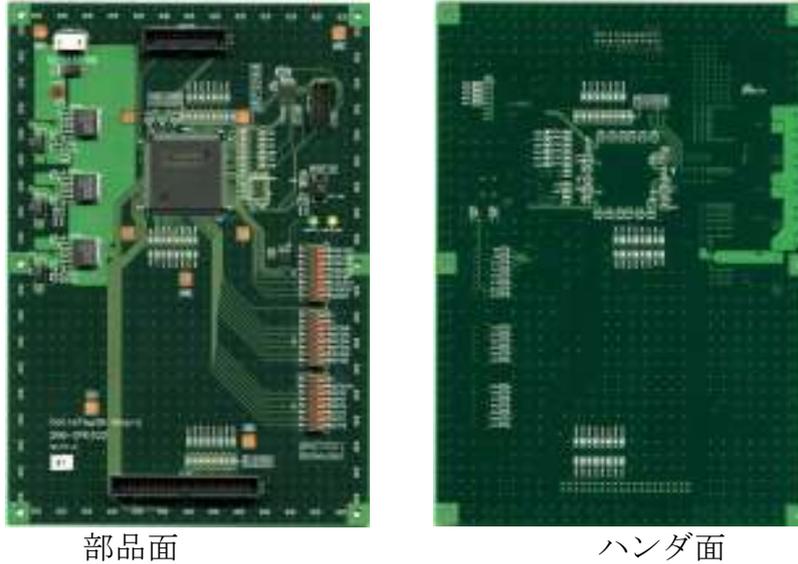


図 H1 TEG 外観 (QFP パッケージ)

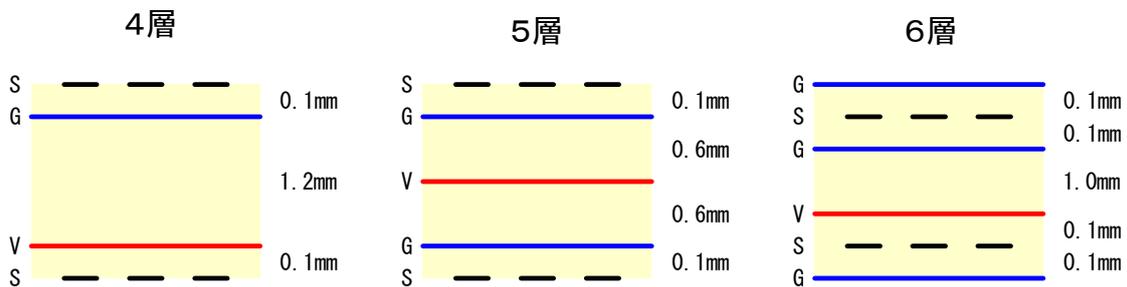


図 H2 TEG の層構成

QFP パッケージ 4 層、5 層基板の EMI 測定評価結果を図 H3 に示す。5 層基板 EMI 測定値から 4 層基板測定値を引いた EMI 差分値である。ΔE は 4 層基板測定値に対する増分を意味しており、マイナスは EMI 抑制効果を表している。

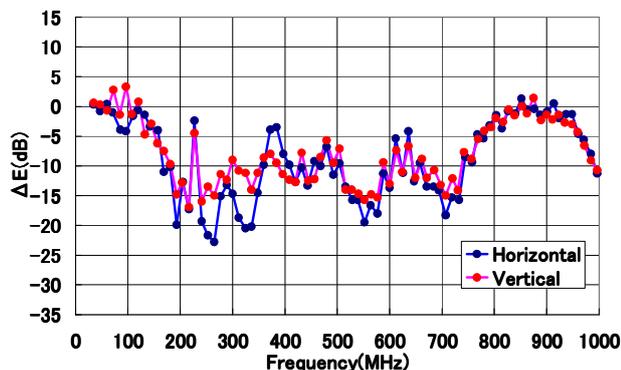
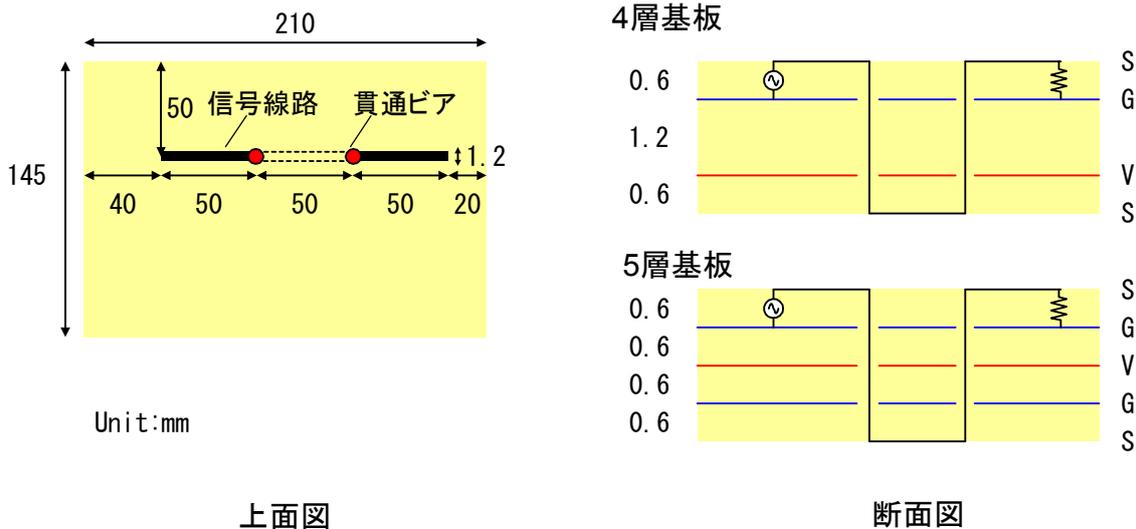


図 H3 EMI 差分値 (5 層基板-4 層基板)

次に、このシールド構造によるEMI抑制効果を、電磁界シミュレーションにより検証した。解析には3次元の電磁界シミュレータであるCST社のMW-Studio5.1を使用した。解析モデルを図H4に示す。電源ーグランドプレーンの間隔はTEG基板と同じであり、基板サイズも同程度とした。基板の比誘電率はFR-4を想定して4.3とした。電源ーグランドプレーンをまたいで配線された信号線が両プレーン間に電圧変動を励起させる。なお、信号線の特徴インピーダンスおよび終端抵抗、信号源の内部抵抗は $50\Omega$ とした。5層基板-1は基板外周のみに5mm間隔でビアを配置する。5層基板-2は基板外周に5mm間隔および基板内部にも20mm間隔で配置する。信号源電力1Wに対する、基板から3m離れた点での放射電界強度の最大値を計算した。



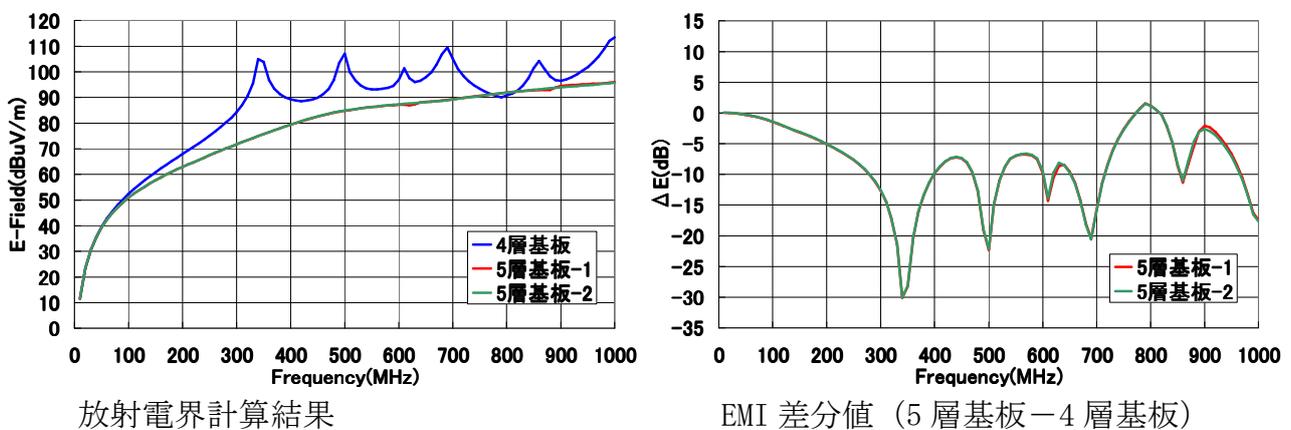
上面図

断面図

図H4 解析モデル

放射電界の解析結果、および5層基板としたときの4層基板に対するEMI差分を図H5に示す。4層基板では電源ーグランド層の共振により高レベルのEMIが放射される。一方、5層基板では、基板の共振によるEMIの増加は観測されない。

これらの結果は図H3に示した測定結果と同様の傾向を示すことが確認できる。



放射電界計算結果

EMI 差分値 (5層基板ー4層基板)

図H5 解析結果

次に6層基板のEMI測定結果を図H6に示す。6層基板は1,6層にグランド層を設け、電源層だけでなく信号層もシールドした構造である。このため5層基板よりも高いEMI抑制

効果を期待できるが、逆に EMI が増加する結果となった。

原因を調査するため、基板近傍の磁界計測を行った。測定結果を図 H7 に示す。測定には直径 10mm のループプローブを用いた。基板から高さ 20mm の磁界分布を観測した。測定周波数は 6 層基板において放射が最大となる 384MHz とした。6 層基板では基板全面に磁界が分布している。このことから、6 層基板ではグランド層の隙間から電流が漏れ出し、基板全面に分布することで、グランド層がアンテナとなり EMI が増大すると考えられる。構造を詳細に検討する。5 層基板では、2、4 層のグランド層は全面ベタグランドであるため、電源-グランド系からの放射に対して高いシールド効果が得られる。一方、6 層基板の 1、6 層のグランド層は LSI 等の部品実装パッドや、一部に電源パターンを設けなければならずグラウンド層に隙間が生じる。この隙間から基板内部の高周波電力が漏出し EMI 増加したものと推察される。

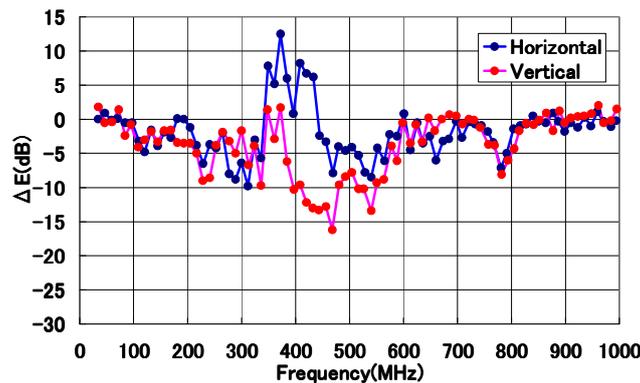


図 H6 4 層基板と 6 層基板の EMI 差分値(測定値)

本節では、プリント基板の電源層を上下のグランド層でシールドした構造による、EMI 抑制効果を検討した。この結果、シールド構造とすることにより、EMI が最大 20dB 以上抑制されることを、TEG 基板の測定と電磁界シミュレーションにより確認した。また、表層にグランド層を設けた構造では、部品配置等のためにグランド層に隙間が生じ、かえって EMI が増加する場合もあることがわかった。

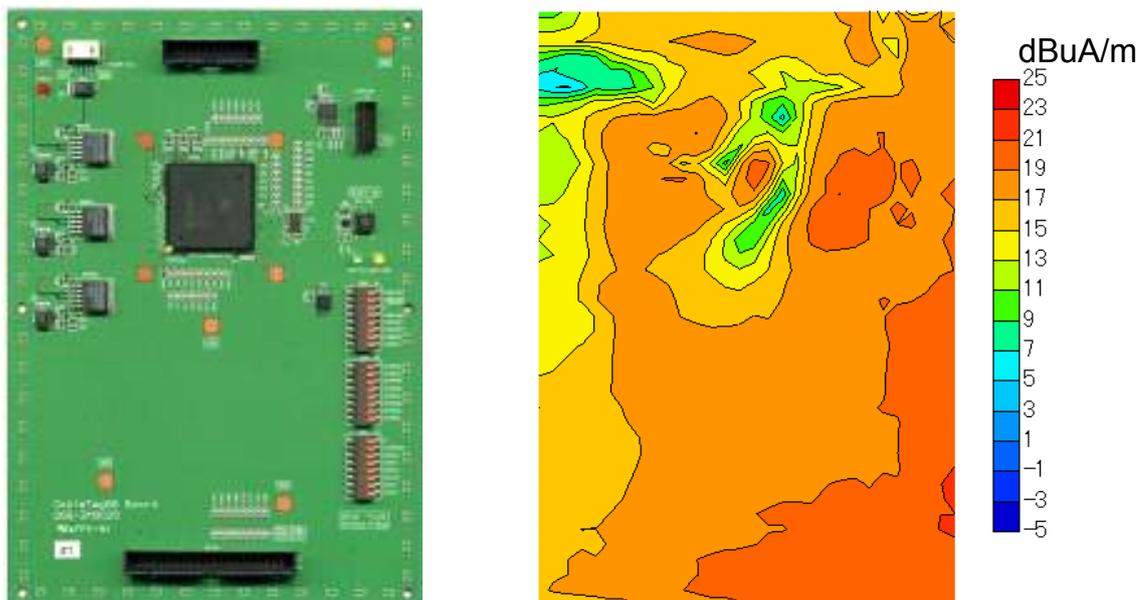


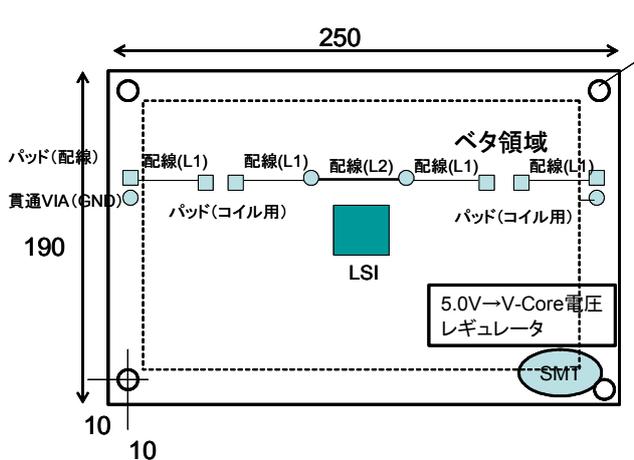
図 H7 6 層基板の磁界測定結果

#### 4-1-2-3 電源層交差配線 TEG

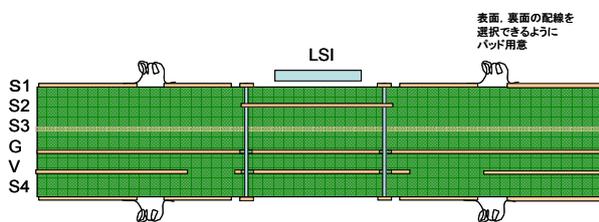
本項では電源層を交差する配線が漏洩電磁波(EMI)を増大させる事象を確認し、電源デカップリング効果に与える影響を検討した。ここでは、面状の電源層とグラウンド層を断面上下にビアを介して通された信号配線を電源層交差配線と定義した。LSI で発生する高周波電力は、電源デカップリングにより分離された LSI 側に閉じこめられ、周辺回路への拡散が抑制される。この分離された LSI 側電源部分に電源層交差配線が存在すると、この信号配線に高周波電力が励起され、この電源層交差配線を介して高周波電力が伝搬し EMI を増大させる原因となる。

この事象を確認するため電源層交差配線 TEG を試作した。概要を図 J1 に示す。図 J1a は電源層交差配線の天井図、図 J1b は層構成を示す断面図である。LSI の近傍に配線(L2)を設け、ビア(図 J1a 中の丸印)を介して配線(L1)に接続する。配線の電気長を調整できるようにパッド(コイル用)を設けた。層構成は信号層(S1~S4)と電源層(V)、グラウンド層(G)の6層とした。LSI と電源構成を組み合わせ8種類試作した。

配線(L1)に配線(L2)を接続しない場合を基準に、配線(L1)を接続した場合と比較した。図 J2 に結果の一例を示す。これは FPGA 貫通ビア(TV)通常電源での評価である。当部所有の6面電波暗室(3m法)でEMIを測定した。TEGを水平に置き、パッド(コイル用)に長さ50cmのリード線を巻いたコイルを実装した。Delta(H)は水平偏波、Delta(V)は垂直偏波の基準値との差分である。特徴的な700MHzから1GHzを拡大し示す。水平偏波でEMIが約5dB増大していることが確認できた。



(a) 天井図



(b) 断面図

図 J1 TEG の概要図 (天井図/断面図)

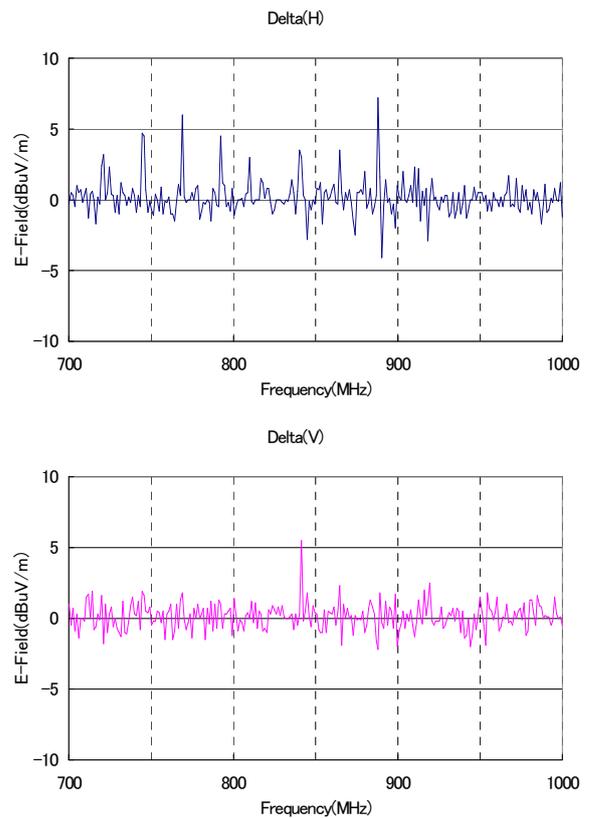


図 J2 EMI 比較(差分)

#### 4-1-2-4 シールドビア TEG

電源デカップリング素子で LSI 側電源を分離し、かつシールドビアを適用すれば良好な電源デカップリングが実現できる。しかしながら、LSI 側（高周波電力の発生源側）に別の電源系が存在する場合、シールドビアの影響で高周波電力の伝搬経路が変わり別の電源系を経由して漏洩することが懸念される。そこでシールドビアの影響を評価する TEG を試作した。TEG（4層基板）の概要を図 K1、図 K2 に示す。図 K1 は TEG の内層の構成を示す天井図である。110mm 角のベタ層を間隔  $s (=5\text{mm})$  で水平に配置し間隔の中心にシールドビアを設けた。記号 SMT は表面実装型同軸コネクタで印加信号、信号観測に用いる。図 K2 は断面図で第1層、第4層はグラウンド（G1, G2）、第2層は電源層（V1, V3）、第3層は電源層（V2, V4）とする。SMT は4個（Port1~4）設け、それぞれの内導体がV1~4に接続される。シールドビアは基板中央部で表層のグラウンド（G1, G2）を接続する。

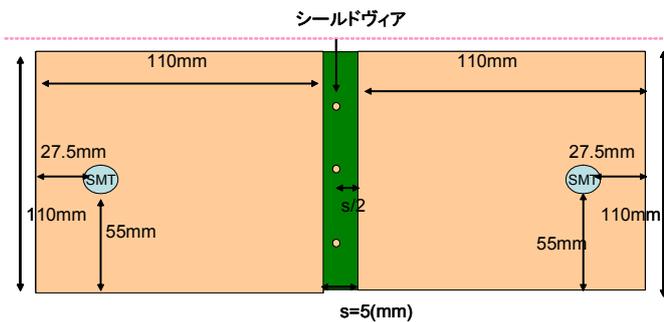


図 K1 TEG 概要図（天井図）

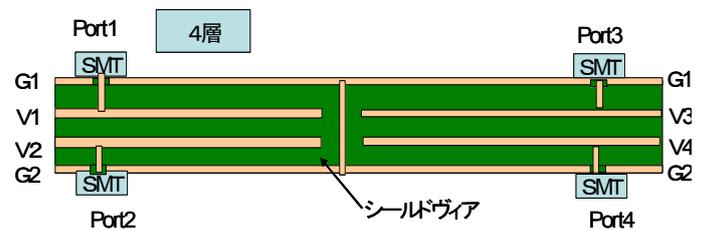


図 K2 TEG 概要図（断面図）

評価結果の一例を図 K3、図 K4 に示す。S21, S31 は S パラメータである。S21 は Port1 から Port2 へ透過する透過量である。LSI 側で別の電源系へ伝搬する度合いを表す。S31 は Port1 から Port3 へ透過する透過量であり、LSI 側から電源側、すなわち同層水平方向へ伝搬する度合いを表す。例えば、800MHz において S31 はシールドビア本数が増すと透過量が -70dB まで低減するのに対し S21 は -35dB を示す。これはシールドビアにより別の電源系との結合が強まってしまった一例である。

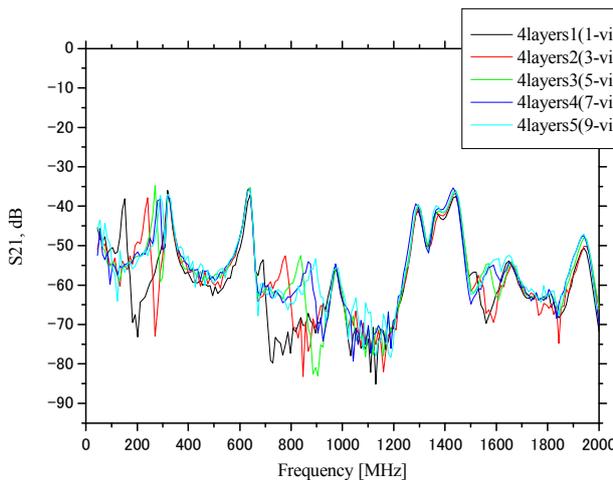


図 K3 LSI 側から別の電源系への透過量 S21

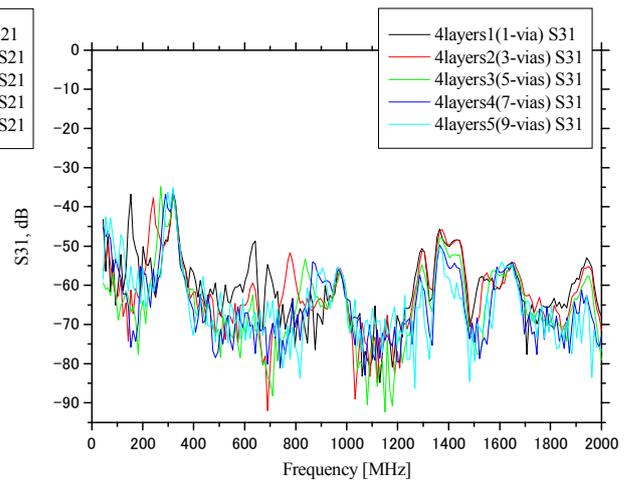


図 K4 LSI 側から電源側への透過量 S31

#### 4-1-2-5 差動信号線配線による電源層励振に対する一考察

信号配線が電源グランド層間を貫通することで電源分配配線に高周波電力を励起する現象は既に触れた。本節では電源グランド層を励振しにくいと考えられる差動信号配線について考察する。解析モデルを図 L1 に示す。

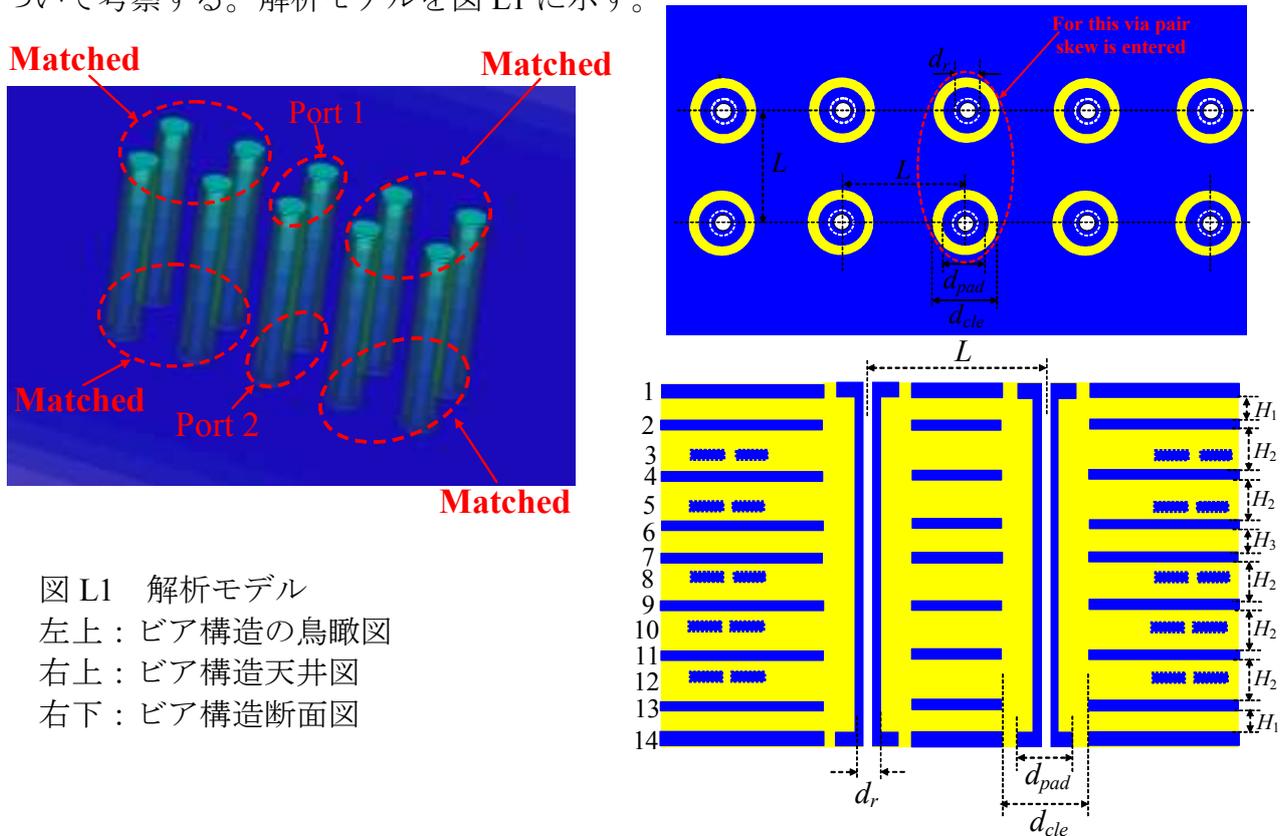


図 L1 解析モデル  
 左上：ビア構造の鳥瞰図  
 右上：ビア構造天井図  
 右下：ビア構造断面図

本解析では信号スキュー(信号の到達時間差)  $\Delta t$  をパラメータにビア透過信号の入射電力から(反射電力と透過電力の和)を差し引き漏洩電力と定義した。漏洩電力は信号配線から電源分配配線や空間へ伝搬したエネルギーと考える。ここで、 $d_r = 0.25\text{mm}$ 、 $d_{pad} = 0.5\text{mm}$ 、 $d_{cle} = 0.7\text{mm}$ 、 $L = 1.0\text{mm}$ 。14層の PCB で誘電率 4.2、誘電損失  $\delta = 0.0023$  の FR-4 材料からなる。導電層の間隔  $H_1 = 0.2\text{mm}$ 、 $H_2 = 0.385\text{mm}$ 、 $H_3 = 0.52\text{mm}$  で、中間の導電層の厚さは  $0.035\text{mm}$ 、上下の導電層の厚さは  $0.055\text{mm}$  である。電磁界シミュレータは CST 社 Microwave Studio を使用した。図 L2 に結果の一例を示す。数 GHz まではスキューに因る差は顕著でないが 5GHz を超える差が明確になる。

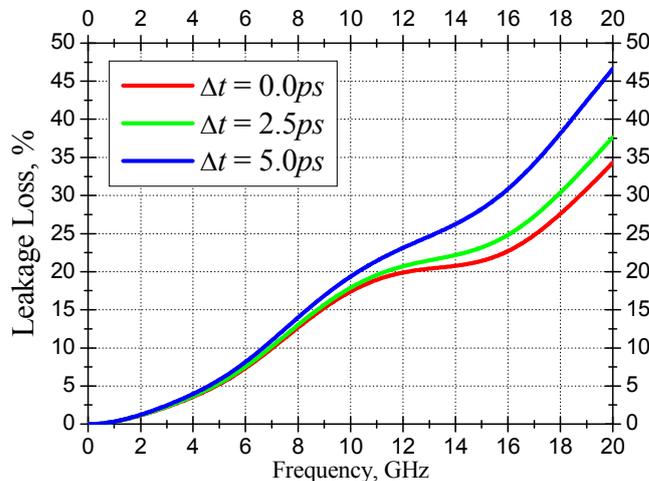


図 L2 14 導電層を持つ PCB の差動ビアにおける漏洩電力

漏洩電力は差動信号がコモンモードに変換されるからである。コモンモードへ変換される度合いをコモンモード反射電力  $S_{11}^{CD}$ 、コモンモード透過電力  $S_{21}^{CD}$  を図 L3 に示す。

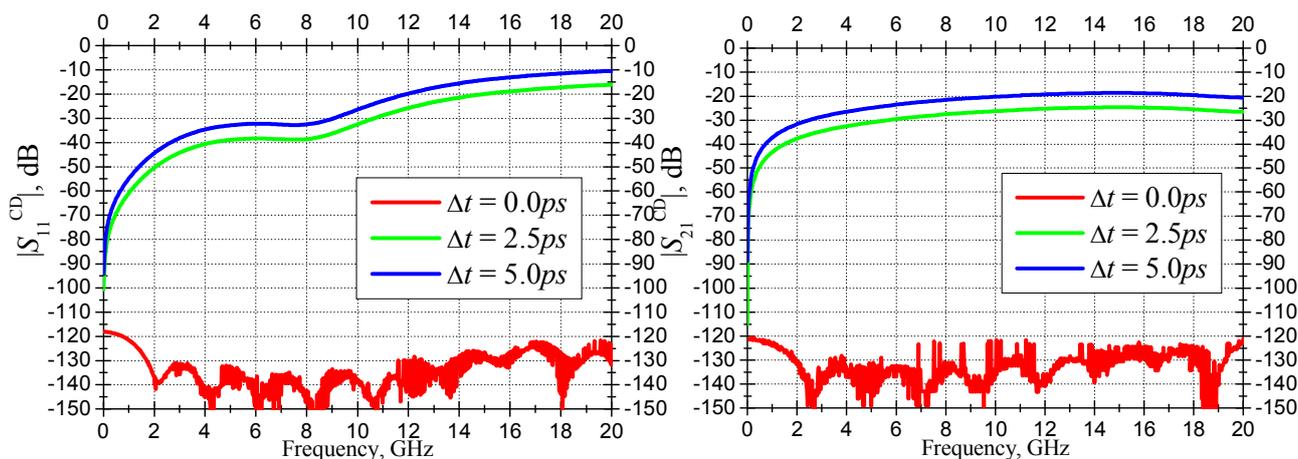


図 L3 解析結果 ( $S_{11}^{CD}$ ,  $S_{21}^{CD}$ )

次に実験的に確認を行った。TEG の概要を図 L4 に示す。TEG 右下部に SMA コネクタ (Port4) を設け、差動信号入力 (Port1) に入射させた差動信号から電源グラウンド層間に伝搬する漏洩電力を観測した。漏洩電力は  $S_{41}$  で評価する。TEG はビア部の構造が異なる 3 種類を試作した。

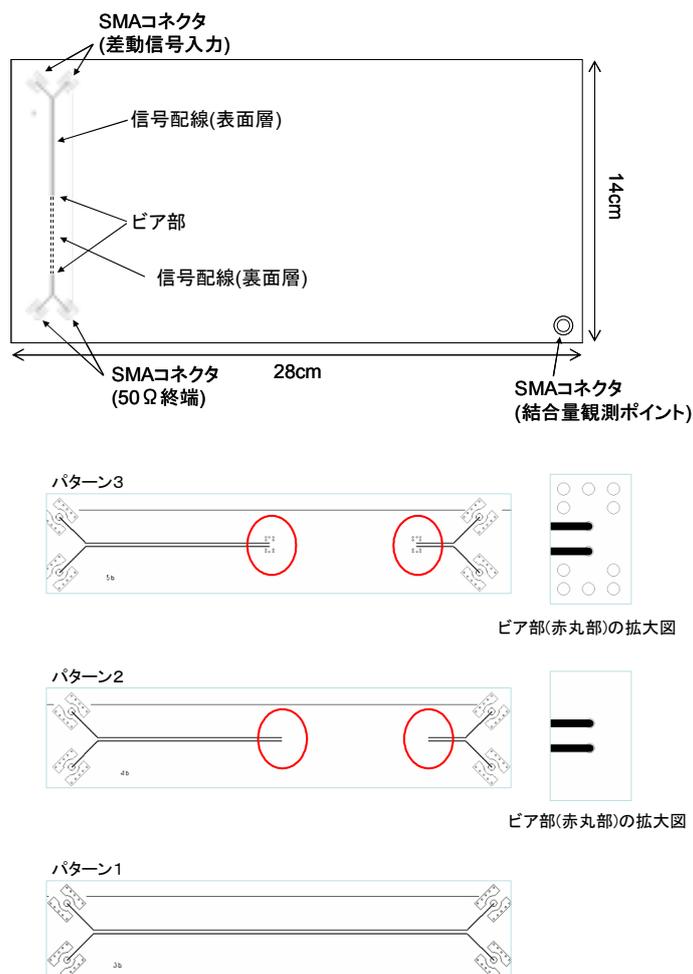


図 L4 TEG 基板概要

4ポートネットワークアナライザを用いて結合量を評価した。4ポートネットワークアナライザとは出力ポートと入力ポート間の信号伝送量を評価する測定装置である。今回は出力ポートとしてPort1, Port2を差動信号入力端子に接続し、入力ポートとしてPort4を電源層に繋がるSMAコネクタに接続し、Port1からPort4への信号伝送量を観測した。観測結果の一例を図L5に示す。信号配線の構造により差異はあるが、概ね-50dBの結合度で伝搬することが判った。これは図L3の解析結果とも概略一致する値である。

青：パターン1  
赤：パターン2  
緑：パターン3

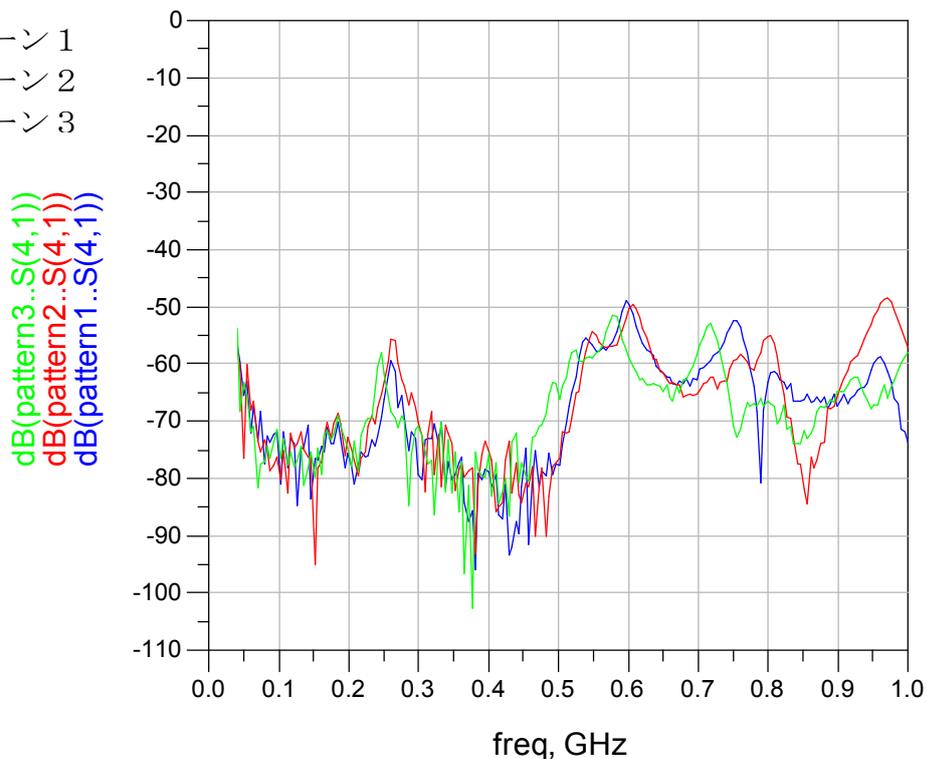


図 L5 S41 観測結果の一例

## 4-2 要素技術の開発

内蔵型デカップリング素子、オンチップ型デカップリング素子 LILC について検討した。

### 4-2-1 内蔵形 LILC

#### 4-2-1-1 内蔵 LILC 試作

漏洩電磁波 (EMI) の抑制効果は電源デカップリング素子の性能に依存する。プリント基板に部品型デカップリング素子を実装する場合、必ずリード端子のインピーダンスが特性に悪影響を与える。LILC のプリント基板への内蔵はリード端子による性能低下を避ける方法である。その概略構造図を図 M1 に示す。LILC の正極電極を電源層に、負極電極をグラウンド層 (GND) に接続する。これにより、リード端子影響を除外できる。その特性を図 M2 に示す。部品型 LILC としてミニバス形 LILC 16mm を、内蔵 LILC の 16mm LILC ベアチップの特性である。

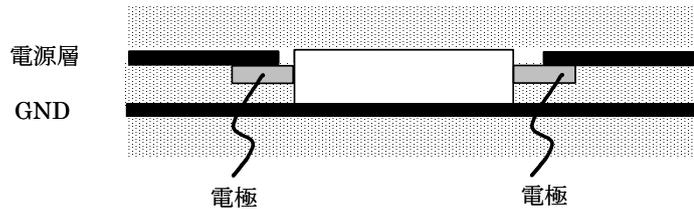


図 M1 概略構造図

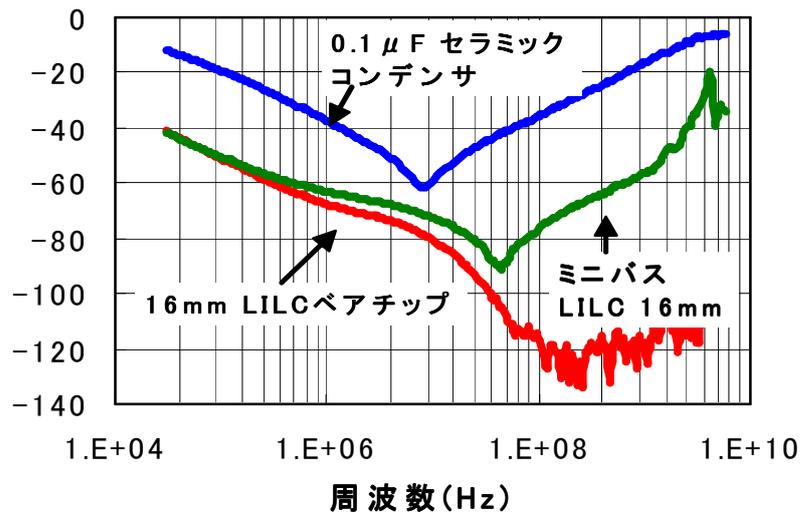


図 M2 透過(S21)特性

LILC は2つの工程「誘電体被膜の形成」と「表面積の拡大 (拡面処理)」が重要なポイントとなる。部品型 LILC は固体アルミ電解素子と類似の材料を使用する。この場合既に拡面処理された電極金属を入手でき、誘電体形成も容易である。内蔵 LILC では電極から形成する必要がある。電極金属の純度をいかに実現するかが鍵となる。先ず、実験段階ではスパッタ法で電極金属を形成した。これはオンチップ型 LILC と共通の技術である。内蔵 LILC の電極は厚み数  $\mu\text{m}$  程度が必要である。装置の性能に寄るが今回は電極厚み  $1\mu\text{m}$  を約 45 分のスパッタ時間で形成した。「誘電体皮膜の形成」はスパッタ法で得た電極に形成した。さらに  $20\mu\text{m}\sim 50\mu\text{m}$  の金属箔のサンプルを入手し、誘電体膜の形成に関する検討を行った。

次に厚み  $500\mu\text{m}$  の金属板を入手し、「表面積の拡大 (拡面処理)」を検討した。金属板を溶液に浸漬し、表面処理の効果を評価した。その結果、表面処理に斑 (図 M3) が生じており、その原因は金属板の製造プロセスに由来することが判明した。金属板メーカーと製造法に関し検討を行い、製造方法を改善することにした。



図 M3 表面処理後の金属板

#### 4-2-1-2 シート状デバイスの検討

内蔵形電源デカップリング素子はプリント基板の内層にデバイスを配置する。言い換えればプリント基板内の電源層に流れる高周波電力を抑制するデバイスを開発することである。シート状デバイスは磁性体、誘電体、抵抗体を単独または組み合わせて作成され、プリント基板内の電源層、グラウンド層と共に構成する。今年度はシート状デバイス評価 TEG を試作し材料特性及び評価方法について検討を行った。

シート状デバイス評価方法を図 N1 に示す。評価基板 (MSL 基板) にシート状デバイスを密着させネットワークアナライザを接続し、伝送減衰率で評価する。MSL 基板を図 N2 に示す。MSL 基板は、長さ 100mm、幅 50mm のベタグラウンドと、長さ約 50mm の信号線で構成されるマイクロストリップ線路 (MSL) である。信号線幅は特性インピーダンス 50Ω で調整する。信号線の長さは信号線幅を元に決める。ここで伝送減衰率  $R_{tp}$  の定義式を式 (N1) に示す。S11 は反射率、S21 は透過率である。

$$R_{tp} = -10 \times \log \left[ \frac{10^{\frac{S21}{10}}}{\left(1 - 10^{\frac{S11}{10}}\right)} \right] [dB] \quad (N1)$$

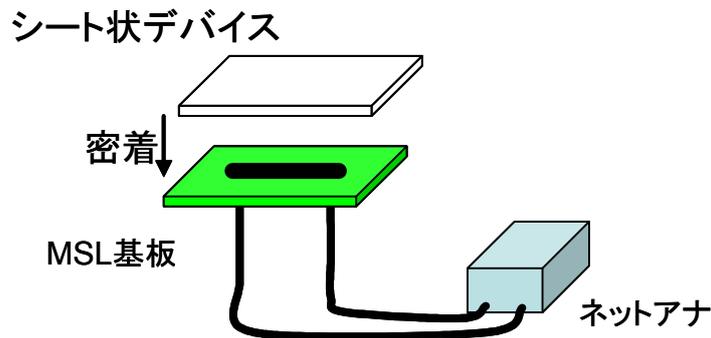


図 N1 シート状デバイス評価方法

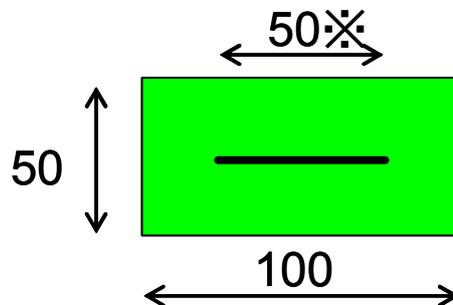


図 N2 MSL 基板

シート状デバイスのサンプル2種、金属膜1種について伝送減衰率  $R_{tp}$  を評価した。測定系の写真を図 N3 に示す。MSL 基板の下部に SMA コネクタを設け同軸ケーブルでネットワークアナライザと接続した。MSL 基板部の写真を図 N4 に示す。MSL 基板上にサンプルを置き  $S_{11}$ ,  $S_{21}$  を測定し、伝送減衰率  $R_{tp}$  を算出した。伝送減衰率特性を図 N5 に示す。



図 N3 測定系の写真



図 N4 MSL 基板部の写真

sampleA, sampleB はシート状デバイス, metal film は金属膜, MSL jig はシート状デバイスを実装しない状態の MSL 基板単体の伝送減衰率特性である。特性線 MSL jig から MSL 基板の影響は 4GHz 付近で見られるが 2dB 程度であり、各デバイスの特性に比し無視して差し支えない。デバイスの組成により伝送減衰率特性が異なることを確認した。

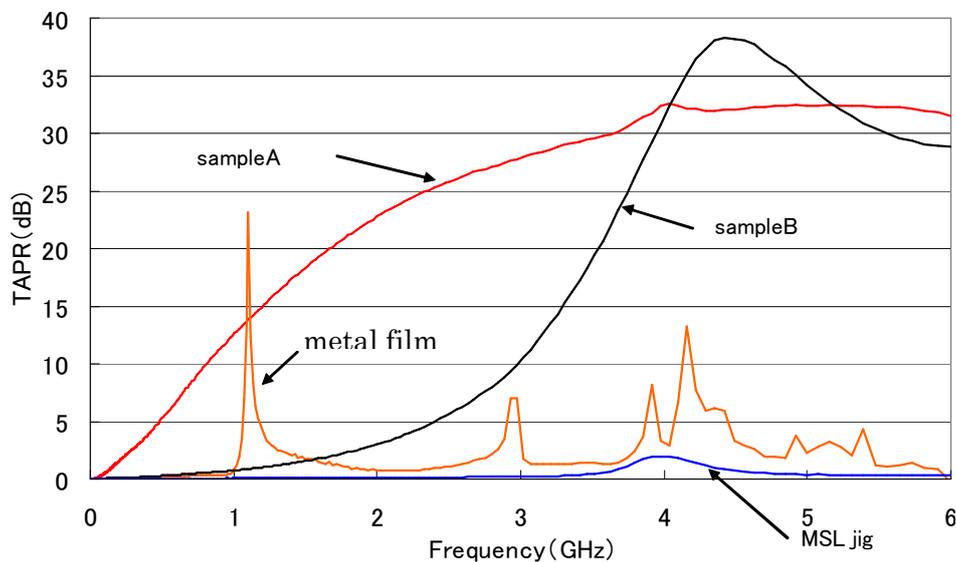


図 N5 伝送減衰率特性

#### 4-2-1-3 評価方法

「内蔵形 LILC」はプリント基板実装用の部品「ミニバス形」に比べ、電極端子（リード）がないことによりインダクタンスを小さくすることが可能で、さらに「ミニバス形」に比べ、LSI など電極端子の極近くに配置可能である。以下、内蔵形 LILC のフィルタ特性を評価する方法について述べる。

図 P1 に磁界プローブによる評価方法を模式的に示す。入力側の電流値と出力側の電流値を求めることにより、内蔵形 LILC のフィルタ特性を評価することが可能となる。入出力側それぞれの電流を求める方法として、測定用配線部を LILC の両端に設け、測定用配線上で磁界プローブを用いる方法がある。ボード内蔵形 LILC の評価の場合、測定用配線部として、ストリップ導体幅 1mm 程度で特性インピーダンスが  $50\Omega$  のマイクロストリップ線路を形成させることが可能である。図 P2 はボード内蔵形 LILC 評価用 TEG の写真を示す。内蔵形 LILC 途中をマイクロストリップ線路で挟んだ構造となっており、両側のマイクロストリップ線路上で磁界プローブによる電流計測を行うことが可能となる。この TEG の断面構造は図 P3 に示す模式図のとおりである。

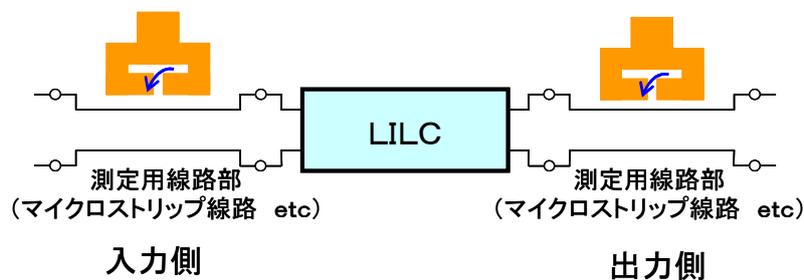


図 P1 磁界プローブによる LILC 評価方法

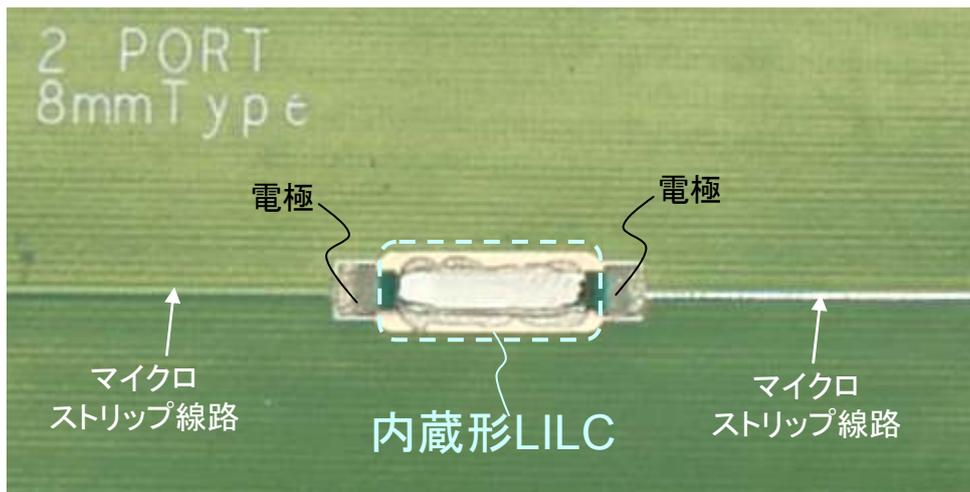


図 P2 ボード内蔵形 LILC 評価用 TEG の写真

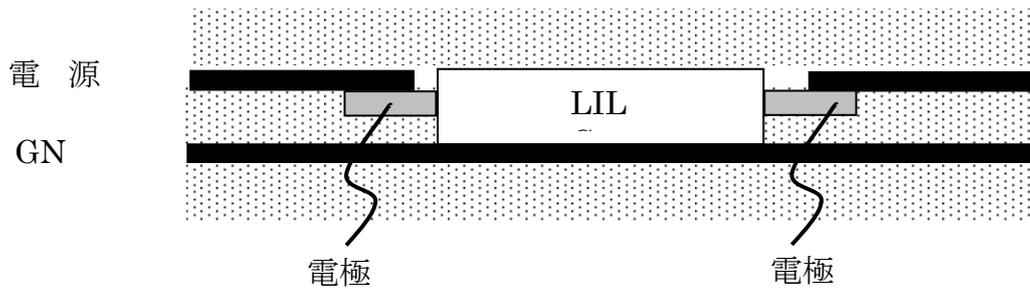


図 P3 内蔵形 LILC の構造

以下、磁界プローブによる電流計測の原理を述べる。図 P4 は被測定配線がマイクロストリップ線路の場合における電流と磁界の関係を示す。z 方向に流れる電流 I により x 方向に磁界が発生する。磁界プローブのループ面を x 方向に垂直な向きに向けると、ループ面内を鎖交する磁界の時間変化に応じて、磁界プローブの出力電圧  $V_{out}$  が発生する。

磁界プローブの出力電圧  $V_{out}$  は使用可能な帯域内では磁界プローブのループ内平均磁界  $H_{ave}$  に比例し、その比例係数を  $C1$  とすると周波数  $f$  において以下の関係式 (P1) が成り立つ。なお、 $C1$  は周波数依存性（周波数に比例）を持つ。

$$H_{ave}(f) = C1(f) \cdot V_{out}(f) \quad (P1)$$

一方、ループ内平均磁界  $H_{ave}$  は比測定配線を流れる電流  $I$  に比例し、その比例係数を  $C2$  とすると、以下の関係式 (P2) が成り立つ。

$$I = C2 \cdot H_{ave} \quad (P2)$$

$C2$  は比測定配線の寸法・構造に依存するため、電磁界シミュレーション等により求めることが可能である。ボードレベルでの計測の場合、磁界プローブとして実績のある CP-2S を使用するのが可能である。CP-2S の場合、校正係数  $C1(f)$  のデータが既に与えられているため、比例係数  $C2$  を求めればよい。ボードレベルのマイクロストリップ線路の場合、簡単な計算により  $C2$  を精度良く求めることができる。

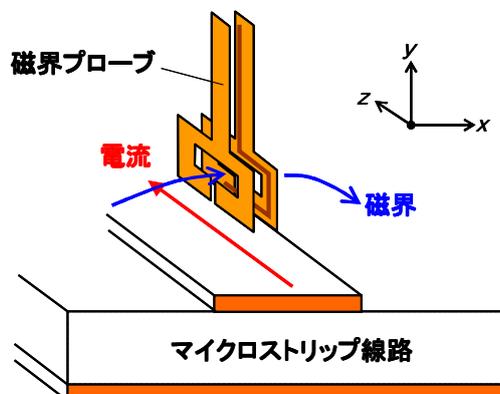


図 P4 マイクロストリップ線路における電流と磁界の関係

#### 4-2-2 オンチップ形 LILC

##### 4-2-2-1 オンチップ型 LILC 試作

漏洩電磁波(EMI)を抑制する電源デカップリングは高周波電力を発生源近傍の狭い範囲に封じ込めることが効果的である。高周波化が進む将来において、LSI 内部すなわちシリコンチップ内で電源デカップリングを実現することが必須と予想する。オンチップ型電源デカップリング素子 (LILC) の TEG 概要図を図 Q1 に示す。同図の線路型素子形成部分が LILC である。オンチップ型 LILC TEG の目的はプローバーでパッドにプローブを当て、透過特性 (S21) を評価することである。

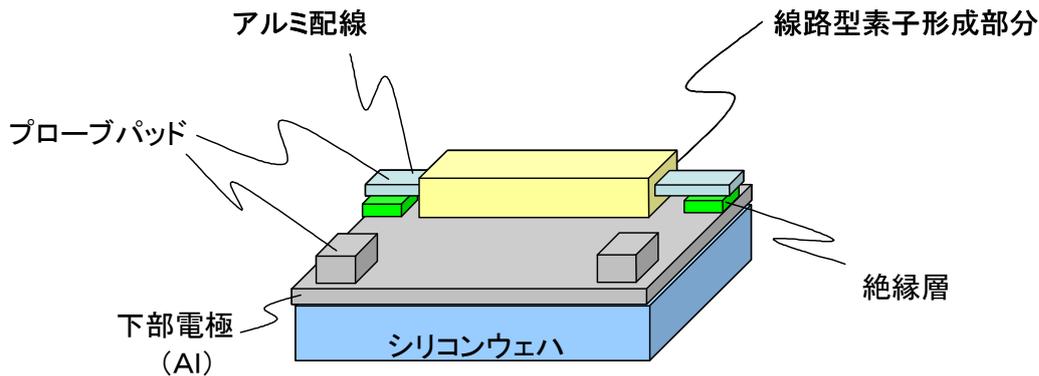


図 Q1 オンチップ型 L I L C の概要図

LILC の形成部はアルミ配線の表面に誘電体を形成し、その後対向電極を取付ける。今年度は以下のプロセスを検討した。

- ・電極の形成
- ・誘電体の形成

##### (電極の形成)

シリコンウェハに下部電極を形成した。熱酸化法でシリコンウェハに絶縁膜 (酸化シリコン) を形成し下部電極をスパッタ法で形成した。

##### (誘電体の形成)

配線の表面に誘電体を形成する方法として陽極酸化法を使用する。陽極酸化は溶液に電極金属を浸漬し電圧を印加して陽極酸化膜を生成する。陽極酸化膜が誘電体として機能する。陽極酸化に使用する溶液の組成は金属材料と密接に関係し不適切だと金属表面を浸食するだけで酸化膜が形成されない。金属材料に適した溶液は重要な要件である。

誘電体を形成するための実験装置を図 Q2 に示す。ドラフト内に恒温水槽を置き、フォルダに入れたサンプル (シリコン基盤) を陽極酸化用溶液に浸漬しつつ、電圧を掛けた。



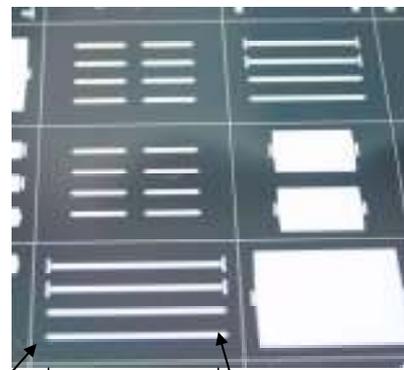
図 Q2 誘電体形成用の実験装置

形成した誘電体を SEM や TEM により観察した。TEG の断面を TEM で観察した結果を図 Q3 に示す。下部電極の厚みは約 300nm, 誘電体の厚みは約 50nm であった。図 Q4 はオンチップ TEG 外観である。線路部の両端に特性評価用のプローブパッド部を設けた。



← 誘電体  
← 下部電極

図 Q3 TEM 観察結果 (断面図)



線路部分  
プローブパッド部

図 Q4 オンチップ TEG 外観

#### 4-2-2-2 評価方法

「オンチップ形」は「内蔵形」と同様にプリント基板実装用の部品「ミニバス形」に比べ、電極端子（リード）がないことによりインダクタンスを小さくすることが可能で、さらに「内蔵形」や「ミニバス形」に比べ、LSI など電極端子の極近くに配置可能である。以下、オンチップ形 LILC のフィルタ特性を評価する方法について述べる。

オンチップ LILC の評価方法は、「内蔵形」の場合と考え方は全く同じである。図 R1 は LILC のチップ内での配置を模式的に示す図である。LSI チップ内部のノイズ源となっている回路ブロックの極近くに配置するのが望ましいと考えられる。「オンチップ形」の被測定配線構造としては、マイクロストリップ線路、コプレナ導波路、コプレナストリップ等が考えられる。ただし、「内蔵形」と「オンチップ形」では被測定配線と寸法が異なるため、「オンチップ形」に見合う測定系（評価 TEG を含む）を構築する必要がある。ボード上配線幅が 1 mm 程度であるのに対し、LSI チップ上の配線幅は 100  $\mu\text{m}$  程度かそれ以下になると考えられる。ボードレベルの電流評価に用いられている CP-2S の空間分解能が 200  $\mu\text{m}$  程度であることを考慮すると、LSI チップ上配線上での評価に用いる磁界プローブとしては、空間分解能の観点から厳しい CP-2S ではなく、数十  $\mu\text{m}$  オーダーの空間分解能を有する微小シールドドループプローブの方がふさわしいと考えられる。

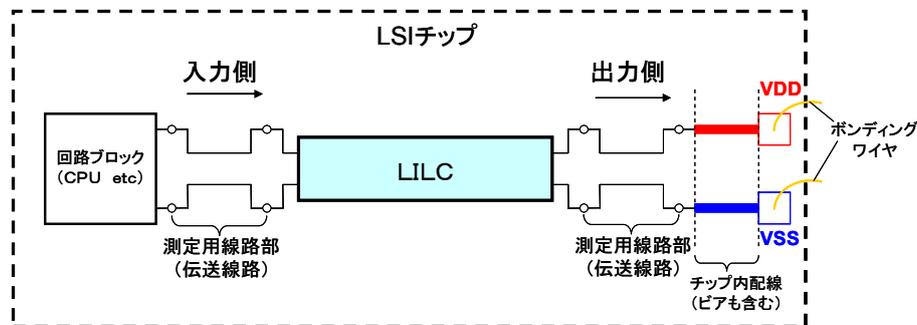


図 R1 LILC のチップ内での配置

微小シールドドループプローブを使う場合の問題点として、プローブ出力電圧  $V$  からループ内平均磁界  $H_{ave}$  への変換係数  $C1(f)$  のデータがないことが挙げられる。一方、ループ内平均磁界  $H_{ave}$  から電流  $I$  への比例係数  $C2$  については、「内蔵形」の場合と同様に電磁界シミュレーションにより求めることが可能であると考えられる。そこで、変換係数  $C1(f)$  を求める必要がある。変換係数  $C1(f)$  を求めるために方法としては、電流が既知の伝送線路上で磁界プローブの出力電圧を計測すればよい。図 R2 に特性インピーダンスが 50  $\Omega$  のコプレナ導波路を使った校正方法の一例を示す。コプレナ導波路の両端はカスケードマイクロテック社製のエアコプレナプローブで接続され、一方のエアコプレナプローブは 50  $\Omega$  の同軸ケーブルを介して 50  $\Omega$  系の信号発生源に接続し、もう一方のエアコプレナプローブ側は 50  $\Omega$  で終端されている。これにより系全体が 50  $\Omega$  で整合されるため、コプレナ導波路を流れる電流  $I$  は次の式(R1)で表される。 $I = V_{in} / 50$  (R1)

コプレナ導波路に流れる既知の電流  $I$  が流れている状態で、コプレナ導波路の中心導体上に磁界プローブを置いて磁界プローブ出力電圧  $V_{out}$  を計測することにより、プローブ出力電圧値  $V_{out}$  と電流値  $I$  の関係が求まる。比例係数  $C2$  は計算により求められるので、以下の関係式(R2)より  $C1(f)$  を最終的に求めることが可能となる。

$$\begin{aligned} C1(f) &= H_{ave}(f) / V_{out}(f) \\ &= I / (V_{out}(f) \cdot C2) \end{aligned} \quad (R2)$$

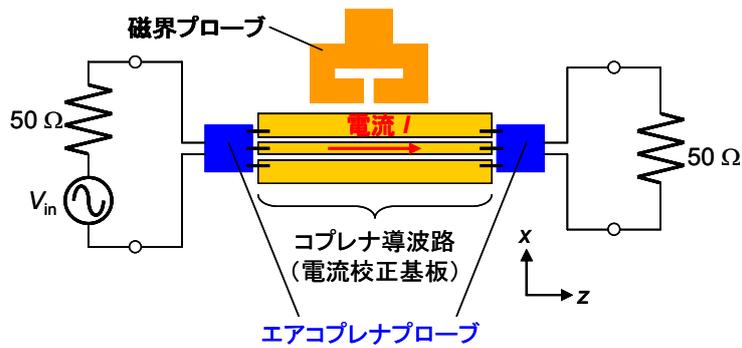


図 R2 コプラナ導波路を使った校正方法の一例

今回、微小シールドドループプローブの校正係数  $C1(f)$  を求めるために電流校正基板を作成した。電流校正基板内には図 R3 に示すようなコプラナ導波路を構成する導体パターンが複数ガラス基板上に形成されている。導体材料は Au でコプラナ導波路の特性インピーダンスが  $50 \Omega$  となるように寸法を決定した。寸法  $w$  は  $5 \sim 500 \mu\text{m}$  とし、寸法  $s$  は特性インピーダンスが  $50 \Omega$  となる値を算出して決定した。寸法  $w$  は  $0 \sim 2000 \mu\text{m}$  とした。図 R4 に作成した電流校正基板の写真を示す。

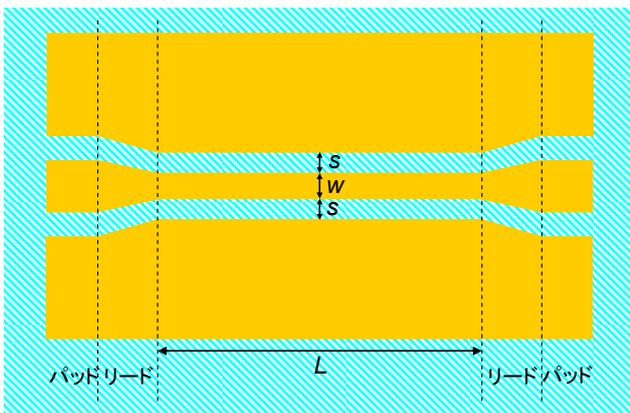


図 R3 コプラナ導波路パターンの一例

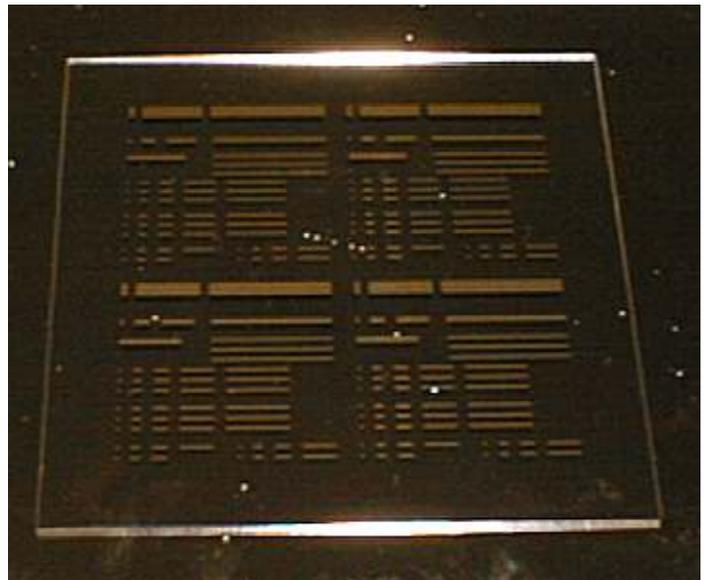


図 R4 電流校正基板の写真

電流校正基板が特性インピーダンス  $50 \Omega$  となっていることを確認するために、ネットワークアナライザを用いて各コプラナ導波路パターンの S パラメータを測定した。図 R2 に示した信号発生源側をポート 1、終端抵抗側をポート 2 に接続することにより測定系は構成される。測定結果を図 R5 に示す。(a) は  $L = 0 \mu\text{m}$  のパターンで実測された  $S_{21}$  である。このパターンはパッド部のみであるが、 $S_{21}$  はほぼ  $0 \text{ dB}$  であることから、パッド部での伝送ロスの影響はないことが分かる。

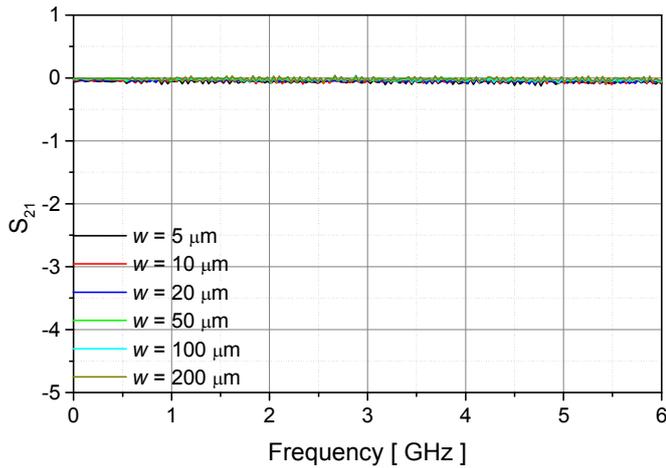
(b) から (d) はそれぞれ  $L = 1000 \mu\text{m}$ 、 $L = 2000 \mu\text{m}$ 、 $L = 5000 \mu\text{m}$  のパターンについて実測された  $S_{21}$  である。これらから、

- ・  $L$  が大きくなるにつれて、伝送特性が悪くなる
- ・  $w$  が大きくなるにつれて、伝送特性が良くなる

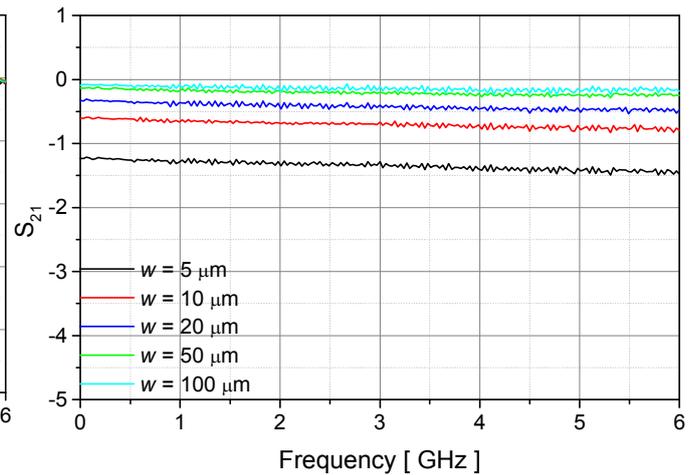
ことが分かる。この原因として、導体抵抗の影響・寸法精度等が考えられる。

微小シールドループプローブの校正を行う際には、ループ面が x 方法に垂直となるようにし、コプレーナ導波路の中心導体の中心線上にプローブを置けばよい。

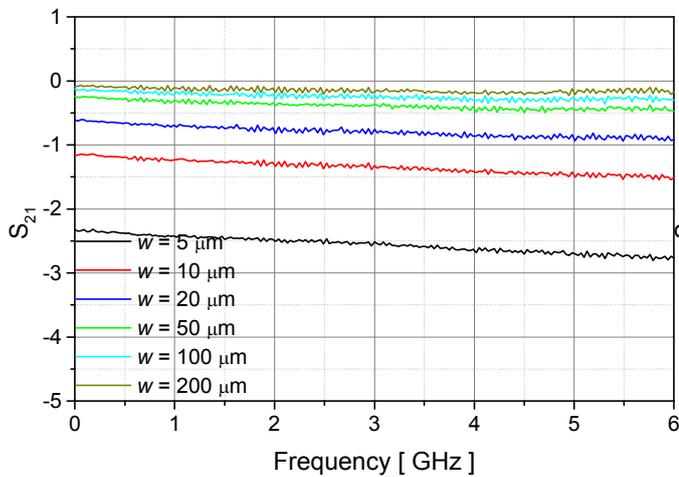
オンチップ LILC 評価用被測定配線の幅が、LSI の電源・グラウンドのグローバル配線程度であるとする、微小シールドループプローブ校正用のコプレーナ導波路パターンとしては、 $w$  が  $100\ \mu\text{m}$  以下でかつ伝送特性の良いものを選ぶのが望ましいと考えられる。オンチップ LILC 評価用被測定配線構造として、微小シールドループプローブ校正用のコプレーナ導波路パターンをそのまま用いることにより、電流校正はさらに容易になる。今後微小シールドループプローブの校正を行う予定である。



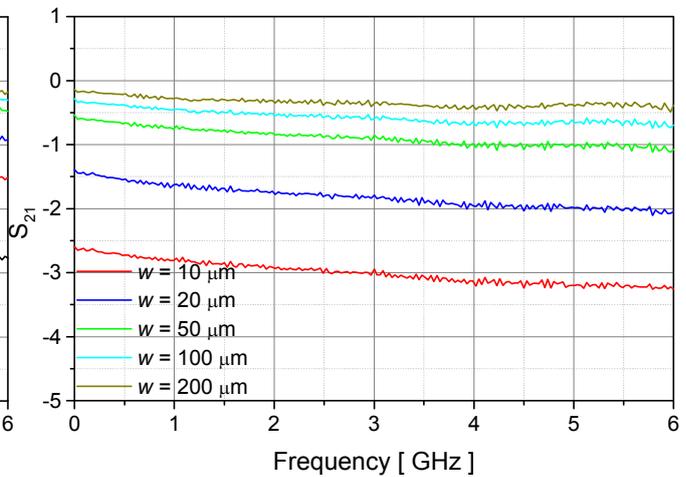
(a)  $L = 0\ \mu\text{m}$  の  $S_{21}$  実測値



(b)  $L = 1000\ \mu\text{m}$  の  $S_{21}$  実測値



(c)  $L = 2000\ \mu\text{m}$  の  $S_{21}$  実測値



(d)  $L = 5000\ \mu\text{m}$  の  $S_{21}$  実測値

図 R5  $S_{21}$  測定結果

### 4-3 まとめ

情報通信装置本体からの直接放射、あるいは接続されたケーブルなどを伝わって外部へ漏洩した電磁波を受信し、その漏洩電磁波に含まれる情報を抽出する「漏洩電磁波盗用」に対して、回路技術の観点から解決に取り組むことにし、サブテーマとして、新しい電源分配回路技術の研究開発を設定し、平成 17 年度は、以下の内容を実施した。

#### 1) 検証試作と可能性検証

(情報通信機器試作評価または TEG の試作評価及び放射電磁界解析による検証)

##### ア. 装置レベルの評価

平成 16 年度末の中間目標(情報通信装置からの放射電界強度が、VCCI のクラス B に対して概ね 20dB 以下となる技術の検証)は、マザーボードへの適用を主に達成した。しかしながら、デスクトップ型装置の評価に際し、未適用の周辺装置、モジュールは評価からその影響を除外した。マザーボードで効果が検証できたので、本委託研究の技術が実際の装置に受け入れられるように「周辺装置/モジュール」への適用方法を検討する必要がある。

そのため、装置レベルの評価として発生源の特定をまずおこなった。2004 年度に試作した電源デカップリング技術適用サーバマザーボードを遮蔽強化筐体の実装し VCCI 規制準拠の電波暗室において離隔距離 3m で測定した電界強度スペクトラムにおいてそれぞれのピークに対応する電磁漏洩発生源を調べた結果、528MHz のスペクトルは内蔵 HDD へ接続される IDE ケーブルに起因するなど特徴的なピークの原因が判明した。

電磁漏洩を装置全体として抑制するためには、個々の回路、筐体、ケーブルについて、それぞれ最適な漏洩防止をおこなう必要がある。そのため、「周辺装置/モジュール/回路」へ適用される形態を検討し、電源層と信号配線の位置関係などを中心に電源デカップリング効果が有効に機能する実施方法を開発した。また、機能(LAN やデータバス系、画像処理系など)毎に最適な実施方法を開発すべく「個別回路」用の TEG を試作し、測定評価解析を実施した。具体的には、筐体の遮蔽性能、ケーブルの影響、回路基板のグランディング方法について調べ、種々の対策を盛り込んだ大規模 TEG による検証を試みた。また、PC カード、USB モジュールの影響を評価した。

##### イ. 個別回路の評価

EMI 評価 TEG、シールドビア TEG、電源層交差配線 TEG、電源層構成、シールドビアの効果解析、信号線のスキューの影響について電磁漏洩抑制方法を検討し、電源層の層構成、シールドビアが大きな効果を持つことを確かめた。

種々の対策を盛り込んだ大規模 TEG に関しては、今年度は、試作と全体の評価をおこなったが、個別技術との関連、および、最終目標との関連については残された課題で平成 18 年度に実施する予定である。

#### 2) 要素技術の研究開発

また、並行して、平成 18 年度末の最終目標を達成するため、ボード内蔵、半導体オンチップ等の電源デカップリング技術の検討および効果の検証を行った。具体的にはア. 内蔵形デカップリング素子(LILC)研究開発、および、イ. オンチップ形デカップリング素子(LILC)研究開発で、ア. 内蔵形デカップリング素子(LILC)研究開発に関しては、今年度はシート状デバイス評価 TEG を試作し材料特性及び評価方法について検討を行った。また、イ. オンチップ形デカップリング素子(LILC)研究開発においては、シリコンウェハに熱酸化法でシリコンウェハに絶縁膜(酸化シリコン)を形成し、下部電極を形成した。下部電極は純度を維持の観点からスパッタ法を用いた。次に、配線の表面に誘電体を形成する方法として陽極酸化法を使用し、陽極酸化は溶液に電極金属を浸漬し電圧を印加して陽極酸化

膜を生成し、下部電極の厚みは約 300nm, 誘電体の厚みは約 50nm の構造を作成できた。今後、これらのデカップリング素子を実際の回路に組み込んで、所望の性能が得られるかを実証することが残された課題で、平成 18 年度に実施する予定である。

#### 4-4 総括

平成 17 年度は、平成 16 年度末の中間目標（情報通信装置からの放射電界強度が、VCCI のクラス B に対して概ね 20dB 以下となる技術の検証）の達成から最終目標の達成のため、本委託研究の技術が実際の装置に受け入れられるように「周辺装置／モジュール」への適用方法を検討した。「装置レベルの評価」, 「個別回路の評価」を実施し、「周辺装置／モジュール／回路」へ適用される形態を検討し、電源層と信号配線の位置関係などを中心に電源デカップリング効果が有効に機能する実施方法を開発した。特に、「装置レベル」の測定評価により、電磁漏洩箇所を特定を実施した。また、機能（LAN やデータバス系, 画像処理系など）毎に最適な実施方法を開発すべく「個別回路」用の TEG を試作し、測定評価解析を実施した。また、同時に、平成 18 年度末の最終目標を達成するため、ボード内蔵、半導体オンチップ等の電源デカップリング技術の検討および効果の検証用テスト基板（TEG）の試作、評価と、デカップリング素子の試作を行った。また、今年度は、LSI の電源モデルを用いた回路基板からの電磁放射を解析できるシミュレーション法も開発した。これらは、最終年度の目標達成のための基盤技術となると考えられる。

## 5 参考資料・参考文献

### 5-1 研究発表・講演等一覧

平成 17 年度は研究発表、講演等はない。