

平成17年度
研究開発成果報告書

携帯通信機器用低電力メモリ：
ダイレクトトンネルメモリの研究開発

委託先： 富士通(株)

平成18年4月

情報通信研究機構

平成17年度 研究開発成果報告書 (一般型)

「携帯通信機器用低電力メモリ：ダイレクトトンネルメモリの研究開発」

目次

1	研究開発課題の背景	2
2	研究開発の全体計画	
2-1	研究開発課題の概要	7
2-2	研究開発目標	9
2-2-1	最終目標	9
2-2-2	中間目標	9
2-3	研究開発の年度別計画	10
3	研究開発体制	
3-1	研究開発実施体制	11
4	研究開発実施状況	
4-1	アーキテクチャ設計	12
4-2	メモリセル単体設計試作	14
4-2-1	高集積型DTMの研究開発結果	14
4-2-2	デバイスシミュレーションによる解析	29
4-3	回路設計	33
4-3-1	序論	33
4-3-2	Read & write unit (RWU) と erase unit (EU) について	34
4-3-3	Word line unit (WLU) について	35
4-3-4	Separated source line (SSL) における回路構成	37
4-4	メモリチップ試作	38
4-4-1	序論	38
4-4-2	AND型メモリセルアレーの試作結果	38
4-5	総括	47
5	参考資料・参考文献	
5-1	研究発表・講演等一覧	

1 研究開発課題の背景

半導体デバイスの高性能化は目覚しく、パソコン等に用いられる MPU は 2 年で 1 世代すなわち寸法が 0.7 倍、面積が半分になり、高速化も実現されてきた。あまりに急速な微細化で消費電力が増大したため今後は若干ペースダウンするが、それでも 2.5 年サイクル、2010 年以降は 3 年サイクルで微細化が進むものと ITRS (International Technology Roadmap for Semiconductors) ¹ は見ている。

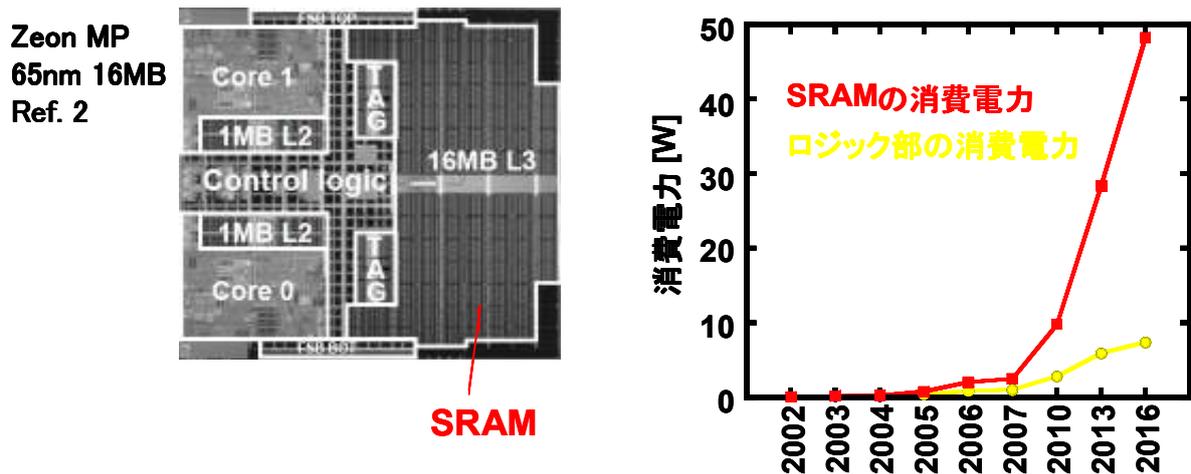


図 1-1. CPU に占める SRAM と今後の消費電力の伸び

図 1-1 に示すように、チップに対してメモリ (SRAM) がかなりの領域を占めるようになってきている²一方で、SRAM が消費する電力が爆発的に増加することが懸念されている。

図 1-2 はチップに対するメモリとロジックの占める割合を示しているが、今後搭載されるメモリ容量はますます増加し、セル面積の大きい SRAM を使い続ける以上チップに占める SRAM の比率は図のように今後どんどん大きくなりコストアップの要因となる。また SRAM は微細化に伴いチャンネル内のドーパント原子の統計的なゆらぎ、ゲート長の変動、LER (line edge roughness)、温度の影響によりしきい値ばらつきが増大し、動作マージンの低下が深刻となってきている。特にドーパント原子の統計的なゆらぎは、原子レベルで生じている現象であり、すでに避けきれない寸法領域に突入している。リーク電流の増大も深刻である。実効ゲート長が短くなることによってソースとドレイン間を流れるサブスレッショルド・リーク電流が増加するとともに、ゲート絶縁膜の薄膜化に起因してゲート・リーク電流が増加、ウェルとドレイン間を流れる GIDL 電流も劇的に増加していく。また α 線のみならず大気圏高層からの高いエネルギーをもった中性子が、微細化した SRAM のソフトウェア耐性を悪化させるため、混載 SRAM 容量の増大に伴い、ソフトウェアが深刻な問題となってくる。

¹ International Technology Roadmap for Semiconductors 2005

² ISSCC 2006, 5.3.

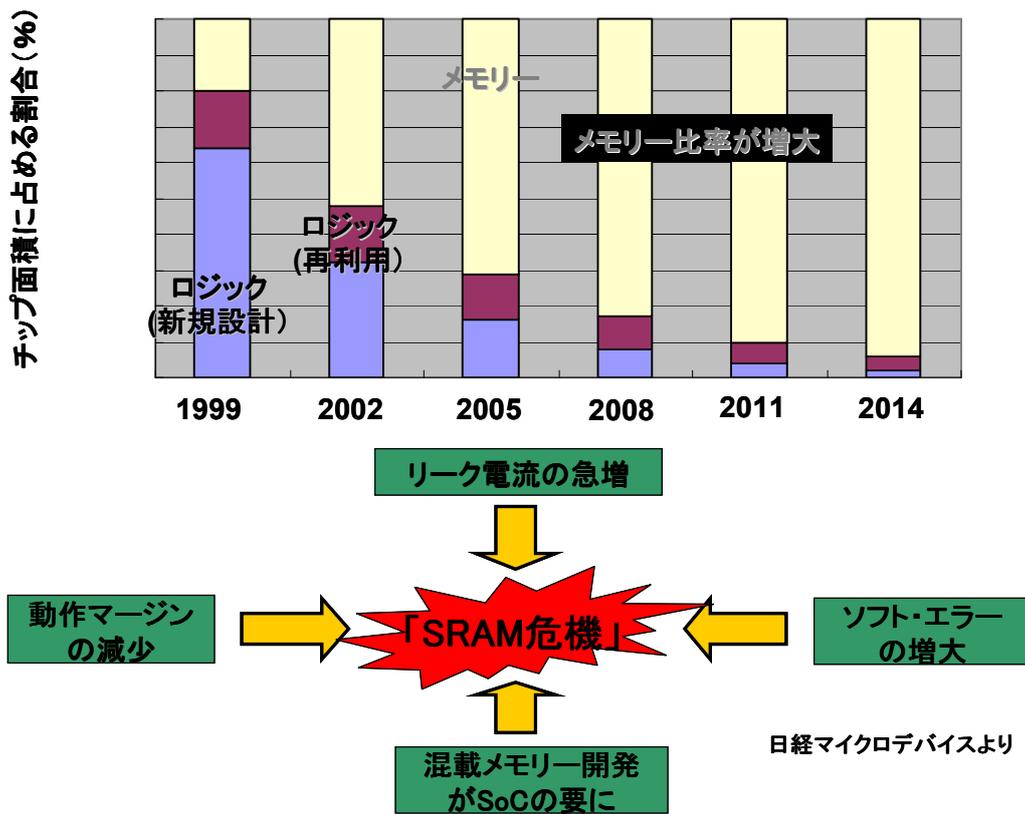


図 1-2. チップに占めるメモリの比率の推移と SRAM の抱える問題³

hp(half pitch) 45nm 世代以降では歪 Si チャンネル、超極薄シングルゲート/ダブルゲート、金属ゲート、準バリスティック輸送、金属接合といった新技术を次々と採り入れないと要求される駆動電流 I_{on} を確保した上で十分にオフリーク電流 I_{off} を抑えることができないとみられている¹。これだけ多くの新技术を採用するとなると、相当なコストアップは避けきれず、半導体産業が成り立たなくなる恐れがある。

現在混載メモリとして使われている SRAM はひとつの記憶素子に 6 つものトランジスタを用いるためセルサイズが大きく、容量増加することによるチップ全体の面積に及ぼす影響が大きい。チップサイズが大きくなると、1 枚のシリコンウェハからとれるチップ数が減少するため、コスト増につながり価格競争力が低下する。

一方で大容量、高速な DRAM(Dynamic Random Access Memory)を混載させる手段もある。DRAM のセルに用いられるキャパシタは微細化が進みセルサイズが小さくなくても、一定の容量($\sim 30\text{fF}$)を確保する必要がある。そのため、DRAM キャパシタを形成するためにシリコン基板を深く掘ったり、上に高く積み上げたり、新たな高誘電体材料や金属電極材料を導入することが進められている。DRAM やロジックはそれぞれのデバイス特性を向上させるために、プロセス技術が特化している。そのためロジックプロセスに DRAM のプロセスを追加しようとすると専用の装置が新たに必要になったり、一方に適した設定温度や時間が他方に悪影響を与えることがある。記憶素子と論理素子を混載したシステム LSI を低コストで実現するためには、このような DRAM キャパシタのプロセスは大きな障害となっている。

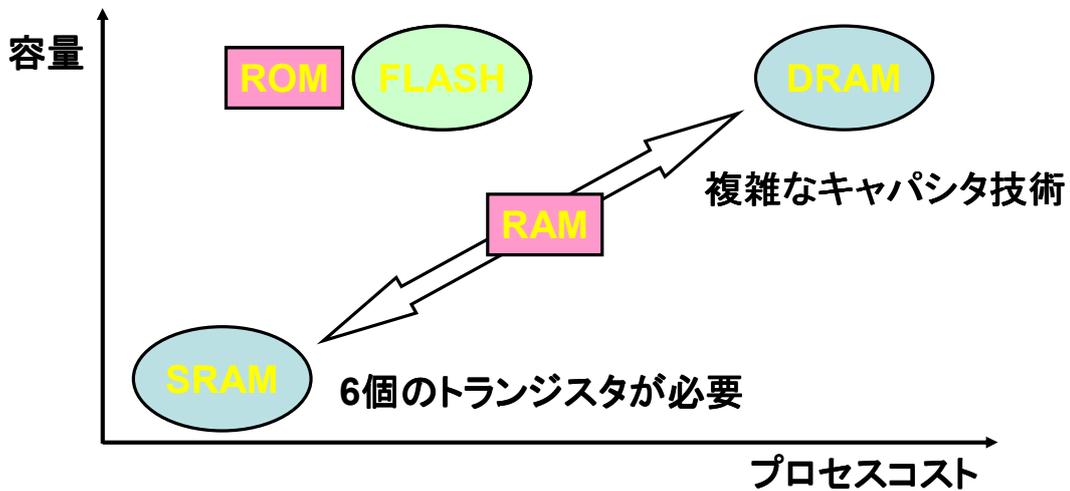
そのような各種 RAM(Random access memory)の製造プロセスコストと記憶容

³ 日経マイクロデバイス 2004 年 9 月号 p. 28.

量の観点から示したものが図 1-3 である。

DRAM は市販メモリの中では記憶容量が大きい部類に属するが、複雑な 3 次元構造のキャパシタを作りこむためプロセスコストが高くなるのに対し、SRAM は通常のトランジスタで構成するためロジックプロセスとの相性が良くプロセスコストを上げる要因は少ないが、1つのセルを 6 つものトランジスタで構成するためセル面積が大きくなり記憶容量が小さくなってしまふ。このため大容量かつ低プロセスコストの RAM が存在しないのが現状である。一方、FLASH メモリは ROM(Read only memory)として用いられるが、DRAM と比べると構造が簡単であるが故にプロセスコストは小さく容量も昨今 DRAM を凌ぐ大きさを持つようになってきた。そこで低価格の携帯機器用混載メモリとしてこの FLASH を RAM として使えないかと考えたのが、図 1-4 に示すダイレクトトンネルメモリ(DTM: Direct Tunneling Memory)開発のきっかけである。

- **大容量かつ低プロセスコスト**のRAMが存在しない
- **微細化に伴い消費電力が増加する**



➤ **FLASHメモリをRAMとして使えないか?**

図 1-3. 次世代 RAM のターゲット

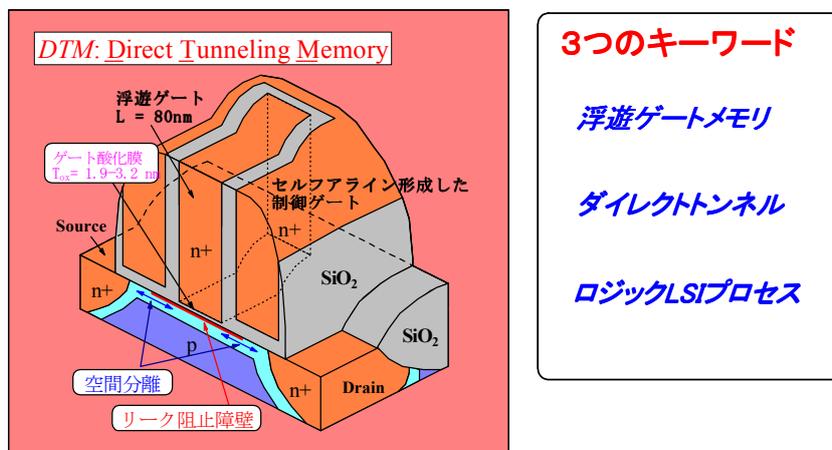


図 1-4. DTM の基本構造と 3 つの特徴

DTM のデバイス構造は比較的簡単で、制御ゲートが浮遊ゲートの側壁に設けられており、ソース・ドレインのエクステンション領域と浮遊ゲートが重ならないようになっている。このため、浮遊ゲートからソース・ドレイン領域への電子のリークが抑制される。また FG からチャンネルへの電子のリークを抑制するために、チャンネル領域を高濃度にドーピングしている。

第一の特徴は浮遊ゲートにある。MOS トランジスタに外部引き出し電極を持たないゲート(浮遊ゲート)を設けて、記憶特性を持たせている。浮遊ゲートは FLASH メモリでも用いられているものだが、DRAM のキャパシタに比べて構造をコンパクトに出来、特別な材料も必要が無いという利点がある。

第二の特徴はダイレクトトンネル(直接トンネル)電流を用いている点にある。ゲート酸化膜は薄くなると量子効果によってチャンネルの電子が酸化膜を直接トンネルできるようになる。特に 3nm 以下の膜厚になると顕著になる。高速 DTM に用いる酸化膜は高速に電子を出し入れするために、1.5nm 以下と非常に薄いのが、ロジックの量産技術としては既に確立しているので、プロセス開発上の障害はない。

第三の特徴はロジック LSI プロセスで作製できるところにある。DTM ではロジックと DRAM を混載するときに起こるような問題が無く、メモリの特性とロジックの特性の最適化が可能となる。

メモリ	Flash	DTM	FeRAM	MRAM	PRAM(OUM)	RRAM
記憶場所	MOSFET	MOSFET	強誘電体キャパシタ	トンネル磁気抵抗素子	カルコゲナイト抵抗素子	PCMO
記憶構造	ホット電子注入によるしきい値制御	直接トンネル電子注入によるしきい値制御	強誘電体の残留分極電荷	トンネル磁気抵抗効果	多結晶-非晶質の抵抗変化	超巨大磁気抵抗効果???
特長	小セル面積多値化	小セル面積 プロセス整合性 速度-保持時間可変	低消費電力 高速(1T1C) 超高速(6T4C)	超高速 大容量(マトリクス) 書き換え制限なし	高速 スケラビリティ	高速 低消費電力 スケラビリティ
課題	書き換え回数 低電圧化 高速書き換え	速度と保持時のトレードオフ	微細化 書き換え回数(1T1C) スケラビリティ	微細化 書き換え電流低減 スケラビリティ	書き換え回数 書き換え電流低減 高精度熱設計	書き換え回数制限?
応用と実用化	コードストレージ データストレージ 量産中~4G	DRAM置き換え SRAM置き換え 開発中	混載 RAM(512K) 汎用RAM(1M) 量産中	汎用・混載RAM データストレージ 4Mサンプル出荷中	汎用・混載RAM Flash置き換え 64M学会発表	各社で検討中 不明な部分が多い

図 1-5. 各種メモリの比較⁴

昨今、メモリのスケール限界が危惧されるようになり、各種新規メモリが登場し検討が進められている。しかしいずれも一長一短があり、すべての要件を満たさず、現行メモリを置き換えるには至っていないのが実情である(図 1-5)。その中で、DTM は速度と保持時間のトレードオフといった課題で比較の実用化に近く、DRAM、SRAM 置き換えを狙って開発している位置付けとなっている。

差別化ターゲットとしては、携帯機器の使用時間延長(待ち受け 1,000 時間)にある(図 1-6)。RAM(DRAM、SRAM)の低消費電力化する方法として DTM(Direct Tunnel Memory)を採用すると、DRAM よりも低価格(セル面積が DRAM の 1/2、SRAM の 1/20)も実現できる。

⁴ 半導体メモリシンポジウム 2006.1.30.

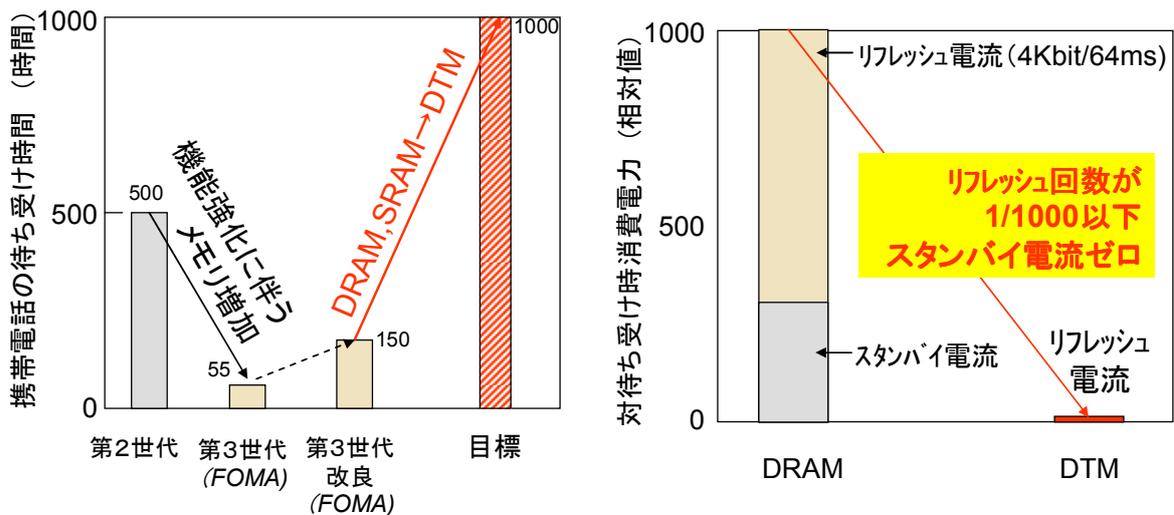


図 1-6. DTM による携帯電子機器の差別化

DTM はロジックプロセスにマスク 3 枚程度の増加で済み、論理素子の特性を損ねることなく混載することができる。SRAM に比べてセルサイズははるかに小さく、トンネル酸化膜厚を薄くすることで書き込みを速くすることが期待できる。DTM が SRAM を置き換えることができるのであれば、DTM を用いたシステム構成は図 1-7 に示すように MPU とコンパクトな DTM を太いバスで結ぶことができ、従来に比べてシンプルで価格競争力のあるものになる。

そこで、DTM が携帯通信機器用混載メモリとして SRAM を置き換えることができるほど十分な機能を有するか検討を行った。

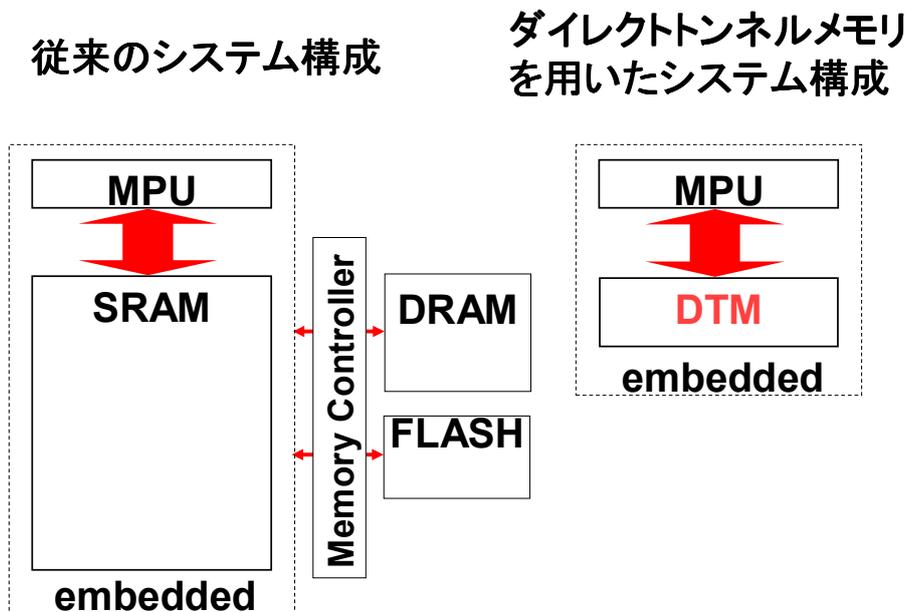


図 1-7. DTM を用いたシステム構成

2 研究開発の全体計画

2-1 研究開発課題の概要

ダイレクトトンネルメモリの特色を簡単に述べる。本メモリは、Flashメモリと同様に浮遊ゲートを用いたメモリである。従ってメモリセルあたり一つのトランジスタで記憶ができ、DRAM等に比べ高集積化に向いている。Flashメモリのような厚い絶縁膜ではなくロジックトランジスタ用の薄い絶縁膜を用いることにより、ダイレクトトンネル現象が起きる。このトンネル電流を積極的に利用してメモリ素子の高速・低電圧動作・高耐久性を実現することができる。また、保持特性を向上させるため従来の浮遊ゲートメモリに無い様々な工夫を行うが、全て一般のロジックトランジスタで用いるプロセス技術を使用する。つまり、専門化されたロジック製造技術を先端のメモリ技術に取り入れている。

本メモリの大きな特長として、トンネル酸化膜の厚さを変えることによって極めて広範囲のアクセス時間とデータ保持時間をカバーできることが挙げられる。すなわち、SRAMなみの高速動作（10ns以下）からFlashメモリなみのデータ保持時間（10年）をトンネル酸化膜の膜厚を変えるだけで実現することができる。設計次第で汎用/混載のDRAM、SRAMおよびFlashをDTMで置き換えることが可能である。

当社では既に本メモリのセル基本動作の実証は行っている。これからは、最終的なチップ動作にむけて総合的な研究開発を行う必要がある。

開発目標を達成するための研究内容は、大きく以下の4つに分けることができる。

- ア. チップレベルのアーキテクチャ設計
- イ. メモリセル単体設計試作
- ウ. 回路設計
- エ. チップ試作

開発期間は4年3ヶ月を計画している。材料開発が伴う研究は別だが、半導体開発がこれより長期化すると、技術トレンドが予測しづらくなある。逆に、これより短い場合、マイクロなレベルのセル開発とチップレベルの設計の両立が困難になる。以下では、上記の項目ごとに開発スケジュールも含めて説明を行う。

ア. チップレベルのアーキテクチャ設計

ダイレクトトンネルメモリセルは従来のDRAMと異なり、セルの設計によって動作特性を大きく変化させることができる。例えば、酸化膜厚を変えることにより、書込み時間と保持時間を何桁も変更できる。この柔軟性は大きな特色である。

メモリセルの柔軟性を生かしながらメモリチップの性能を最大にするには、チップレベルのアーキテクチャも既存のDRAMから大胆に設計を変更していく必要がある。チップレベルのアーキテクチャとは、I/Oを通して入力されたデータの処理の仕方や、セルアレーの制御方法等である。高速性を達成するためには、内部キャッシュの採用まで検討する必要がある。それが可能になるのもロジックとの親和性が良いことによる。

研究開発では、ダイレクトトンネルメモリセルに適した独自のアーキテクチャを設計し、逆にアーキテクチャからの要請でセルの動作特性を変更することもありえる。従って研究のスタートから、アーキテクチャの設計を理論計算やシミュレーションにより開始し、セル試作にフィードバックをかける体制を整えておく必要がある。

イ. メモリセル単体設計試作

アーキテクチャ設計とともに、この項目も開発当初からスタートする。

セルの基本設計は明らかになっているが、実用化に向けて更に詳細な研究を行い、性能の向上を図る必要がある。特に、保持時間と書き込み時間の比をあげることと低電圧化を更に進める事が重要である。基本的には現試作段階のメモリセルでも実用化に十分な基本特性を示しているが、更なる特性向上でアーキテクチャ設計の自由度が高まるからである。

基本性能を高めつつ段階的に、セル間の特性ばらつきの解析や改善、セルアレーレベルでの信頼性試験の実施等、統計的な試験に重点をシフトさせていく。

ウ. 回路設計

次に、具体的な周辺回路の設計を開始する。

先ず、ワード線ドライバやビット線センスアンプの設計が重要となる。この部分の周辺回路はセルアレー特性に深く関連するので、メモリセル単体試作評価の結果を検討して早めにスタートする。また、周辺回路ロジックトランジスタの特性把握のためにシミュレーションパラメータの抽出と特性改善を行う。

検討した結果を基にアレーブロックに入出力するデータのコントローラーの設計やI/O関連の設計を具体的に行う。これらは、通常のロジック回路の開発である。(但し、その際に行うシミュレーションの結果によっては、この期間のアーキテクチャの修正もありえる。)

当社では、それぞれの分野の専門家がおり、技術的な問題が起きた時点で協力ができるグループを作ることができる。従って、ハードとソフトの同時開発というリスクの高い研究開発を推進することは十分に可能である。

エ. チップ試作

次に、アーキテクチャとセル特性の仕様が固まり、回路設計がある程度すすんだ時点で、チップ試作に取り掛かる。

試作は、1次試作と2次試作に分ける。1次試作では、プロセスのリスクを低くするために余裕を持ったルールでチップを試作し動作実証を目指す。(用途によっては十分に実用になるメモリを試作する。)

2次試作は、高集積化を意識した試作を目指す。メモリセルの大きさは $6F^2$ で行う予定である。但し、一部セルアレー試作を進め、セルフアライン技術を多用して、 $4F^2$ のプロセス技術を開発する。これは、将来他のメモリ技術に対して十分なアドバンテージを保つためである。

以上で、研究終了時に混載DRAMやSRAMに対して性能面やセルサイズの優位性を全て実証する予定である。

2-2 研究開発目標

2-2-1 最終目標（平成18年3月末）

新しい動作原理に基づくメモリセルを用い 1Gbit ランダムアクセスメモリの検証試作を行う。メモリ転送速度は 10Gbps、大規模で 10ns 以下の高速であるにもかかわらず待機時消費電力は $1\mu\text{W}$ 以下を具体的な達成目標とする。しかも、これほど消費電力が低ければ、電源を切ってもバックアップバッテリーで長期間記憶を保持できる。また、微細セルの基本技術を立ち上げる。これにより更なる高集積化が約束される。

アプリケーションとしては、携帯機器利用において急速に機能が拡張してきているグラフィックス(カメラ)、オーディオ信号の高速処理用途の大容量メモリを 1chip に混載した ASIC(SRAM 置き換え)を狙う。

2-2-2 中間目標（平成16年3月末）

メモリセルの設計(構造の最適化)、試作、評価を終了する。これらの結果を基にシミュレーションしてメモリチップの諸特性を予測する。ここで後半の計画の見直しを行う。

2-3 研究開発の年度別計画

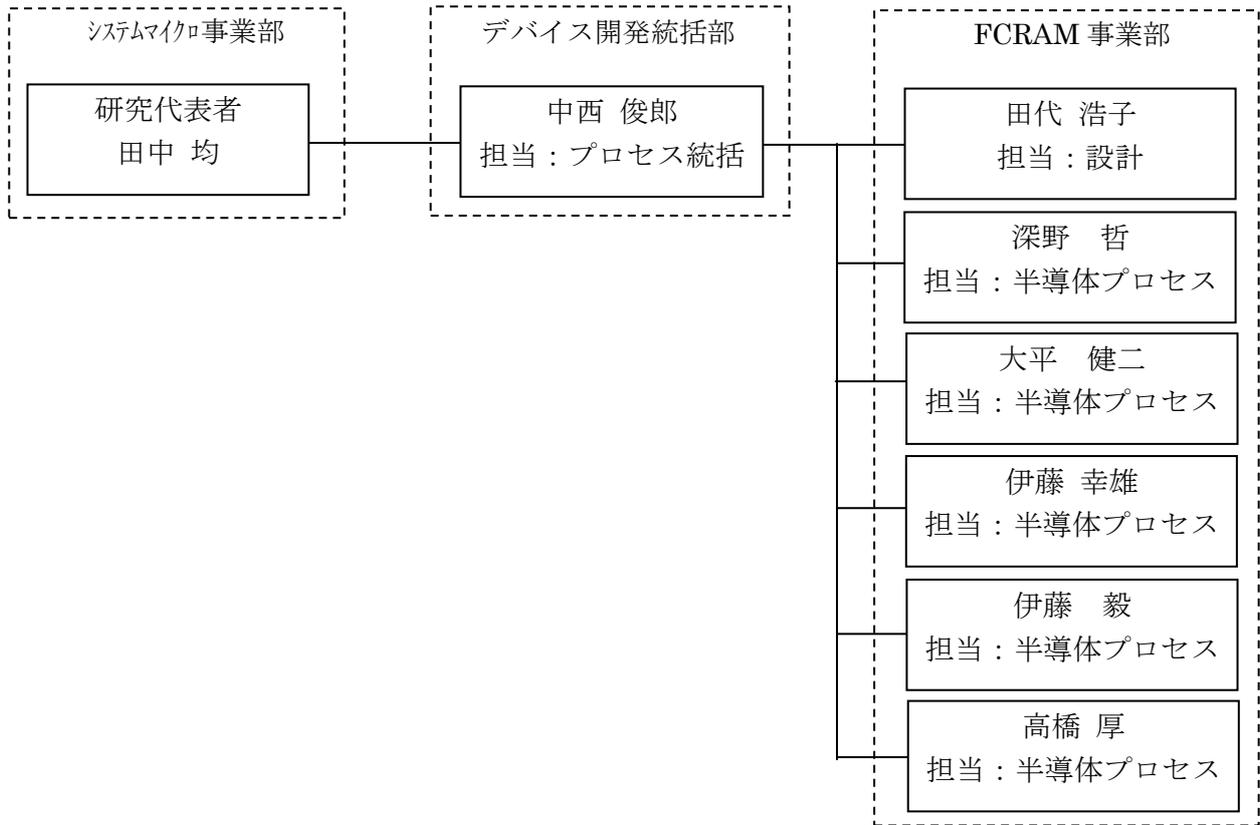
(金額は非公表)

研究開発項目	13年度	14年度	15年度	16年度	17年度	計	備考
「携帯通信機器用低電力メモリ：ダイレクトトンネルメモリの研究開発」							
ア：チップレベルのアーキテクチャ設計	→						
イ：メモリセル単体設計試作		→					
ウ：回路設計			→	→	→		
エ：メモリチップ試作				→	→		
間接経費							
合計							

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む)。
 2 備考欄に再委託先機関名を記載
 3 年度の欄は研究開発期間の当初年度から記載。

3 研究開発体制

3-1 研究開発実施体制



4 研究開発実施状況

4-1 アーキテクチャ設計

DTM セルでリフレッシュ間隔を $10^4 \sim 10^5 \text{sec}$ にすれば、大幅な低消費電力化を図ることが可能になる。この場合の書込み並列処理に際して、メルセンヌ素数 $127=2^7-1$ をバンク数とした構成にすると、高速動作させながらも処理が遅延する確率を大幅に低減できる見通しをつけた。

ダイレクトトンネルメモリセルは従来の DRAM と異なり、セルの設計によって動作特性を大きく変化させることが出来る。例えば、酸化膜厚を変えることにより、書込み時間と保持時間を何桁も変更できる。この柔軟性は大きな特色である。

メモリセルの柔軟性を生かしながらメモリチップの性能を最大にするには、チップレベルのアーキテクチャも既存の DRAM から大胆に設計を変更していく必要がある。

今回、新しいアーキテクチャの一つとして、メモリのアドレスの与え方及び書込み並列処理を行う際のメモリバンク数に関する技術を DTM に応用する為の具体的検討を行った。

DTM の今までのセル特性から、書込み時間を $1 \sim 10 \mu \text{sec}$ にすればリフレッシュ間隔を $10^4 \sim 10^5 \text{sec}$ にすることが出来、今までの大容量 RAM では出来なかった低消費電力化を図ることが可能になる。メモリチップの処理サイクルを 100nsec とするならば、 $10 \sim 100$ 倍の書き込み並列処理を行う必要がある。つまり、 100 バンク程度にメモリを分割すればよい。

しかし、いくらバンクごとに分けて書込みの並列化を進めても、メモリをアクセスするアドレスが周期的であると、並列化が有効に働かなくなる。例えば、一つ飛ばしにバンクをアクセスすると、バンク数 N_B が $2n$ のような偶数であった場合、半分のバンクが利用されなくなる。一般的には、 N_B が約数の多い数であった場合、周期的なアドレス列に対して並列化が脆弱になる。従って、 N_B は素数である方がよい。

また、通常のメモリのように外部から与えるアドレス A_{out} とチップ内部で与えるアドレス A_{in} が等しい場合、バンクに対応したアドレスを固定したアクセスを行うと、1つのバンクにアクセスが集中してしまう。しかも N_B が素数ならば、 $A_{out} = A_{in}$ では A_{out} が扱いづらくなる。従って、外部から与えるアドレス A_{out} をチップ内部で与えるアドレス A_{in} に次式を用いて変換する。

$$A_{in} = A_{out} + 1 + (A_{out} \div N_B) \quad (1)$$

ここで、演算子 \div は整数同士の割り算で、小数点以下を切り捨てる。この場合、 A_{out} は連続した値となる。そして、 N_B やその倍数の周期でアクセスしない限り、特定のバンクにアクセスが集中することは無くなる。更に、次に述べる工夫を加えると N_B やその倍数の周期でアクセスしても特定のバンクにアクセスが集中しにくくなる。 N_B は素数がよいが、その中でも特に“Mersenne Prime”を利用すると新たな利点が生まれる。

Mersenne Prime は次のようにあらわすことが出来る。

$$N_B = 2^p - 1, \quad (2)$$
$$p = 2, 3, 5, 7, 13, 17, \dots$$

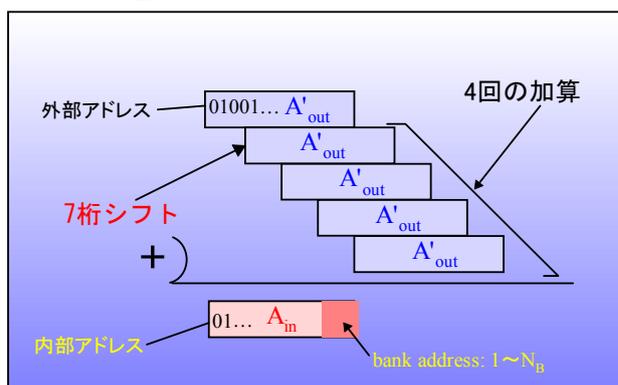
この素数は表式から分かるように二進法と相性が非常に良い。まず、外部アドレス A_{out} のビット数を L としたときに、最大の A_{out} は、

$$\max(A_{out}) = 2^L - 2^{L-p} - 1. \quad (3)$$

この数は上から p 番目の桁が 0 で他の桁は全て 1 である。つまり、一番上から $p-1$ 番目の桁までと $p+1$ 番目の桁から一番下の桁までのそれぞれの範囲内で、桁の順番を任意に入れ替えても最大値を超える事はない。この様な桁の入れ替えを行えば、外部アドレスが

NB やその倍数の周期でアクセスしても特定のバンク にアクセス が集中しにくくなる。式 (1) ではアドレスを変換する際に割り算を行わなければならない。これは、I/O 部分の演算であるから出来る限り高速に行う必要がある。Mersenne Prime の場合、この計算も簡素化できる。DTM では、バンク数としてメルセンヌ素数 $127=2^7-1$ が適当である。このバンク数に対応した内部アドレスに変換する処理はアドレスが 27bit 必要だとしても、高々 4 回の加算で行うことが出来る。この計算の概略を図 4-1-1 に示す。

Address Converter の演算 ($N_B=127=2^7-1$ の場合)



A_{out} が一部の桁のみ変化しても
 A_m では広い範囲の桁が変化する。

アクセスの分散化

図 4-1-1. 内部アドレスへの変換処理。

Mersenne Prime ならば高速計算が可能。この計算回路をクロックを用いない非同期ロジックでしかも並列処理を徹底すれば、かなりの高速化が期待出来る。また、完全にランダムな書込み処理を実現するには、書込み中のバンクに新たな書込み命令が入力されたときに命令を一時記憶させるバッファが必要となる。

DTM セルでリフレッシュ間隔を $10^4 \sim 10^5 \text{sec}$ にすれば、大幅な低消費電力化が可能であるが、この場合にメルセンヌ素数 $127=2^7-1$ をバンク数とした構成にすると、高速動作させながらも処理が遅延する確率を大幅に低減できる見通しをつけ、実施計画に対しておおよそ達成された。

4-2 メモリセル単体設計試作

4-2-1 高集積型 DTM の研究開発結果

(i) 高集積型(サイドウォール CG 型)DTM のコンセプト

DTM を DRAM に対抗させるためには、従来のサイドウォール型 DTM により微細化を追求する必要がある。そこで我々は、サイドウォール型 DTM を用い、低電圧で 10ns 以下の高速動作が可能であるか検証を行った。

(ii) サイドウォール型 DTM の試作条件

サイドウォール型 DTM のプロセスフローを図 4-2-1-1 に示す。従来構造では、自然酸化膜を用いた FG の 2 層化による空乏化技術によりリテンション特性を改善させていたが、FG の 2 層化はロジックプロセスとの整合性を悪化させるだけでなく、トンネル酸化膜の薄膜化に伴い自然酸化膜との膜厚比が取れなくなるため、ゲート加工プロセスへの負担が増加する。そこで、ゲートへの不純物注入量を変えることで空乏化を行った。従来構造ではソース・ドレイン形成時の不純物注入により FG 中へも不純物が注入されてゲート空乏化が行えないため、FG 上にハードマスクを追加することでこれを回避する。ハードマスク形成を含む具体的なプロセスフローと模式図を図 4-2-1-1 に示す。極薄トンネル酸化の前処理として 70°C の HNO₃ 処理により薄い酸化膜を形成する。その後常圧の横型炉にて 650°C からランピングを行い、800°C で 2 分の酸化を行う。酸化過程では N₂ 流量 10slm に対して、O₂ 流量は 500sccm(薄膜)/5slm(厚膜)に希釈している。

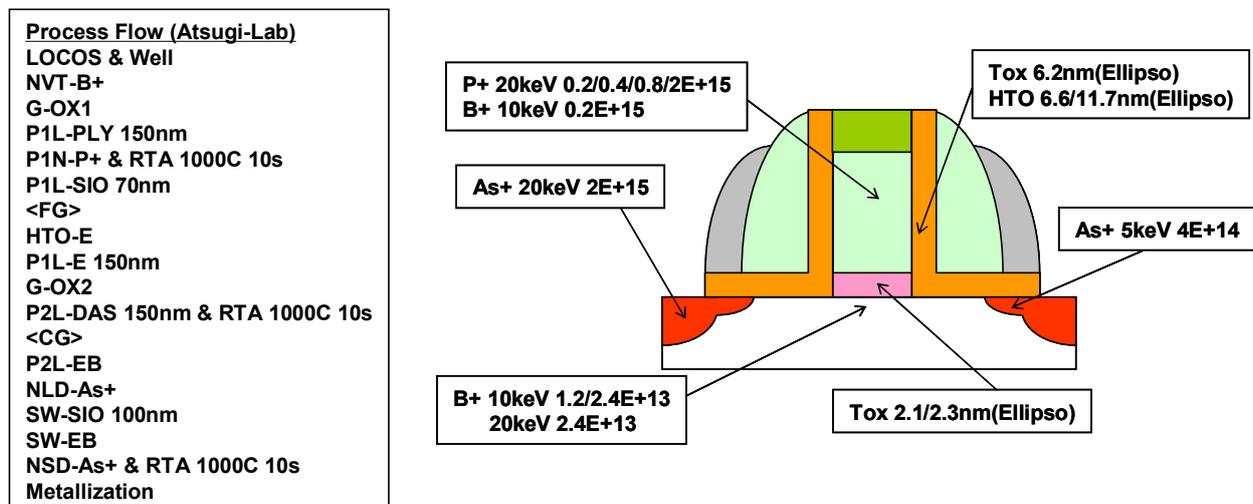


図 4-2-1-1. サイドウォール型 DTM のプロセスフローと模式図

(iii) シミュレーションによるゲート空乏化と DTM のリテンション特性との関係

デバイスシミュレーションにより計算した、消去状態($V_{FG}=0.5V$)におけるトンネル酸化膜界面でのバンド図の FG 濃度依存性を図 4-2-1-2 に示す。トンネル酸化膜厚は 1.5nm である。ゲートを空乏化させることで、空乏層により印加電圧の一部が消費される。その結果、基板の反転度合いが緩和されるため、ソース・ドレイン領域から供給される電子の量が減少し、伝導帯(Conduction Band, CB)間の電子のトンネル成分を抑制することができる。

また FG 中でのバンド曲がりにより、基板側の界面準位にトラップされた電子が

FG 中の CB へ直接トンネルする成分に関しても減少する。

FG 側の界面準位にトンネルした電子に関しては、FG の CB 中へトンネルする成分と、FG 中のホールと再結合する成分とが考えられる。前者に関してはバンド曲がりにより減少し、後者に関しては FG が反転しているわけではないため、再結合確率は極めて小さく無視できると考えて良い。このように、ゲート空乏化により基板から FG 中へトンネルする全ての電子を効果的に抑制することが可能である。

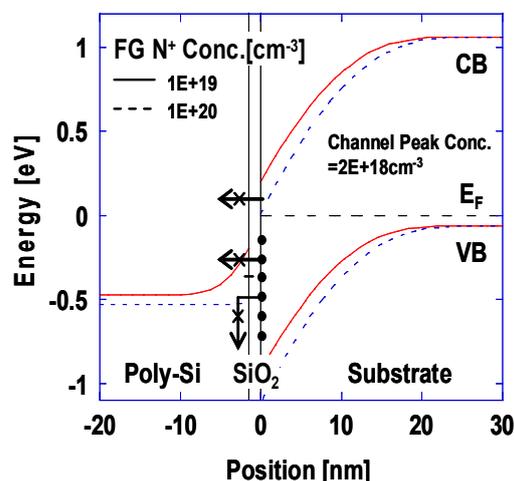


図 4-2-1-2. 消去状態 ($V_{FG}=0.5V$) におけるバンド図の FG 濃度依存性

書き込み状態に関しては、基板の B 濃度が高く V_{FB} が約 $-1V$ と大きいことが重要である。その結果、 $V_{FB} < V_{FG} < 0V$ の範囲(例えば $V_{FG}=-0.5V$)では、空乏層における電圧消費が基板のバンド曲がりを緩和し、CB 間のポテンシャル障壁を増加させることで CB 間の直接トンネル成分を減少させる。一方でトンネル酸化膜近傍での電子密度が減少するため、トラップを介したリーク成分も抑制することが可能である。このように、ゲート空乏化を行うことで書き込み・消去いずれの保持状態においても FG-基板間の電子のやり取りを効果的に抑制でき、リテンション特性が大幅に改善すると予想される。

書き込み速度に関しては、ダイレクトトンネル電流は FN 電流と異なりトンネル酸化膜電界への依存性が小さいという特徴をもつため、ある程度の印加電圧があれば

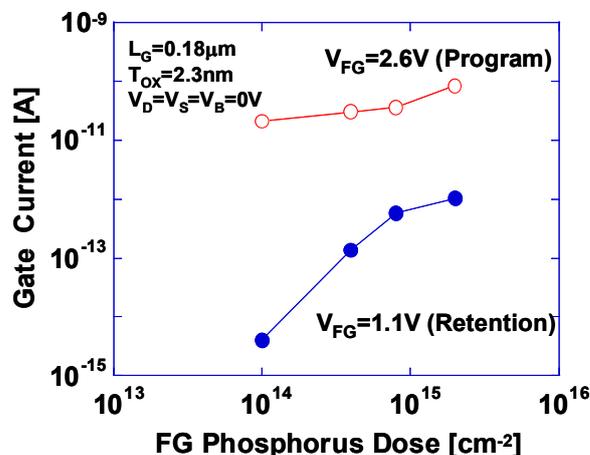


図 4-2-1-3. I_G の FG 不純物濃度依存性

ば空乏化により大きくは劣化しない。図 4-2-1-3 はゲート(FG)電流の FG 濃度依存性を測定した結果である。空乏化を行うことで書き込み電圧($V_{FG}=2.6V$)における I_G はほとんど変化しないが、保持電圧($V_{FG}=1.1V$)においては I_G が効果的に減少している。保持電圧がより小さい場合には、Program/Retention 時の I_G 比が更に改善すると予想される。

(iv) シミュレーションによるゲート空乏化と DTM の書き込み特性との関係

ゲート空乏化は再酸化プロセスによる容量結合比の低下と、ゲートバースビークを抑制するためにも効果的であることが判明した。図 4-2-1-4 にプロセス Simulation により求めた容量結合比のコントロール酸化膜厚依存性を示す。FG の不純物濃度が高いとコントロール酸化膜形成のための再酸化プロセスにおける Poly-Si の酸化速度が基板 Si の酸化速度に比べて速いため、容量結合比が低下する。しかしゲート空乏化を行うことで Poly-Si の酸化速度を抑制でき、結果として C_{CG} を大きく取れることによりこの影響を抑制することができる。ただし容量結合比が大きく同一の書き込み条件で注入電荷量 ΔQ が増加する場合でも、 C_{CG} が大きければ、

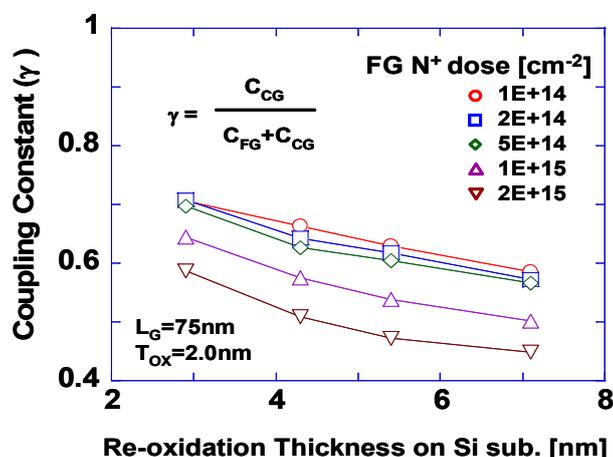


図 4-2-1-4. 再酸化膜厚と容量結合比との関係

閾値電圧差 $\Delta V_{th} = \Delta Q / C_{CG}$ の増加には結びつきにくい。

一方、図 4-2-1-5 は規格化されたゲート電流のコントロール酸化膜厚依存性であ

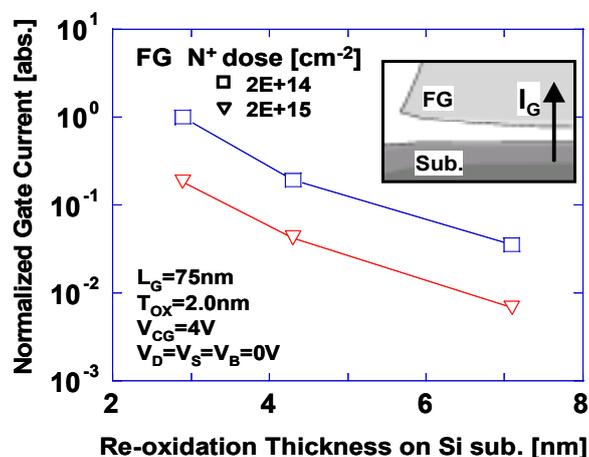


図 4-2-1-5. 再酸化膜厚とゲート電流の関係

る。シミュレーションはゲート長 $L_G=75\text{nm}$ で行ったため、図 4-2-1-5 で生じるゲート電流の減少は主として容量結合比の低下に起因しており、ゲートバースビークの影響はそれほど大きくない。しかしゲート長を微細化した場合には相対的にこの効果が大きくなり、ゲート空乏化によりバースビーク量を緩和することが高速動作のための重要な要素となる。

(v) トンネル酸化膜が厚い条件での素子の特性評価

図 4-2-1-6 にトンネル酸化条件が $O_2=5\text{s/lm}$ の場合の書き込み・消去特性およびリテンション特性を示す。FG は $L_G/WG=75\text{nm}/20\mu\text{m}$ である。過度の空乏化は時定数の影響により過渡応答特性を悪化させるので、この影響を低減できるよう FG への注入量を調整した。

ゲート空乏化により、 ΔV_{th} が増加し、リテンション特性が向上する。一方で非空乏化サンプルの書き込み速度が劣化しているが、この原因としては図 4-2-1-4 に示した容量結合比の低下が考えられる。非空乏化の場合は消去による閾値電圧 (V_{th}) の変化が小さい。消去は書き込み状態から熱平衡状態への移行を意味しており、速度の劣化は小さい。

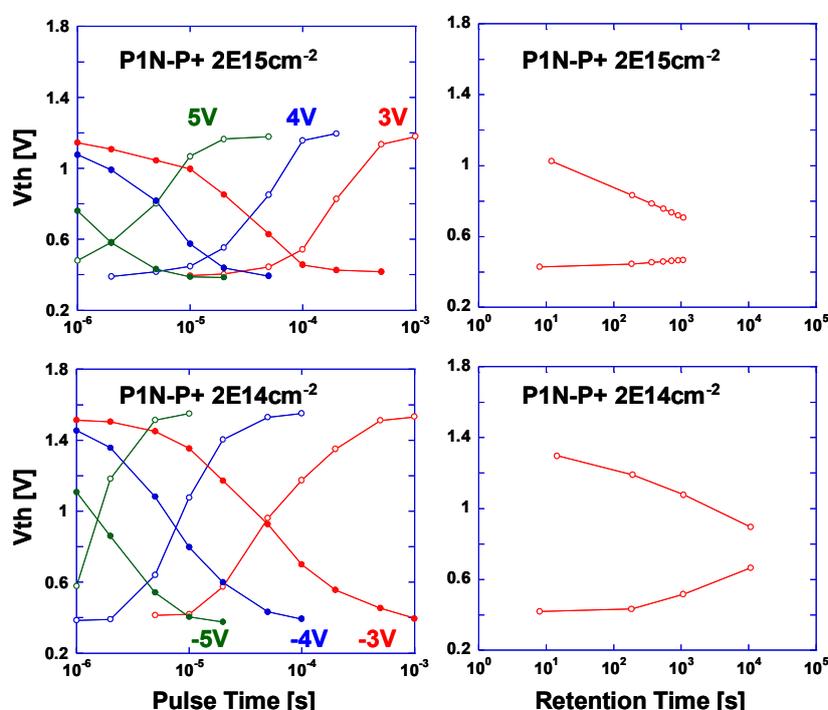


図 4-2-1-6. $O_2=5\text{ s/lm}$ の場合の素子特性

(vi) トンネル酸化膜が薄い条件での素子の特性評価

(a) 測定方法の評価

図 4-2-1-6 に示した書き込み・消去特性から 10ns 程度の動作速度を得るためにはトンネル酸化膜の更なる薄膜化が必要であるが、薄膜化に伴いリテンション時間が短くなり、またディスタブ耐性も劣化するため、通常の DC 測定により V_{th} を抽出することができない。バイアステーを用いるパルス測定法では十分大きなバンド幅が必要で、測定パルス幅が DC に近くなるほど誤差が大きくなる。そのため、ソースを 50Ω の入力抵抗を通してオシロスコープに接続し、ソース側の電流(電圧)をパルス測定により評価した。今後 I_{on} や I_D で表示される測定電流は、実際にはすべてソース電流 I_S を意味している。

図 4-2-1-7 は酸化膜が厚いトランジスタの I_D - V_D 特性に関して、DC 測定とパルス測定を比較した結果である。(c)のように基板バイアスまで補正することで両者は精度良く一致するが、補正には多くの測定データが必要となる。また測定電流値が小さい場合の誤差は小さい。そのため、 I_D - V_G 測定に関しては(b)のように V_D および V_G の補正を行い、それ以外の書き込み・消去やリテンション測定に関しては(a)のように V_D のみ補正を行った。この場合、測定機器側の印加電圧に対して、ソースの電位上昇分だけ実際の端子に印加されるゲート電圧は減少していることになる。

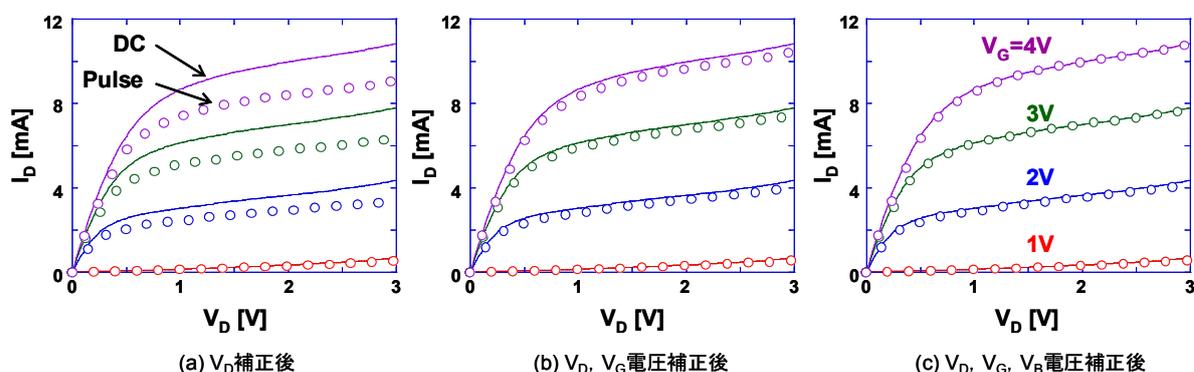


図 4-2-1-7. 各端子電圧補正前後の I_D - V_D 特性

(b) I_D - V_G 特性

図 4-2-1-8 に $O_2=500\text{sccm}$ の場合の V_G - I_D 特性を示す。FG は $L_G/W_G=75\text{nm}/20\mu\text{m}$ である。書き込み・消去は $V_G=\pm 4\text{V}$, $V_D=V_S=V_B=0\text{V}$ で素子の状態が飽和するまで行い、その後 $10\mu\text{s}$ (リテンション時間よりも十分に短い時間)以内に $V_D=1.5\text{V}$, $V_S=V_B=0\text{V}$ で読み出した。トンネル酸化膜の薄膜化に伴い ΔV_{th} が減少することが懸念されていたが、ゲート空乏化の有無にかかわらず、 0.5V 以上の閾値電圧差が確保できている。これは SOI ウエハの浮遊基板にホールを蓄える Capacitor-less 1T-DRAM がわずかに 0.4V 程度の ΔV_{th} 差で回路動作させていることを考えれば、非常に有望な値である。

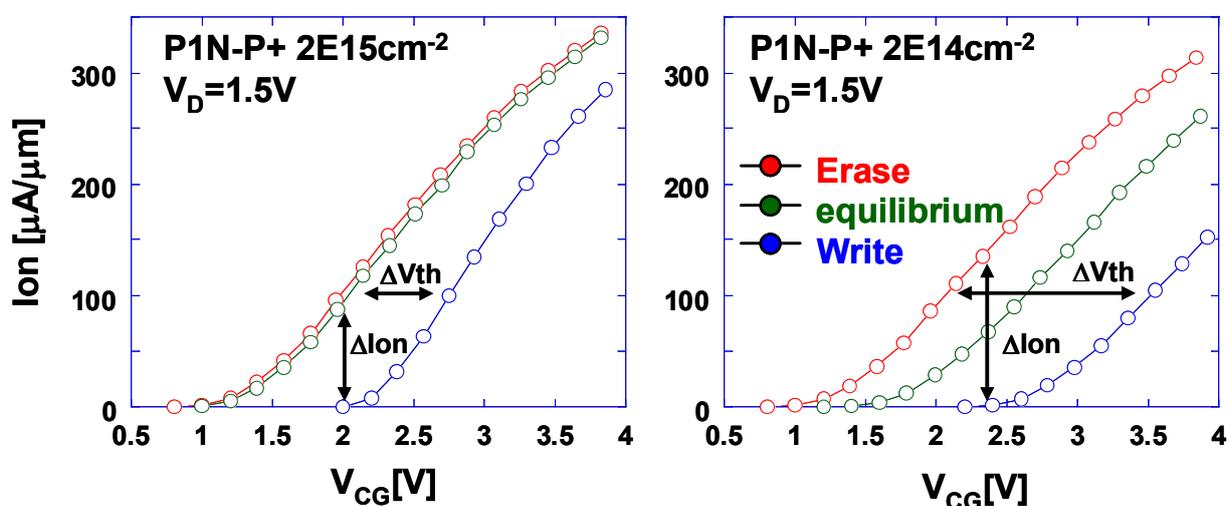


図 4-2-1-8. I_D - V_G 特性の FG 濃度依存性

非空乏化の場合は消去動作により読み出し電流値が変化しないため、“1”状態は熱平衡状態と等しい。一方空乏化を行うことで基板から FG 中への電子のトンネル電流が減少し、消去側のリテンション特性が改善するため、消去動作により読み出し電流の増加が生じる。その結果、 ΔV_{th} の最大値が 0.77V から 1.45V まで増加する。空乏化した場合は Poly-Si/トンネル酸化膜界面における電圧降下の影響で平衡状態における閾値電圧が深くなり、同時に S 値も増加するが、 ΔV_{th} の増加量が大きいために利用可能な ΔI_{on} の最大値に関しても、有意に増加していることが分かる。

(c) 書き込み・消去特性

図 4-2-1-9 は書き込み・消去特性の CG 電圧依存性である。読み出しは $V_G=2V$, $V_D=1V$ にて行った。書き込み速度は FG 濃度に依存せず一定であり、図 4-2-1-6 の結果と一部矛盾する。これは S 値が異なるために ΔV_{th} と ΔI_{on} の関係が一定ではないこと、および図 4-2-1-6 では消去状態からの書き込みを評価しているのに対して、図 4-2-1-9 では平衡状態からの書き込みを評価していることに起因していると考えられている。

これまでの評価から明らかなように、ゲート空乏化を行わない場合は消去動作により読み出し電流値は変化しない。一方でゲート空乏化を行った場合は消去動作が有効である。今回の特性評価から、FG 濃度を最適化することにより、 ΔI_{on} が比較的小さい場合は消去の方が書き込みに比べて高速であることが判明した。この結果、目標としていた CG 電圧 $\pm 5V$ で 10ns 以下、3V で 100ns 程度の高速度動作を初めて実現することができた。このことは DTM の動作速度が RAM 用途にも適用できることを示す。

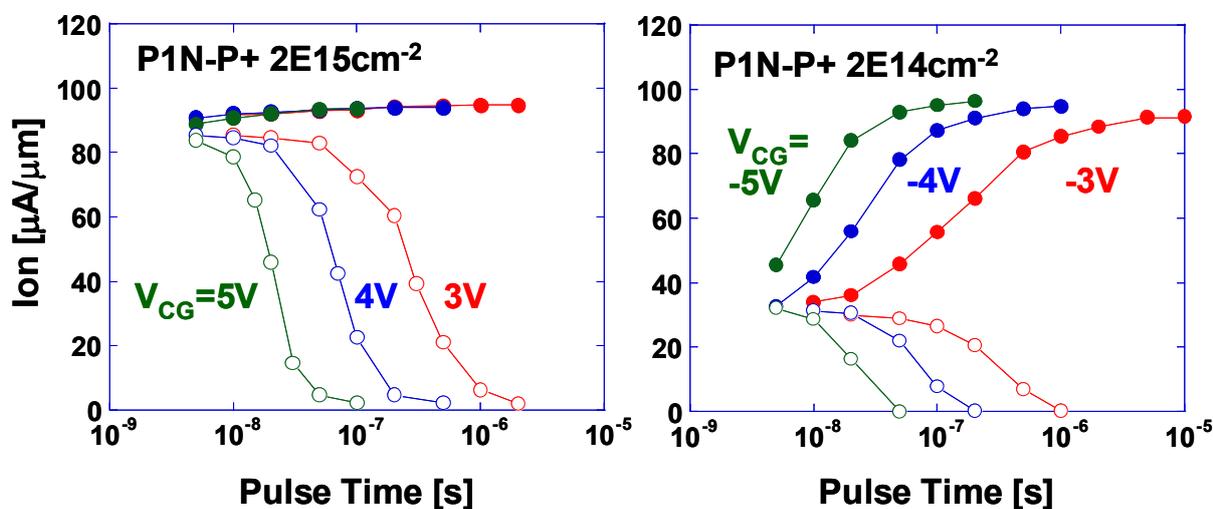


図 4-2-1-9. 書き込み・消去特性の CG 電圧および FG 濃度依存性

(d) リテンション特性

図 4-2-1-10 はリテンション特性の FG 濃度依存性である。読み出しは図 4-2-1-9 と同様に $V_G=2V$, $V_D=1V$ を用い、室温(25°C)にて測定した。図 4-2-1-2 に示したシミュレーション結果を反映して、ゲート空乏化によりリテンション時間が 3 桁以上も改善している。電流駆動のセンスアンプを仮定してリテンション時間を定義する“1”状態と“0”状態の読み出し電流差を $20\mu A/\mu m$ とすれば、空乏化によりリテンション時間は室温で 10 秒以上が得られた。これは通常の DRAM のリテンション時間と比べても十分長く、リフレッシュ頻度の減少による低消費電力動作が期待で

きる。また図 4-2-1-9 と図 4-2-1-10 から、リテンション時間と書き込み・消去時間の比は $V_{CG}=5V$ の場合に少なくとも 10^9 以上、ほぼ 10^{10} 程度の良好な値を得ることができた。

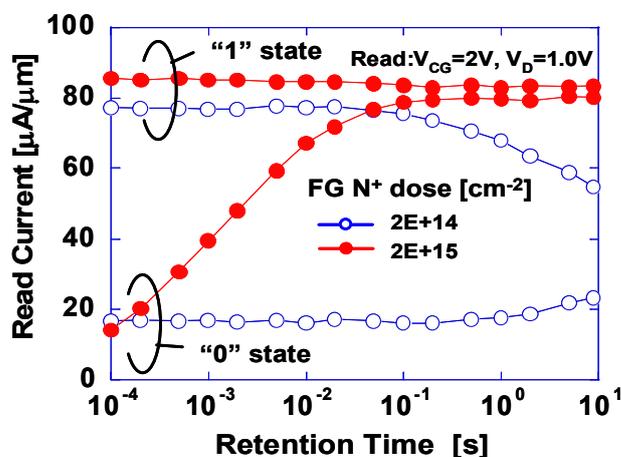


図 4-2-1-10. リテンション特性の FG 濃度依存性

(e) ディスタート特性

図 4-2-1-2 から明らかなように、ゲート空乏化によるリテンション特性の改善効果は、FG と基板との印加電圧の取り合いで決まる。したがって基板濃度を濃くすることでリテンション特性は改善する一方、閾値電圧も増加するため、読み出しに伴うディスタート特性は悪化する。図 4-2-1-11 は読み出し電流の読み出し時間依存性である。

サイドウォール型ではゲートとソースの関係は書き込みと読み出しで電圧値が異なるだけであり、ディスタートが避けられない。読み出しに必要な時間を $10ns$ と仮定すると、図 4-2-1-11 から $1\mu s=10^2$ 回程度の読み出し時間で FG 中への電子注入による読み出し電流値の変化が顕著に現れることが分かる。このように、極薄膜のトンネル酸化膜を用いたサイドウォール型 DTM は DRAM の場合と同様に読み出し破壊であり、読み出し直後にデータをリストアするセンス回路が必要となる。

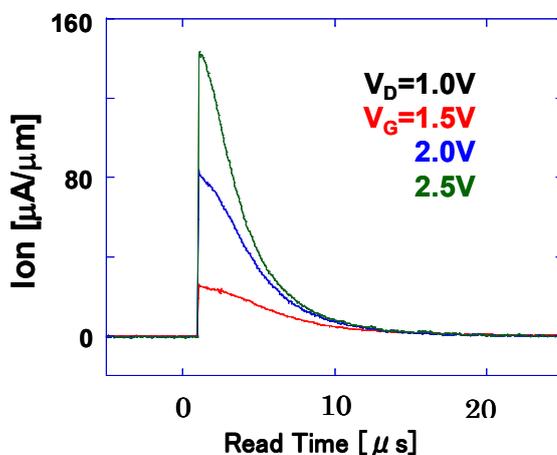
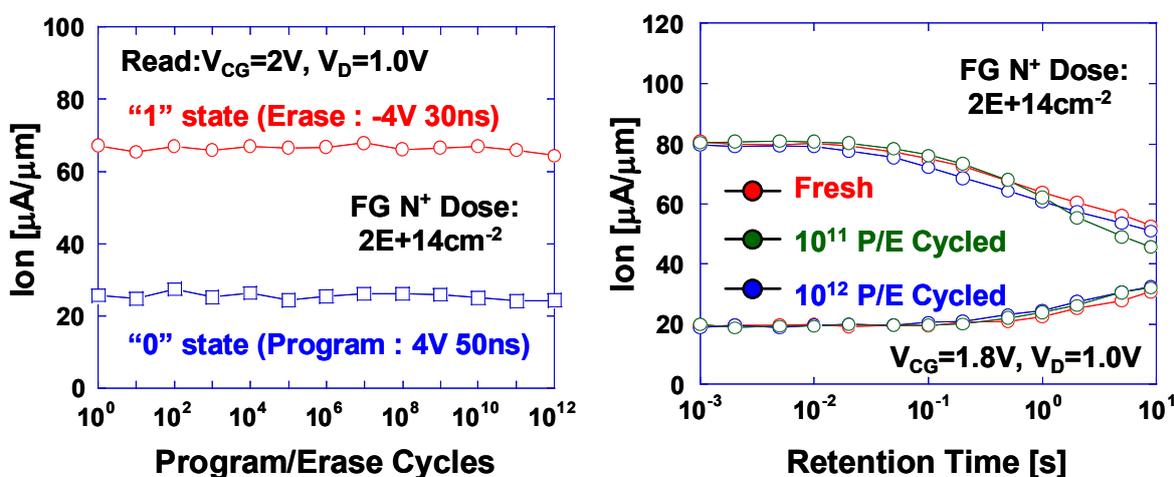


図 4-2-1-11. リードディスタート特性

(f) 繰り返し書き換え耐性

図 4-2-1-12(a)はゲート空乏化を行った素子の、“1”状態と“0”状態の読み出し電流差の書き換え回数依存性である。測定は室温(25°C)にて行った。この結果から、 10^{12} 回書き換え後においても読み出し電流の差は変化しないことを初めて示すことができた。またストレス試験前後のリテンション特性を図 4-2-1-12(b)に示すが、こちらも顕著な劣化は見受けられず、酸化膜へのストレスが軽微に抑制されていることを実証できた。

RAMにおいては無制限の書き換え耐性が必要とされるが、ダイレクトトンネル現象を利用することで図 4-2-1-12に示すようにトンネル酸化膜の信頼性は飛躍的に向上する。DTMで使用するような極薄酸化膜における絶縁膜破壊寿命(T_{BD})のデータは未だそれほど多くないが、 T_{BD} がPower Lawで決まるといふ報告を考えると、薄膜化による動作電圧の低下は本質的に信頼性を向上させる方向にある。



(a) 繰り返し書き換え耐性

(b) ストレス前後のリテンション特性

図 4-2-1-12. エンデュランス特性

(g) 作製した DTM の素子特性

以上の結果を踏まえ、 $\text{O}_2=500\text{sccm}$ の場合の主要な測定結果を表 4-2-1-I にまとめた。トンネル酸化膜の薄膜化とゲート空乏化を組み合わせることにより、5V で 10ns 以下の高速動作を初めて実証すると同時に、室温で 10 秒以上の電荷保持時間を実現し、保持時間/書き込み時間の比は 10^{10} 程度を実現できた。これは DRAM と比べても良好な値であり、リフレッシュ頻度の減少による低消費電力化が期待できる。ただしアプリケーションとして携帯端末等を想定する場合は、更なる低電圧化を実現することが望ましい。3V という低電圧で高速動作を実現するためには、素子の最適化を図る必要がある。

DTMをRAMとして用いる場合、最大の懸念点はトンネル酸化膜の劣化であるが、この点に関しても 4V の動作で少なくとも 10^{12} 回以上の書き換え耐性を示すことができた。今後は高温でのストレス試験と、トンネル酸化膜厚のばらつきを考慮した信頼性の議論が必要となる。

表 4-2-1-I. 作製した DTM の素子特性

	目標	到達値
動作速度	3V 10ns	5V <10ns 3V 100ns
リテンション時間	RT 10s 85°C 1s	RT >10s 85°C >1s
繰り返し書き換え耐性	無制限	>10 ¹²

(h) さらなる低電圧、高速動作への取り組み

5V で 10ns 程度の高速度動作を実証したが、混載向けメモリとしては更なる低電圧化が求められる。これまで浮遊ゲートへの不純物注入量を減少させることでゲート空乏化を起こし、リテンション特性の向上を図ってきた。Program 状態でのリテンション向上は浮遊ゲート中でのバンドの曲がりが増加することにより、浮遊ゲート/SiO₂ 界面での電子密度の減少によってもたらされる。一方、Erase 状態でのリテンション向上は基板でのバンドの曲がりが増加することにより、SiO₂/基板界面での電子密度の減少によってもたらされる。

理想的な系でのゲート空乏化技術の限界は、浮遊ゲート中の濃度が基板濃度とほぼ等しくなる条件である。酸化膜を介した電極間の電位を浮遊ゲートの空乏層で消費させるのだが、浮遊ゲートの低濃度化と基板濃度の高濃度化は同じ効果をもたらす。もし、浮遊ゲートの濃度が基板濃度より低いとホールの寄与が顕在化しリテンション特性が悪化することが予測される。そこで浮遊ゲート低濃度化限界と基板高濃度化限界がどうなるか詳細に調べた。

図 4-2-1-13 に基板濃度 6E12cm⁻² と 1.2E13cm⁻² の場合の浮遊ゲート濃度に対するリテンション特性を示す。浮遊ゲート注入量を 2E14cm⁻² まで下げるとリテンション特性は顕著に改善するが、2E14cm⁻² 以下に下げてもそれ以上は改善しないが、さらに 8E13cm⁻² まで低濃度化してもリテンション特性の劣化はあらわれない。

次に浮遊ゲート低濃度化限界を書き込み・消去特性の観点から調べた。図 4-2-1-14 に結果を示す。浮遊ゲートの注入量を 2E14cm⁻² まで下げると書き込み速度が空乏層

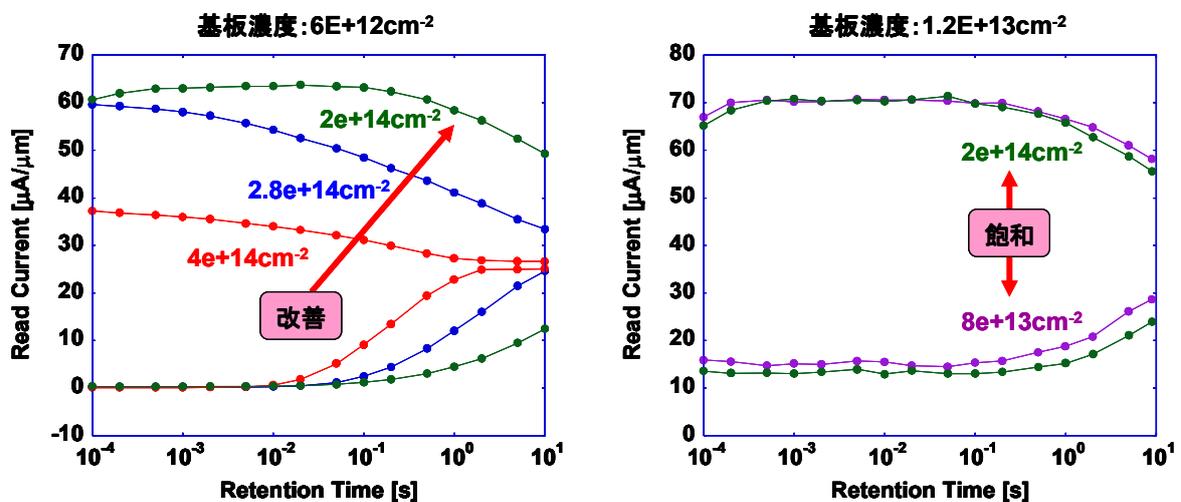


図 4-2-1-13. リテンション特性に対する浮遊ゲートの低濃度化限界

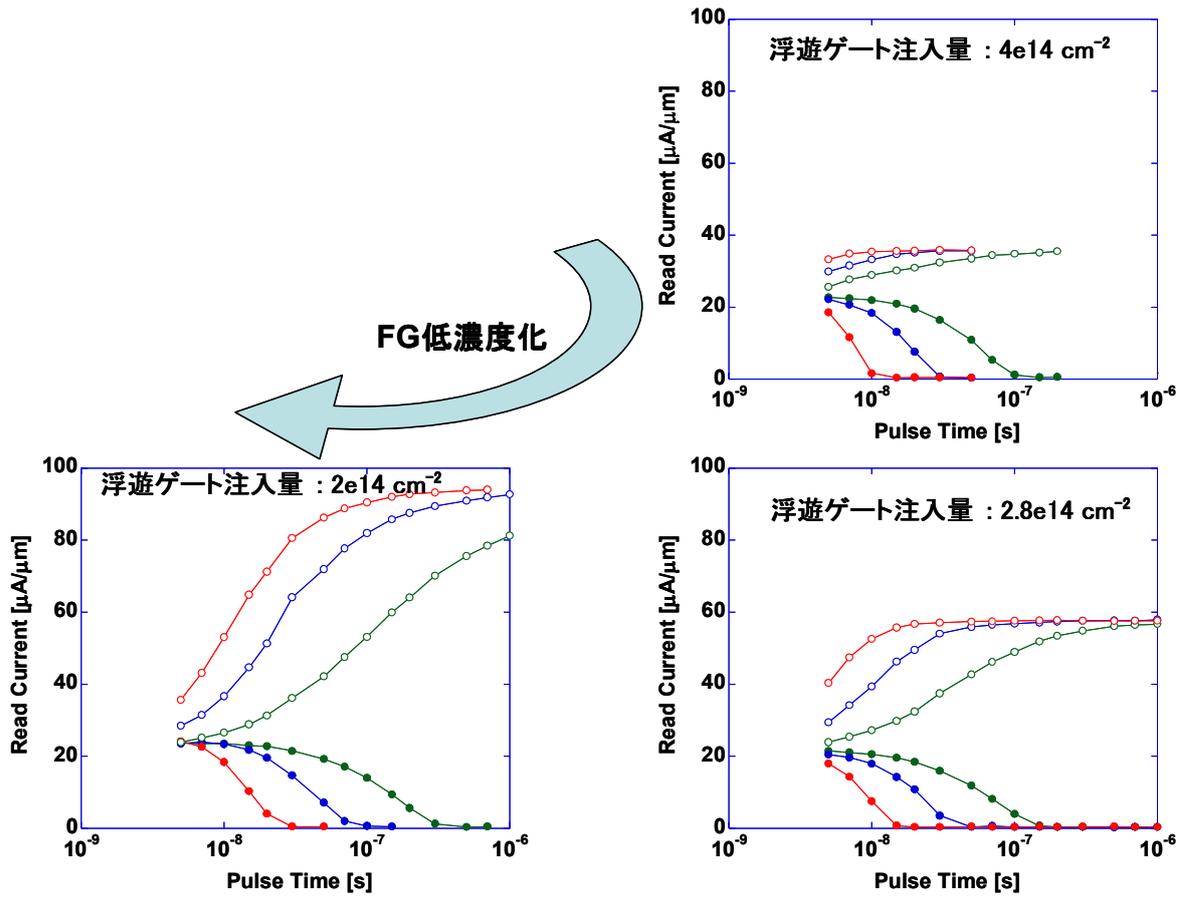


図 4-2-1-14 (a) 書き込み・消去特性に対する浮遊ゲートの低濃度化限界
基板濃度 $6 \times 10^{12} \text{ cm}^{-2}$

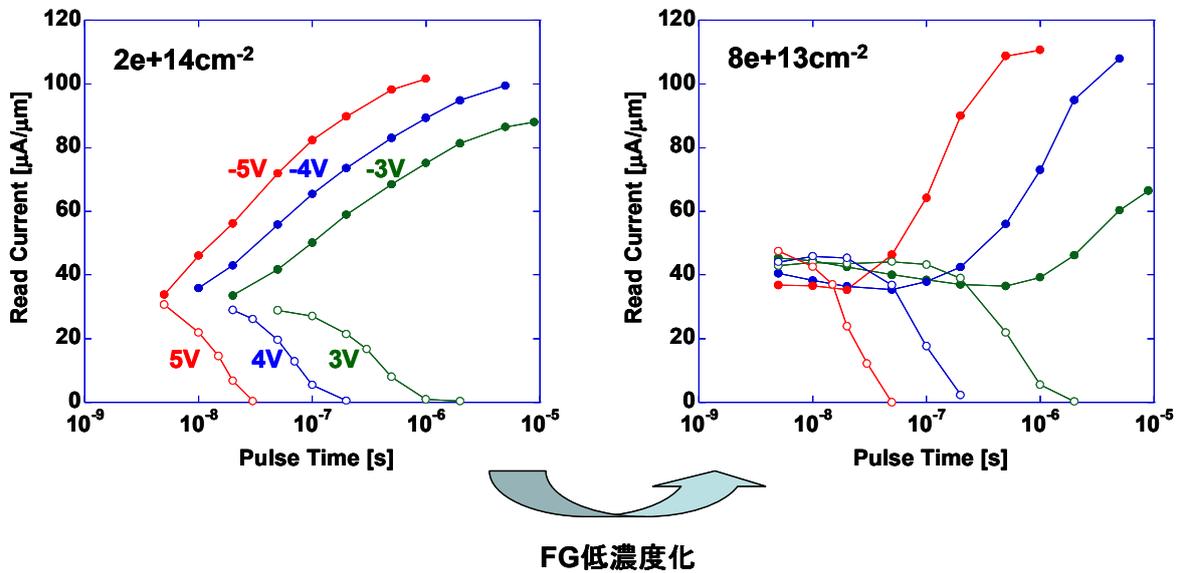


図 4-2-1-14 (b) 書き込み・消去特性に対する浮遊ゲートの低濃度化限界
基板濃度 $1.2 \times 10^{13} \text{ cm}^{-2}$

の電圧消費に起因して少し遅くなるが、リテンションに比べその影響は小さい。むしろ空乏化による Erase 状態での Ion の増大が得られる。しかし、さらに浮遊ゲートの注入量を $8E13\text{cm}^{-2}$ まで下げると消去速度が著しく劣化する。これは浮遊ゲートの抵抗が極めて高くなり CR 時定数の増大をもたらしたためだと考えられる。

また浮遊ゲートの注入量を下げると、 V_{th} をばらつかせる要因となっている。(図 4-2-1-15) これは浮遊ゲートの粒界で不活性化される不純物量にばらつきが出るためだと考えられる。

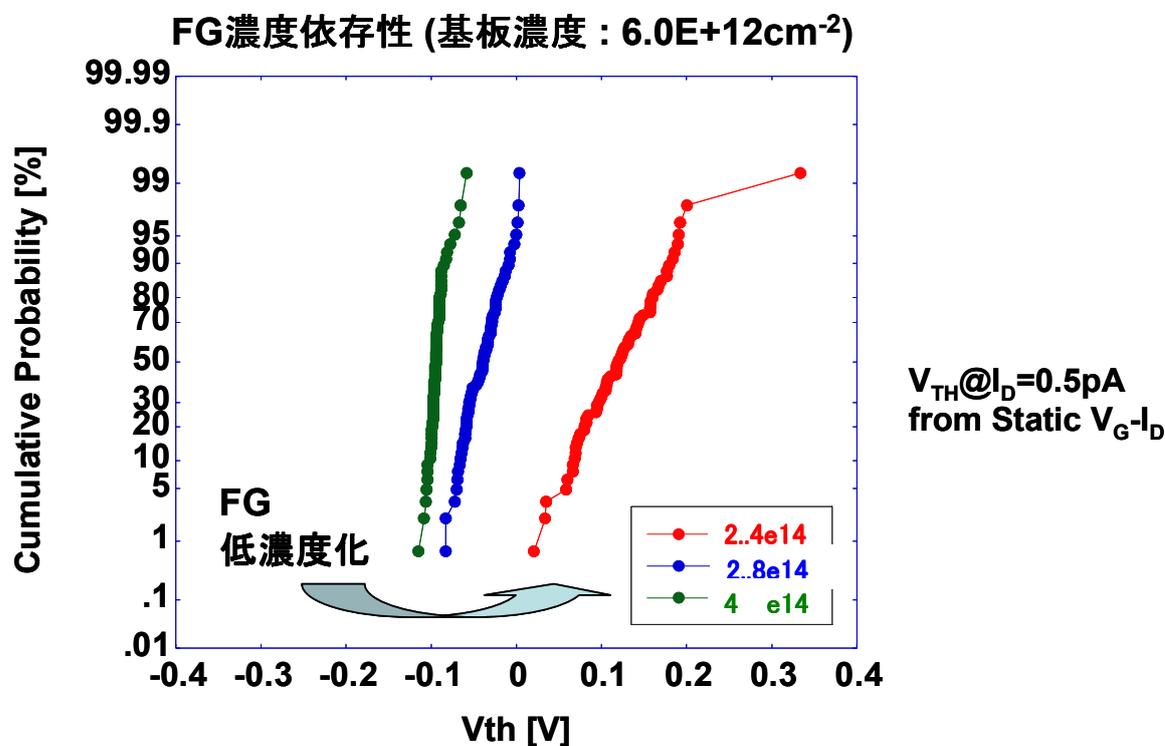


図 4-2-1-15. V_{th} の浮遊ゲート濃度依存性

以上述べた V_{th} ばらつきや消去速度劣化に起因したゲート空乏化の限界は活性な電子数のばらつきや過度な空乏化によるゲート poly Si の比抵抗増加が原因と推測される。そこで改善策として、poly Si のグレインバウンダリの不活性化とグレインバウンダリそのものの減少を検討した。

まずグレインバウンダリの不活性化として水素の供給によりグレインバウンダリにトラップされる電子数を減らす試作を行った。図 4-2-1-16 にそのコンセプトを示す。

しきい値ばらつきの要因としては、グレインバウンダリの欠陥によるポテンシャルバリアのばらつきが考えられる。グレインバウンダリの欠陥を不活性化するためには、水素で終端させる方法がある。その手段としてプラズマ窒化膜をトップ膜に導入することを検討した。

ポリシリコン上にプラズマ窒化膜を成膜した場合、プラズマ窒化膜成膜後に 400°C N_2/H_2 アニールした場合、 400°C N_2/H_2 アニールのみの場合、 450°C N_2/H_2 アニールのみの場合のポリシリコンの各比抵抗 (As もしくは P ドープ) を図 4-2-1-17 に示す。ポリシリコン成膜後に比べて、プラズマ窒化膜を成膜したり、 400°C N_2/H_2 アニールすると比抵抗が下がる様子がわかる。これはプラズマ窒化膜から掃きだされる原子状水素が 400°C N_2/H_2 アニールによってポリシリコンに供給されることによるものと考えられる。

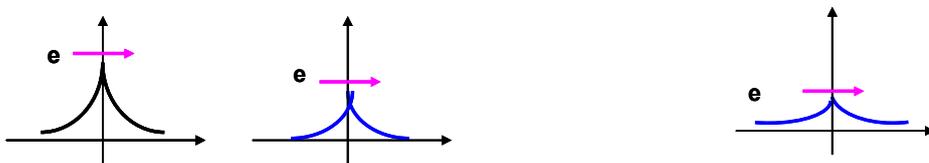
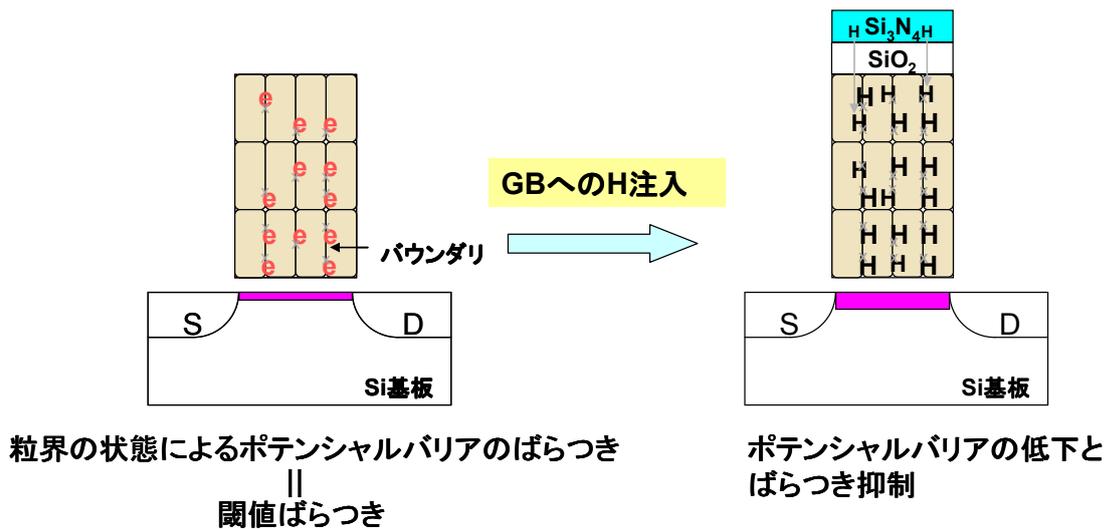


図 4-2-1-16. グ레인バウンダリ不活性化

H供給条件の検討: P-SiN

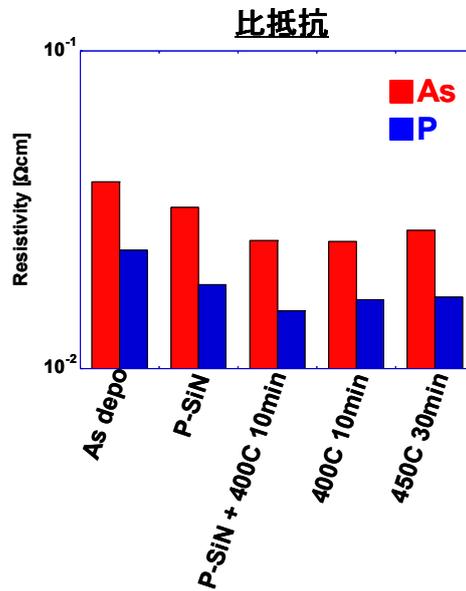
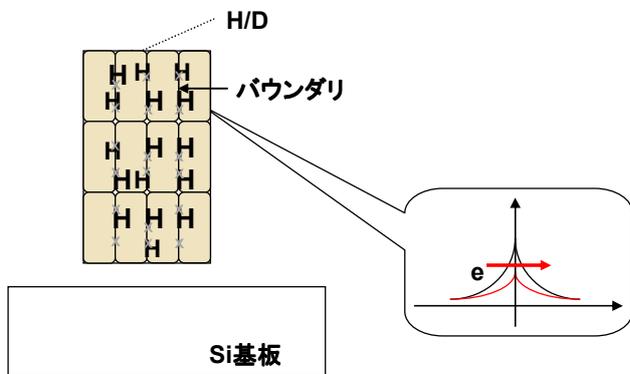


図 4-2-1-17. グ레인バウンダリの不活性化

図 4-2-1-18 は DTM 素子のゲート上に低温成長酸化膜 (LTO) のみの場合と LTO 100nm/プラズマ SiN 100nm の積層膜を積んだ場合のしきい値のばらつきを示したものである。プラズマ SiN 膜を加えることで、供給された原子状水素がグレインバウンダリを不活性化してしきい値のばらつきを抑える効果を歴然と示している。したがって、図 4-2-1-15 でも示したようなポリシリコン空乏化の副作用を抑え込むことに成功した。

次にグレインバウンダリを少なくして粒径を大きくする試みを行った。グレインバウンダリの密度を小さくすると結果的に伝導を阻害する要因が減るので、図 4-2-1-19 に示すように粒径の小さな「Poly-Si」に比べて粒径の大きな「結晶化したアモルファスシリコン (A-Si)」の方が比抵抗が小さいことがわかる。

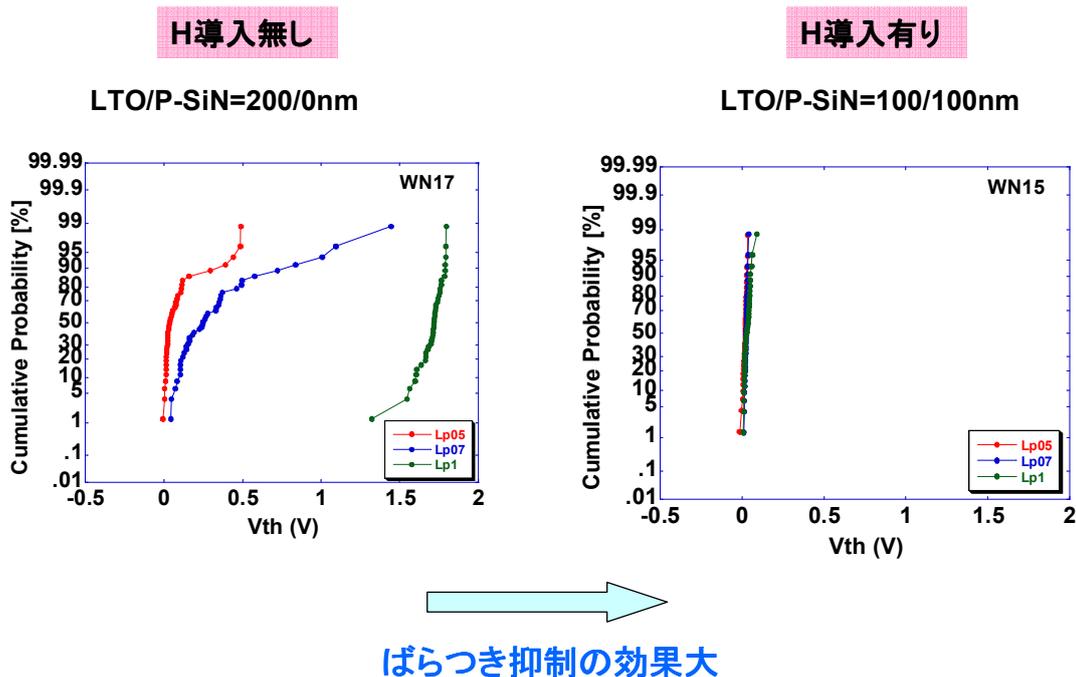


図 4-2-1-18. DTM 素子での閾値ばらつき抑制効果

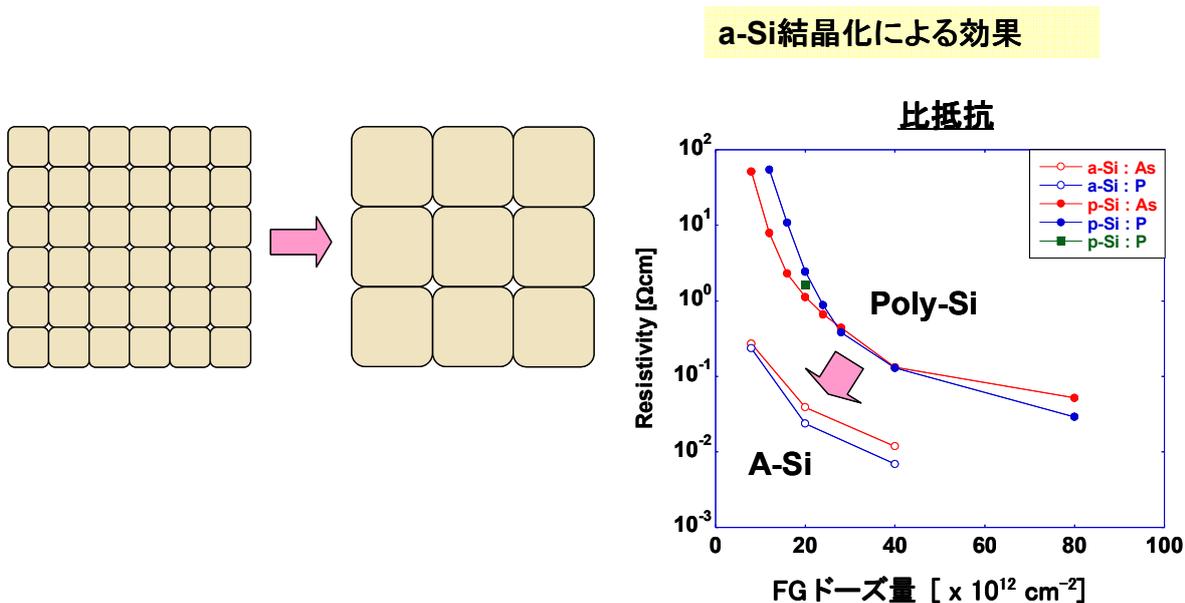


図 4-2-1-19. グレインバウンダリの減少

図 4-2-1-20 に低温結晶化処理(600°C 18h + 1000°C 20s)によりアモルファスシリコンのグレインサイズを増大させた結果を示す。a-Si を低温結晶化処理する効果は絶大で、as depo の Poly-Si より 1 桁以上大きく 0.2 μm 程度のグレインとなっていることが確認された。

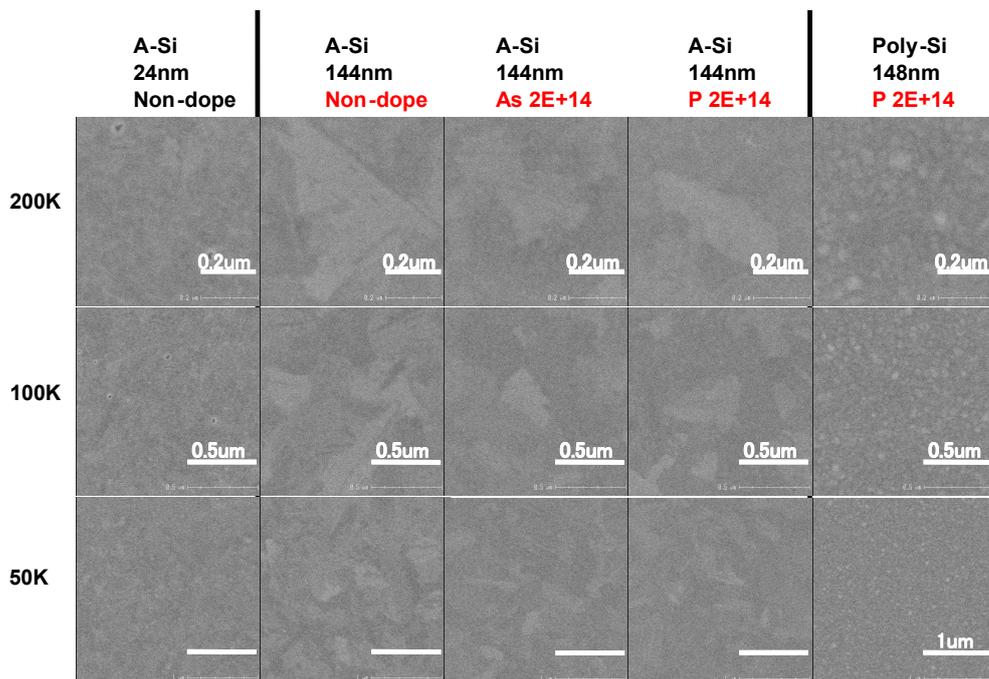


図 4-2-1-20. a-Si⇒結晶化によるグレインサイズ変化

そこで「poly Si のグレインバウンダリの不活性化」と「グレインサイズの拡大」の2つの改善策をDTM素子の製造プロセスに適用して効果を調べた。図 4-2-1-21 はDTM素子の書き込み・消去特性を示しており、左から右へ浮遊ゲート濃度が $2\text{E}14\text{cm}^{-2}$ 、 $1.2\text{E}14\text{cm}^{-2}$ 、 $4\text{E}13\text{cm}^{-2}$ と空乏化を増しても、消去速度劣化が抑制されていることがわかる。

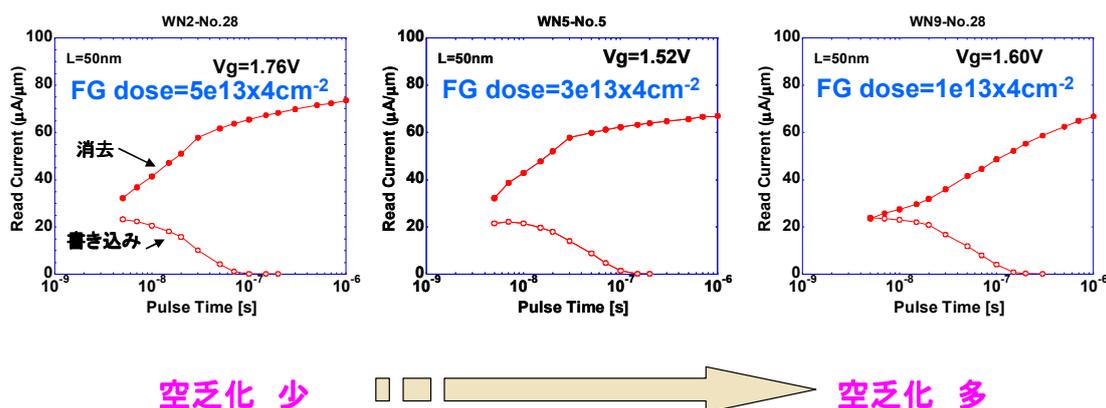


図 4-2-1-21. DTM 素子特性への「poly Si のグレインバウンダリの不活性化」と「グレインサイズの拡大」適用

過度の空乏化でのリテンション特性を図 4-2-1-22 に示す。プラズマ窒化膜からの水素の効果で活性な電子が増えるのだが、浮遊ゲート濃度が $4\text{E}13\text{cm}^{-2}$ と空乏化の度合いが大きい場合には保持時間がやや劣化する。しかし、基板濃度の最適化で改善可能である。

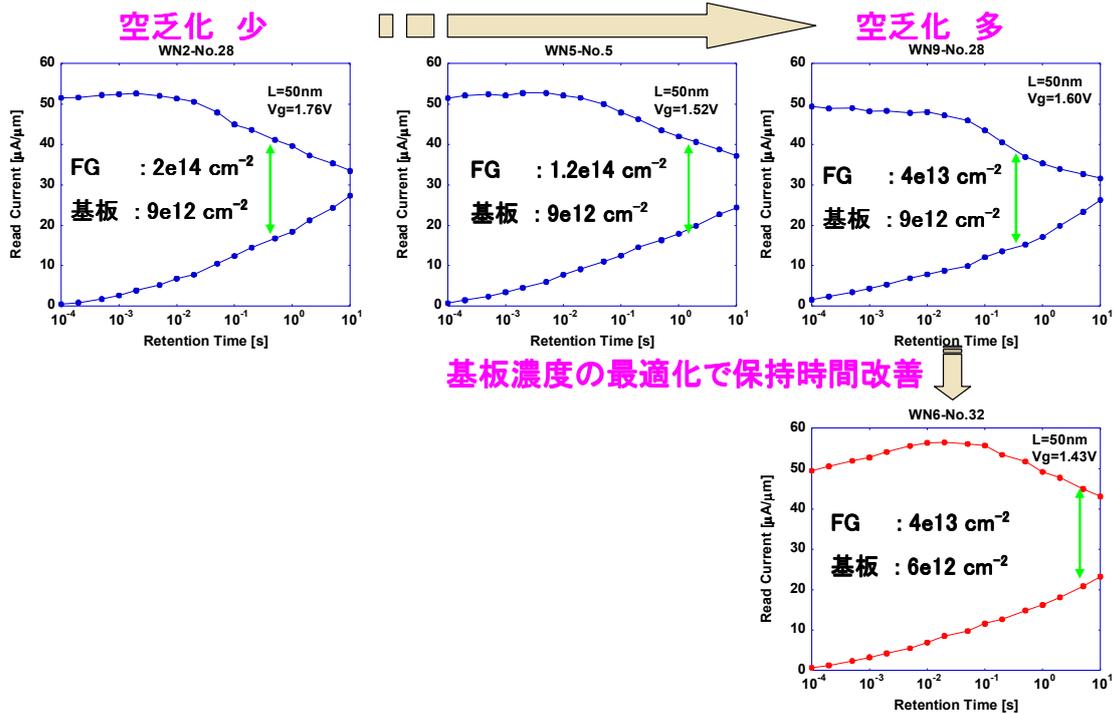


図 4-2-1-22. 過度空乏化でのリテンション特性確認

プラズマ窒化膜からの水素注入の効果に関して、リテンション時間と書き込み・消去時間で比較した結果を図 4-2-1-23 に示す。H の効果により、リテンション時間はやや劣化するものの、書き込み・消去時間は改善される。さらに、基板濃度を高濃度化することによって書き込み・消去時間を劣化させることなくリテンション時間を大幅に改善することが可能であることを示した。その結果、トンネル酸化膜厚が 1.3nm の時、3V では 10sec のリテンションと 20ns の書き込み・消去時間が実現できた。また、この時、先に示したように、H 注入によって閾値のばらつきも抑制されている。

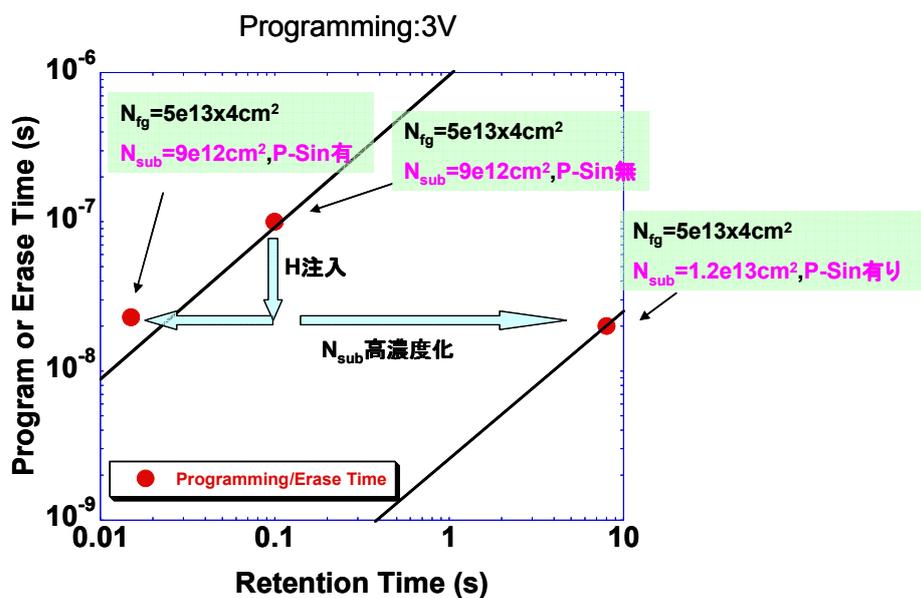


図 4-2-1-23. H 注入の効果 (リテンション時間と書き込み・消去特性)

4-2-2 デバイスシミュレーションによる解析

DTM における低電圧動作と、書き込み時間/データ保持時間の特性比の向上を実現すべく、デバイスシミュレーション (ISE DESSIS) を用いて、DTM 素子のデバイスパラメータが各特性へ与える影響を解析した後、さらにパラメータの最適化を検討した。図 4-2-2-1 にシミュレーション構造とデバイスパラメータを示す。ゲート長 (Lg) は 100nm 固定とし、Source/Drain は N+ Si ($1e20cm^{-3}$)、制御ゲート (CG) は N+ Ppoly-Si($1e20cm^{-3}$)とした。

デバイスパラメータとして以下を定義した。

- 浮遊ゲート (FG) の不純物濃度 : N_{fg} ($1e20cm^{-3}$, $5e18cm^{-3}$)
- トンネル酸化膜厚 : T_{oxf} (1nm, 1.2nm, 1.5nm)
- 基板濃度 : N_{sub} ($1e18cm^{-3} \sim 5e18cm^{-3}$)
- S/D 領域と FG のオフセット量 : L_{offset} (0, 30, 50, 80nm)
- コントロール膜厚 : T_{con} (5nm, 10nm)
- CG 酸化膜厚 : T_{oxc} (4nm, 8nm)
- コントロール絶縁膜の材質 : $SiO_2(K=3.9)/Al_2O_3(K=9)$

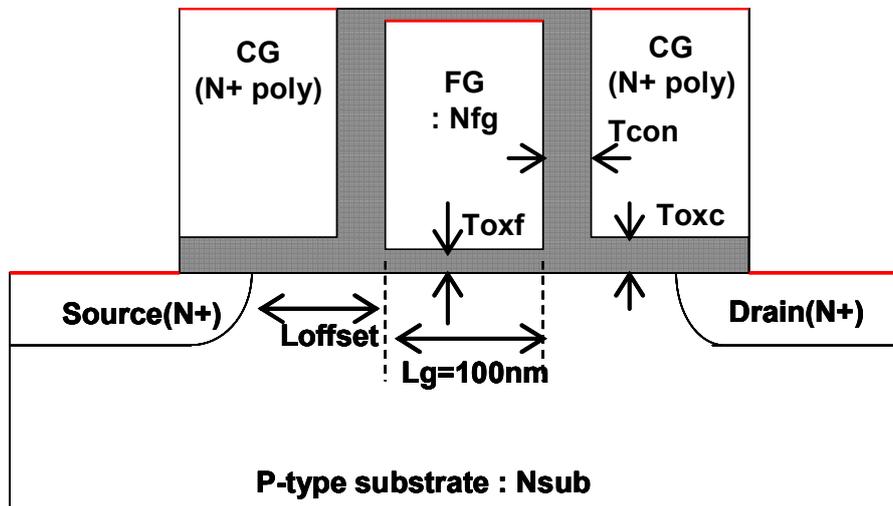


図 4-2-2-1. DTM のシミュレーション構造

各デバイスパラメータが書き込み速度と保持時間にどの程度影響を及ぼすかについて解析した。その結果得られた、各パラメータの効果の度合いを表 4-2-2-I に示す。

FG の低濃度化は書き込み速度を 1/2~1/3 に低下させるが、保持時間を 2~3 桁向上させた。基板濃度の高濃度化と Source/Drain をオフセットさせることは、書き込み速度への影響は殆ど無く、保持時間は 2~3 桁改善した。トンネル酸化膜の薄膜化は書き込みの高速化にもっとも影響の大きいパラメータであるが、保持時間は減少する。コントロール酸化膜(T_{con})と CG 酸化膜(T_{oxc})の薄膜化は、保持時間を数倍ではあるが改善させ、 T_{oxc} については書き込み速度を数倍速くさせる。

デバイス設計の指針としては、まず要求される動作速度があり、その条件を満たす範囲でリテンション時間を改善させ、低消費電力化を狙うことが望ましいと考えられる。そこで、書き込み速度はトンネル酸化膜を 1.2nm にすることによって高速化し、一方で、デバイスパラメータを最適化することによってデータ保持時間を大幅に改善することを検討する。

表 4-2-2-I. デバイスパラメータの保持時間・書き込み速度への効果

	N_{fg} 低濃度化	N_{sub} 高濃度化	L_{offset} 増加	T_{oxf} 薄膜化	T_{con} 薄膜化	T_{oxc} 薄膜化
保持時間への効果	◎	◎	◎	×	○	○
書き込み速度への効果	×	△	△	◎	△	◎

- ◎ : 大幅に改善
- : 改善
- △ : 影響なし
- × : 悪化

表 4-2-2-II には、各パラメータの初期(initial)値と最適(optimized)値を示す。保持時間と書き込み速度に関しては、initial 時の時間で規格化して比較した結果を示す。また図 4-2-2-2 には、書き込み電圧 3.3V での書き込み速度と保持時間の関係を、各パラメータの改良による特性向上の推移という形で示した。

最適化前の条件 (青●) では、各パラメータに関して

$$N_{fg}=1e20cm^{-3}, N_{sub}=1e18cm^{-3}, L_{offset}=30nm, T_{con}=5nm, T_{oxc}=4nm$$

を使用した。この場合、トンネル酸化膜を薄膜化すれば書き込み速度は高速化するが、一方でリテンション特性は悪化するといった Trade-off の関係が得られている。▲、○、■の各点は、 $T_{oxf}=1.2nm$ としてそれぞれパラメータ N_{fg} , L_{offset} , N_{sub} を単独で変化させていったときの特性の推移を示した。最適化後の条件(図中の”Optimized parameter set”)は、これらの変化を踏まえて、表 4-2-2-II で示したパラメータセットを使用した場合の結果である。

このパラメータ最適化によって、書き込み電圧を 3.3V まで低電圧化した場合でも、30ns 程度の書き込み時間と 10s のデータ保持時間を実現する見通しを得た。

表 4-2-2-II. デバイスパラメータの最適化

Parameter	Initial	Optimized	Ratio of Optimized/Initial	
			Retention time	Programming time
$N_{fg}[cm^{-3}]$	1e20	5e18	1000	2
$N_{sub}[cm^{-3}]$	1e18	3e18	1e6	1
$L_{offset}[nm]$	overlap	80	1000	1.2
$T_{oxf}[nm]$	1.5	1.2	0.01	0.08
$T_{con}[nm]$	10	5	10	1
$T_{oxc}[nm]$	8	4	1	0.5

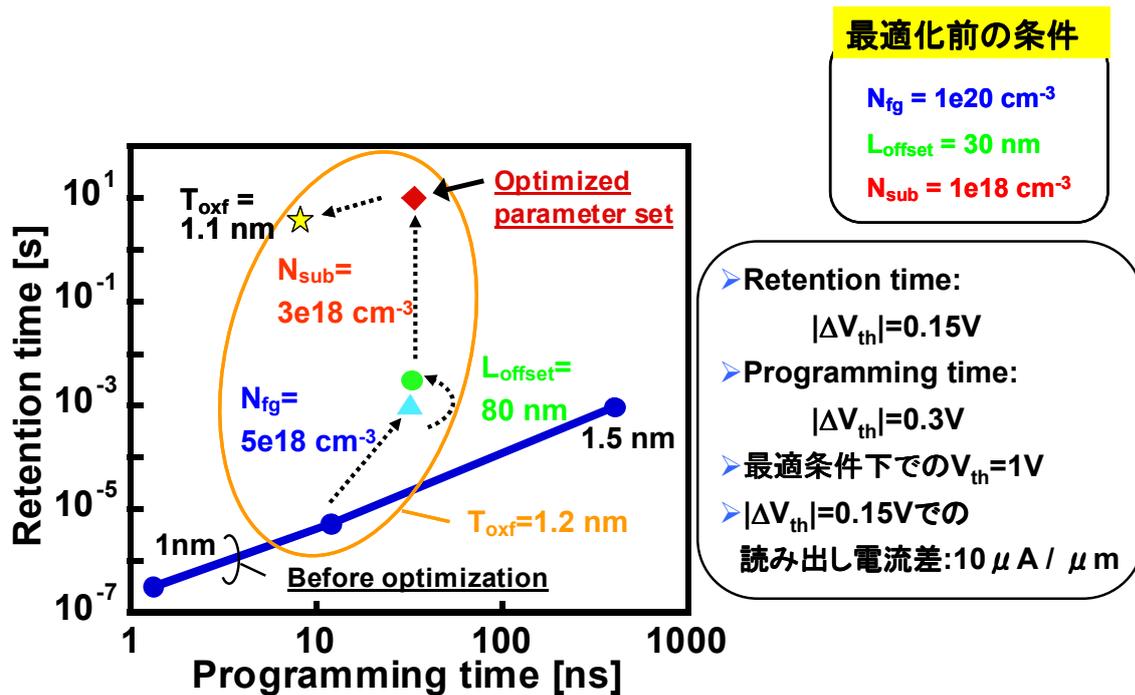


図 4-2-2-2. 書き込み時間と保持時間のパラメータによる推移と最適パラメータ特性 ($V_{cg}=3.3V$)

以上まとめると、書き込み速度に関しては、トンネル酸化膜の薄膜化が最も効果的で、それ以外にコントロールゲートの下に形成されるトランジスタの V_{th} を低くし、FG に入った Charge の影響を全体のトランジスタの V_{th} のシフトに反映させることが有効であることが明らかになった。一方でゲート空乏化により、速度が $1/2 \sim 1/3$ に低下することも判明した。

保持時間に関しては、ゲートの空乏化と基板の高濃度化が非常に有効であり、それぞれリテンション時間を数桁程度改善することが分かった。また、FG と Source/Drain のオフセット量が小さくても、 V_{th} の変化量が小さい領域では十分に改善効果があり、DTM は素子のスケールングに対応した構造を持つことを初めて示した。

これらの結果を踏まえてデバイスの最適化を行った結果、動作電圧を $3.3V$ まで低電圧化した場合でも、 $30ns$ 程度の書き込み時間と $10s$ のデータ保持時間を実現する見通しを得た。さらに $1.1nm$ の極薄酸化膜を適用できるなら、書き込み速度を $10ns$ にまで高速化できる。

このシミュレーションにより得られた結果は、DTM の動作電圧を携帯通信機器に求められる低電圧($3.3V$)まで減少させた場合でも、現在の DRAM に匹敵する高速動作と、DRAM 以上の保持特性を実現できることを意味している。保持特性が良いということは、リフレッシュ頻度が減少して、消費電力を小さくできるということである。また DTM はゲインセル構造であるためキャパシタが不要であり、DRAM と比較した場合はロジックプロセスとの親和性が圧倒的に優れている。また素子の微細化に有利な構造を持つ。これらの特性から、DTM は次世代の低電力混載メモリとして非常に有望であると言える。

4-3 回路設計

4-3-1 序論

DTM をアレイ化する場合、次の2つの条件を考慮する。

common source line / separated source line

1 cell per bit / 2 cell per bit

これらの条件によって、drain lineの周辺回路の構成は変化する。しかしながら、word line(WL)についてはsource line(SL)の制御が有るか無いかの違いだけで基本的には共通である。従って、word line 周辺回路についてまず検討した。source line の方式によってタイミングの取り方が変わるので、それについては最後に述べる。

DTMはWLに±5Vの電圧を印加しなければならない。つまり、WLに10Vもの電位差が生じることになる。IO用途のトランジスタでも電圧は5Vなので、特別な工夫が必要となる。10V耐圧のトランジスタを用意しても駆動能力はおそらく低く、高速動作を考えるとかなり大きくなると予想される。WLに加える電圧は、書込み電圧 $V_{CC}=5V$ 、読出し電圧 $V_R=2\sim 3V$ 、保持電圧(基板電位) $V_{SS}=0V$ 、消去電圧 $V_{BB}=-5V$ の4種類あり、これらの電圧を制御する複雑な回路を各WLに設けると、回路面積が増大し問題となる。さらに論理回路の電圧 $V_{DD}=1.8V$ も考慮に入れると、トランジスタの種類は、周辺回路全体で3種類となり、メモリとしてはコストの面で不利である。

このような状況から、図4-3-1のような回路構成を検討した。

SLを共通にしたセルレイアウト(NOR型)では、隣り合う2本のWLが1本のSLについて対象に配置される。そこで、2行分のWLを1単位にして駆動回路も含めてword line unit(WLU)と呼ぶことにする。このWLUには、address decoderからの信号と書込みや消去等の制御信号が入力される。図4-3-1中で示すように、赤線で示される正の高電圧(基準 V_{SS})が加わる制御線と青色で示す負の高電圧が加わる制御線がWLUに接続される。これらの制御線は、それぞれ read & write unit(RWU)と erase unit(EU)により駆動される。ここで正負の高電圧が同時にWLUに印加されないようにタイミングを調整する。従って、WLUで使用するトランジスタは論理回路用と5V耐圧の2種類で済むことになる。図4-3-1では、16個のWLUを1つのRWUとEUが駆動している。しかし、その数は、これらのunitの駆動力に依存する。

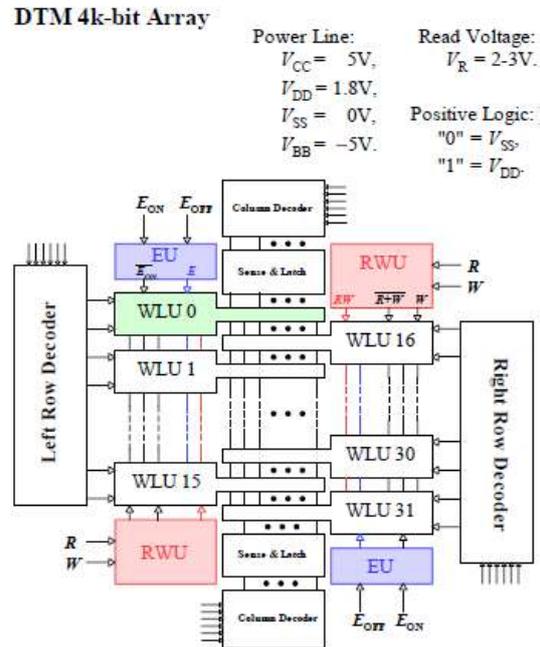


図 4-3-1 回路構成

4-3-2 Read & write unit (RWU) と erase unit (EU) について

メモリチップには、read, write, erase の3つの制御信号が入力される。この信号を WLU の制御信号に変換するのが、RWU と EU の役割である。

まず、図 4-3-2 の上に示してある RWU から説明する。左がその回路構成で、入力が IR (読出し) と IW (書込み) の2種類からなり、出力信号が3種類で構成される。それぞれのタイミングについての詳細は後で述べる。出力のうち、word line に読出しや書込みの電圧を出力するのが、赤字で示す RW である。この RW は、5V 耐圧のトランジスタを用いた RWU により駆動される。右にそのタイムシーケンスを示す。

次に、図 4-3-2 の下に示す EU について説明する。入力信号としては、消去開始をパルスで表す E_{ON} と終了をパルスで表す E_{OFF} の2種類がある。これらの入力信号から青字で示す出力 E として WL に消去電圧を供給するのが、erase driver (ED) である。右にそのタイムシーケンスを示す。

RWU と EU の中で WL に正負の高電圧を供給する driver がそれぞれ RWD と ED である。低電圧の入力信号で高電圧を出力するための通常のロジックとは異なる回路が必要となる。

図 4-3-3 に具体的な RWD を示す。RWD は、出力電圧として V_{CC} 、 V_R そして V_{SS} の3種類供給しなければならない。そのため、通常の static な level shifter を少し変形させている。大電流が流れる FET は、p-type が Tr2,4 で n-type が Tr7 の3つである。ここで注意すべきことは、 V_{CC} と V_R の電位差が 1V 以上あるので、IW が ON で IR が OFF の場合、Tr4 の body 電圧が V_R であると drain から body に順方向電流が流れることになる。従って、Tr3,4 の body 電圧は V_{CC} としている。Back bias がかった状態なので、 V_{TH} が深くなり駆動電流が低下することを考慮する必要がある。

ED は、 V_{SS} と V_{BB} の2種類の出力電圧であるが、入力電圧 V_{DD} が $V_{DD} > V_{SS}$ なので、通常の level shifter を変形させている。

図 4-3-4 に具体的な ED を示す。双安定回路が Tr3-6 で構成されている。この回路に pulse を加えることにより、 V_{SS} と V_{BB} を次段の inverter に出力する。5V 耐圧の FET で構成するため、Tr1,2 は gate を接地している。ここで注意すべきことは、Tr1,2 の n-well は互いに p-well により絶縁されていることである。そして、双安定

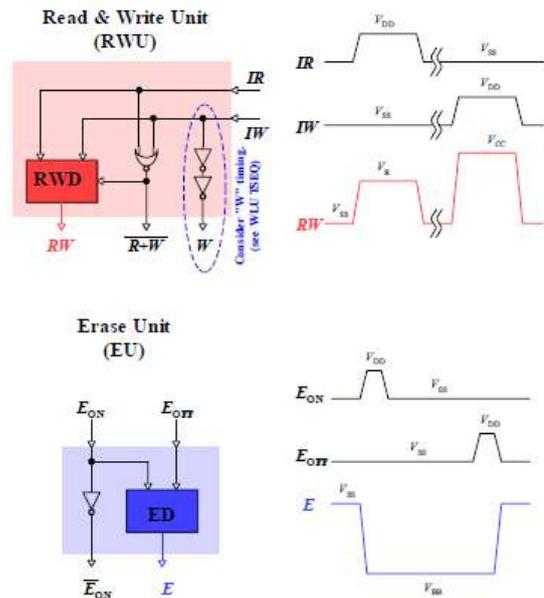


図 4-3-2 Read and write unit 回路構成とタイムシーケンス

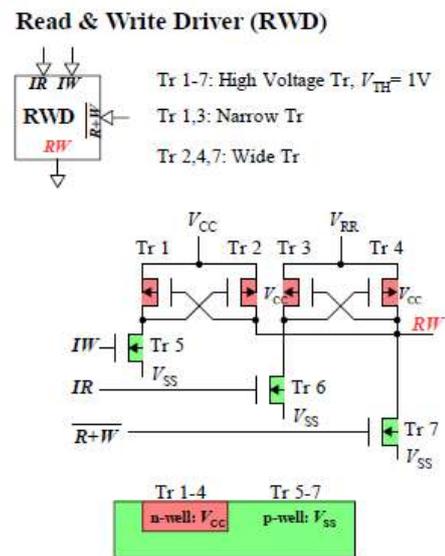


図 4-3-3 Read and write driver 回路構成と断面図

回路の安定状態を反転できるように、Tr1,2はTr5,6より駆動力の大きいFETを用いる。最終段のinverter(Tr7,8)には、WLに十分な電流を供給できるように最も大きいFET(RWDのTr2,4,7と同程度)を用いる。

4-3-3 Word line unit(WLU)について

前述したように、WLUは2行分のWLを1単位にしている。これは、この2行が対称に配置されているので、周辺回路のレイアウトを考える上で都合が良いからである。

メモリアレイの配置としては、flash memoryでよく用いられるNOR型についてまず議論する。この配置では、各メモリのsourceが2行単位で共通となっている。DTMでは、この配置が最もセル面積が小さくなると思われる。図4-3-5に、具体的なWLUを示す。WLUに入力される信号は、6種類となる。高電圧信号としてはRWDやEDから供給されるRWとEの2種類、論理信号(VDD)としては、decoderからの信号、W、not EON、not (R+W)の4種類である。

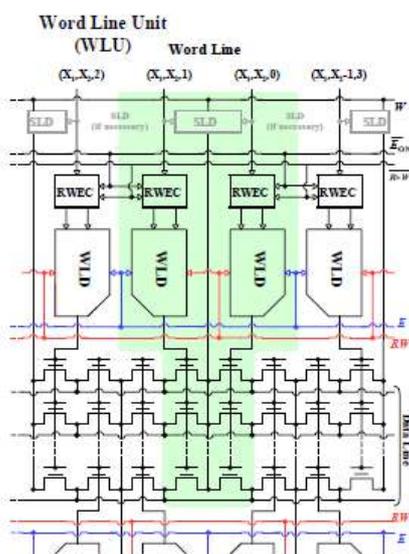


図4-3-5 Read write erase controller (RWEC), source line driver(SLD), word line driver(WLD)による制御方法

これら6種類で図4-3-5に示すread write erase controller(RWEC)やsource line driver(SLD)そしてword line driver(WLD)の3種の回路を制御する。WLDやSLDからそれぞれWLやSLに出力電圧を供給する。WLUの入力信号のtime sequence(TSEQ)は図4-3-6に示す。

Erase Driver (ED)

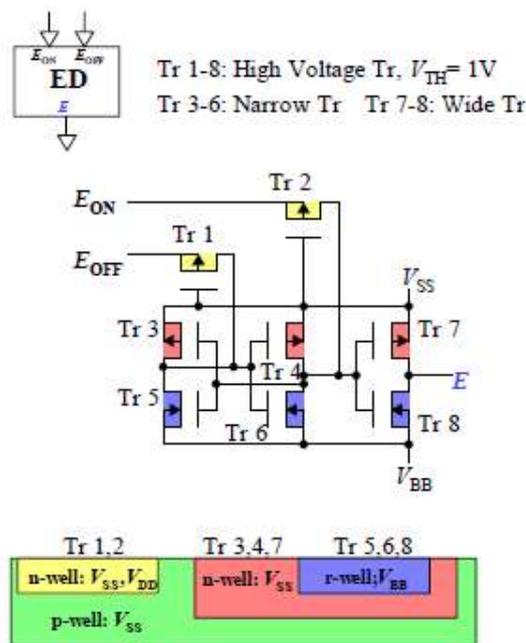


図 4-3-4 Erase driver回路構成と断面図

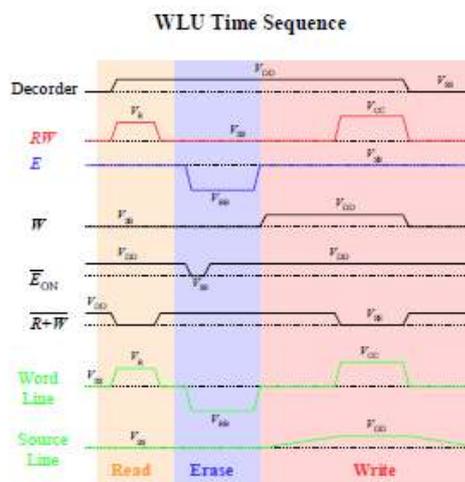


図 4-3-6 Word line driver入力信号の time sequence

ここでの TSEQ は、refresh 動作を想定して読出し、消去、書込みの 3 つの動作を考慮する。この一連の動作が DTM の refresh 動作となる。NOR 型では、source が共通になっているため、書込み時に”0”書込みをするセルに電流が流れる。WL には沢山のセルが有るので、その SL には大きな電流が流れてしまう。”0”書込みをしないセルへの誤書込みを防ぐため、SLD での電圧降下は 1 V 以下に抑えなければならず、SLD にはかなり大きな FET が必要となる。また、高速動作では、SL での電圧降下を減らす手段として SLD や SL の寄生容量も積極的に利用すべきである。その容量を考慮した場合、書込みの前後で SL の電圧の上昇と降下が遅くなる。図 4-3-6 の SL の電圧では、そのことを誇張して表現している。

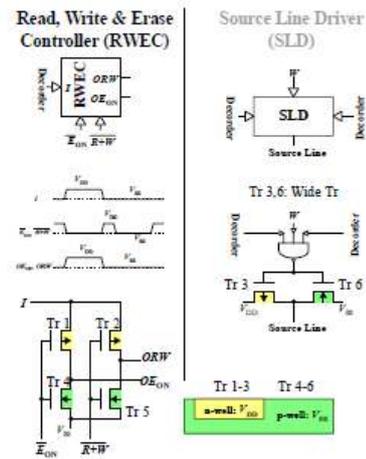


図 4-3-7 Read write erase controller, source line driver の block diagram, time sequence, 回路構成、断面図

次に、WLU の具体的な回路について説明する。図 4-3-7 に RWEC と SLD の回路図を示す。RWEC は各 WL に 1 つ必要であるので、構成 FET 数が少なくなるようにした。その機能は、図 4-3-7 中の TSEQ に示してある。SLD は、前述したように、大電流を流すので、inverter の Tr3,6 は大きな FET を用いる。

図 4-3-8 に WLD の詳細を示す。WLD は 5 V 耐圧 FET を用いるため、特に FET 数が少なくなるように設計する必要がある。WLD は RWD や ED で用いた手法を応用する。ただし、この回路に対する電源電圧(RW や E)はダイナミックに変化するので、FET 数を減らすことができる。WLD の面積の大部分を占める FET は Tr2,5 の 2 つである。WL を Vss に戻すのは、Tr2,5 の drain と body 間に流れる順方向電流

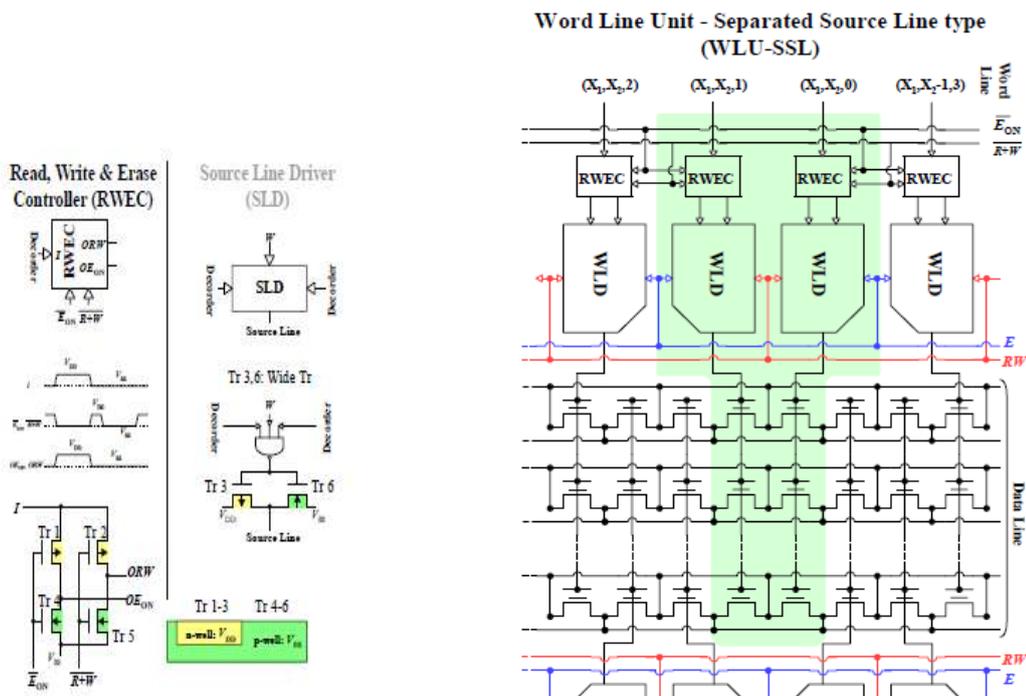


図 4-3-8 Word line driverの詳細

図 4-3-9 Separated source line形式による word line unit

を用いる。電位差が 0.7V 以下では高抵抗となるが、短時間での 1V 程度の WL 電位のふらつきは、DTM ではそれほど問題とならない。課題となるのは、triple well 構造において n-well と r-well がそれぞれダイナミックに電位が変化することである。このため、充放電による消費電力の増加や latch up に気をつける必要が有る。

4-3-4 Separated source line (SSL)における回路構成

SSL では、SL が無くなり、各セルの source を駆動する driver が WL 周辺回路から DL 周辺回路に移る。しかも、DL 周辺回路を工夫すれば”0”書込み時に channel に電流が流れないので消費電力が小さくなる。ただし、1セル当り2つのコンタクトが必要となり、セル面積が増大する。図 4-3-9 に SSL 形式における回路構成を示す。SL を駆動する SLD が無くなり簡素になっている。この回路の FET は大きいので、SSL では WL の周辺回路の面積を減らすことができると考えられる。

SSL の TSEQ を図 4-3-10 に示す。図 4-3-6 と比較すると、”0”書込み時のマージンが少ないので高速用途として向いていると考えられる。

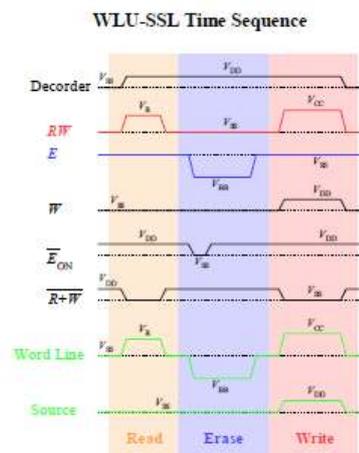


図 4-3-10 Separated source line形式によるtime sequence

4-4 メモリチップ試作

4-4-1 序論

DTM は書き込み・消去にダイレクトトンネル電流を用いるため、チャンネルホットエレクトロン注入を用いる NOR 型のフラッシュメモリと異なり、書き込み・消去の際にソース・ドレインを貫通する電流を流す必要がない。したがって、単体素子としては極めて低い消費電力にて動作させることが可能である。このメリットを生かし、さらにディスタープ特性を低減するためには、隣接するメモリセル同士でビット線、あるいはソース線を共有する NOR 型のセルレイアウトを用いることは望ましくない。このことから、DTM のメモリセルレイアウトとしては AND 型が適切であると考えられる。

4-4-2 AND 型メモリセルアレーの試作結果

(i) セルアレーのレイアウト

AND 型メモリセルアレーの回路的な接続図を図 4-4-2-1 に示す。AND 型セルアレーでは CG をチャンネルと垂直方向に延在させ、ワード線として用いている。したがって、チャンネルの方向は図 4-4-2-1 中のビット線やソース線の延在方向に等しい。

このような回路を実現するための CAD レイアウトを図 4-4-2-2 示す。活性領域形成後に FG を形成し、再酸化プロセスによりコントロール酸化膜を形成する。その後 CG 用の Poly-Si を成膜して FG 間を埋め込み、エッチバックしてサイドウォール状に残す。FG 間隔および CG 膜厚を調整することにより、FG 間に埋め込まれた CG はエッチバック後も残るため、図 4-4-2-2 中で縦方向に延在するワード線を形成することが可能となる。このようなプロセスを用いれば、ワード線の形成は引き出しパッド以外リソグラフィが不要であり、FG に対して自己整合的に形成することができる。また、ワード線をチャンネルと垂直方向に形成できるため、ソース・ドレインの注入をサイドウォール越しにダイレクトトンネル領域に対して自己整合的に行うことも可能となる。

ワード線(CG)

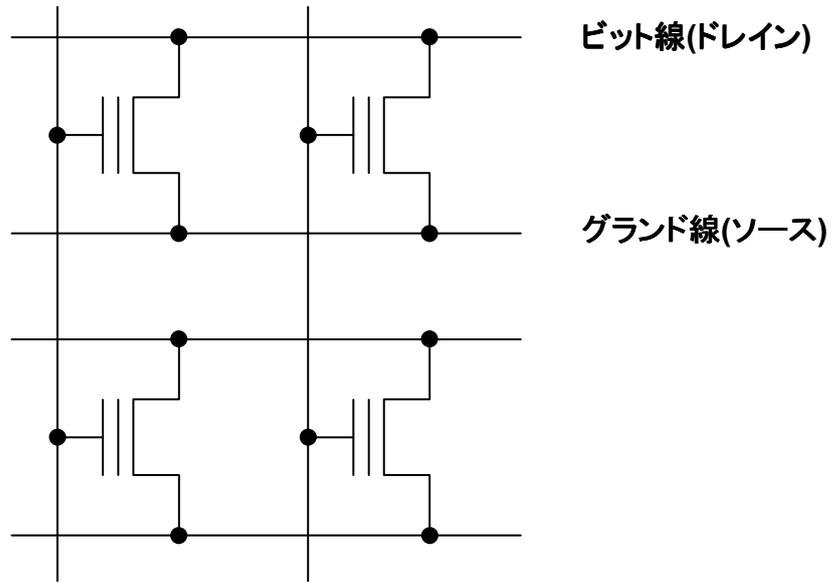


図 4-4-2-1 AND 型セルアレーの接続図

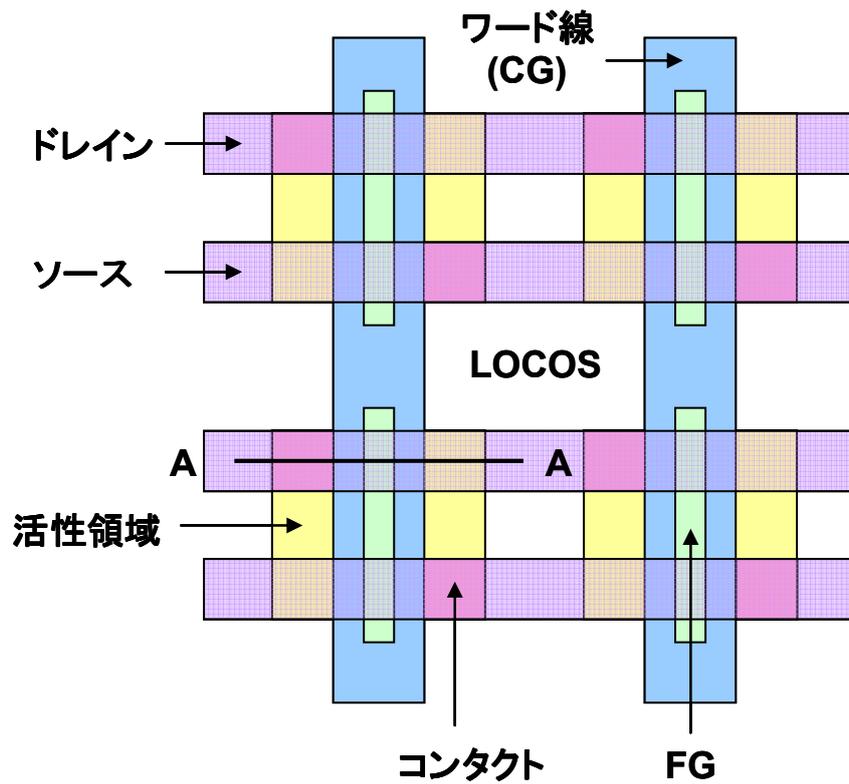


図 4-4-2-2 サイドウォール型 DTM を用いた AND 型のメモリセルの CAD レイアウト

単層メタルで評価を行うためにはソース、ドレインそれぞれに接続されたメタル線を同一のレイヤーで形成する必要がある。そのため、図 4-4-2-2 中の活性領域に関してはチャンネルと垂直方向に異なる部分でそれぞれのメタル線とコンタクトしている。また FG 直下の活性領域はトランジスタのゲート幅を決める部分であるが、この部分に関してはコンタクトによる長さの制約が無いいため、この部分のみ独立に値を設定することが可能である。この部分の長さを変えると、LOCOS 上に乗り上げた FG の長さも同時に変わるため、容量結合比が変化してセルの特性に影響を及ぼす。

(ii) セルアレーの試作結果

図 4-4-2-3 は CG の Poly-Si をエッチバックした後の SEM 写真である。周辺部分の引き出しパッドはリソグラフィにより形成する一方で、CG とそれを縦方向につないだワード線は FG と自己整合的に形成できている。このように、FG-FG 間隔、Poly-Si 膜厚、およびエッチバック条件を調整することで、CG をチャンネルと垂直方向に延在させてワード線を形成することが可能である。

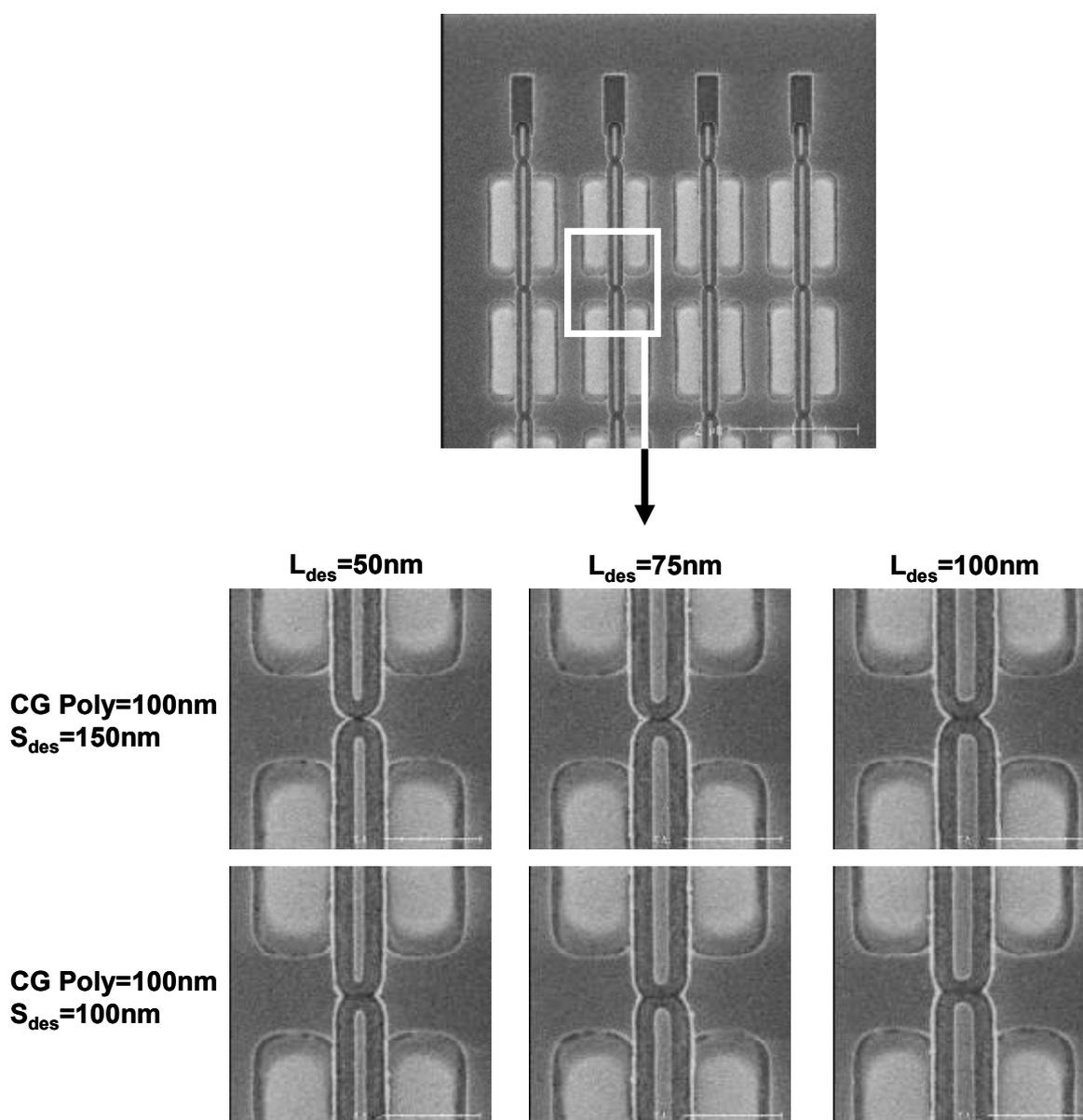


図 4-4-2-3 CG Poly-Si エッチバック後の SEM 写真

(iii) 単体素子、およびセルアレーの測定結果

図 4-4-2-4 の左側は素子の FG 濃度依存性を示す。ゲート空乏化により基板でのバンド曲がり緩和される結果、消去(“1”)状態における基板からの電子注入が抑制され、書き込み(“0”)状態との電流差が取れるようになるが、その様子が明瞭に示されている。また、ゲート空乏化によりわずかではあるが書き込み側の速度が劣化しているが、これはシミュレーションによる素子の性能予測と傾向的に一致している。一方、図 4-2-2-4 の右側は素子の基板濃度依存性を示す。基板濃度は素子の閾値電圧には影響を及ぼすが、一旦チャンネルがオンしてしまえば書き込み速度は FG とソース間の電位差で決まるため書き込み速度に影響を与えない、という考察が裏付けられる。一方、“1”状態の電流に関しては基板濃度を $1.2E+13\text{cm}^{-2}$ まで増加させると逆に減少するという新しい知見が得られた。シミュレーションによる予想では、基板濃度の高濃度化とゲートの空乏化は基本的には同じ効果であり、FG と基板の間にかかる電圧の取り合いで素子の性能が決まると予想していたが、実際には別の効果も考慮する必要があることが判明した。

次に図 4-4-2-5 の左側に、素子のゲート長依存性を示す。ゲート長が短くなるほど素子の閾値電圧が低くなり、スケーリングが低閾値電圧化に寄与するという良好な結果が得られた。“1”状態での電流がゲート長のスケーリングにより小さくなっているのは、単に読み出しのゲート電圧もスケーリングされた影響である。左図で注目すべきもう一つの特徴は、素子の微細化により特に消去側の動作速度が高速化しているという点である。書き込み速度がそれほど変化していないことから、これは単純に容量結合比が増加したことが原因ではないと推測され、更なる検討が必要であると考えられる。容量結合比による動作速度の高速化は、低電圧化にしたがいコントロール酸化膜の容量増加にキャンセルされてしまうことから考えても、別の要因を考慮する必要性がある。一方右側は、シミュレーションにて 3.3V での高速動作が予想される、トンネル酸化膜 1.2nm の DTM 素子を初めて試作した結果である。FG 濃度の違いによる素子特性の違いは 1.5nm の場合と同様であるが、いずれの素子においても 3V で 20ns 以下の高速動作を実現できており、携帯機器用途に向けて有望な結果を得ることに成功した。

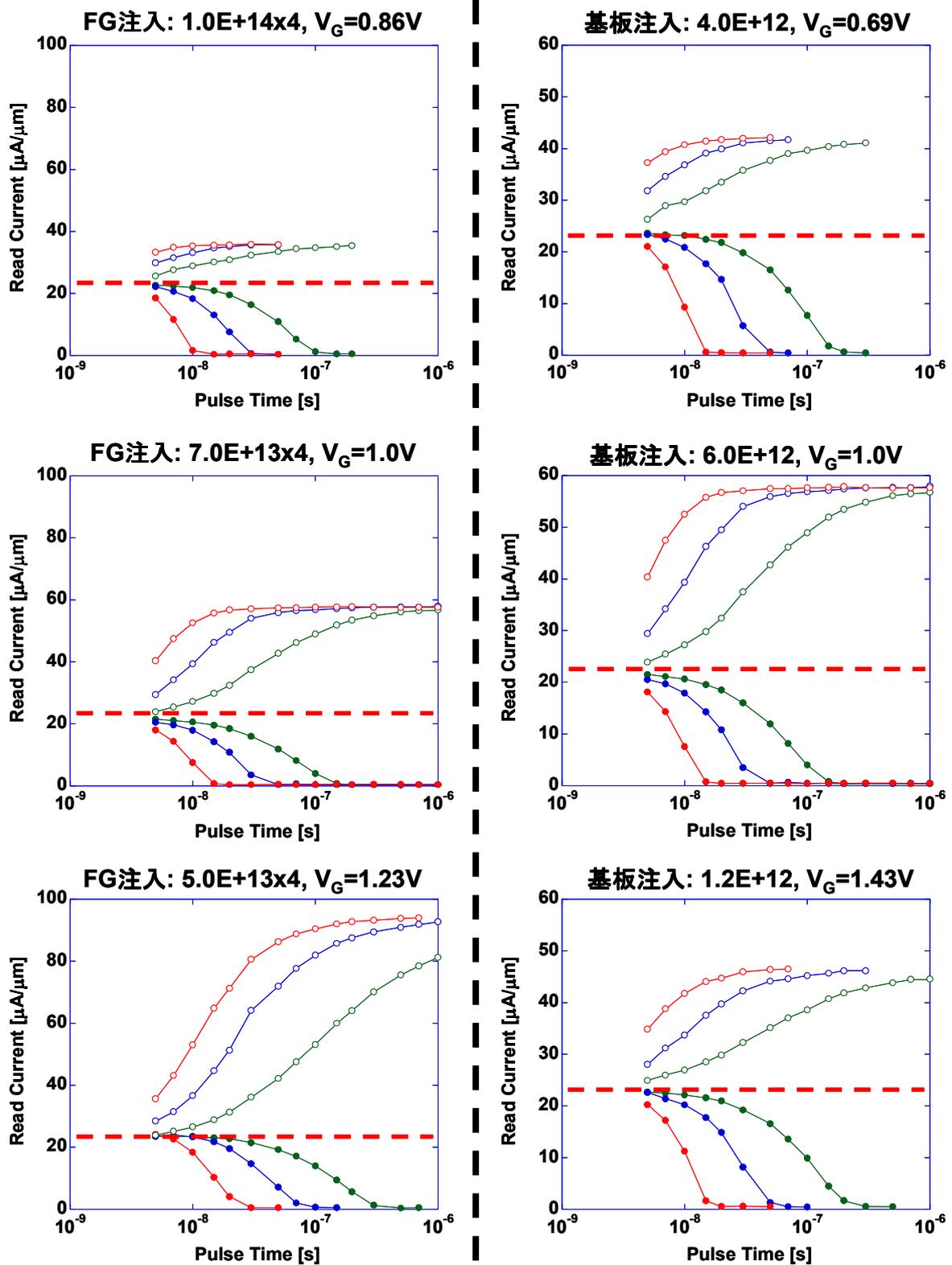


図 4-4-2-4 パルス測定した高速 DTM 素子の書き込み・消去特性
(左: FG 濃度依存性、右: 基板濃度依存性)

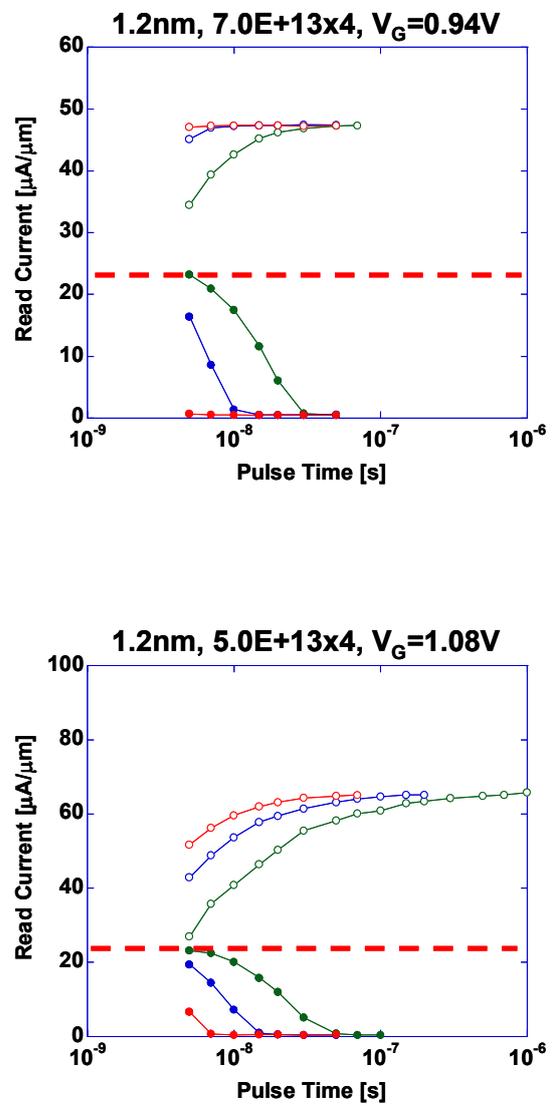
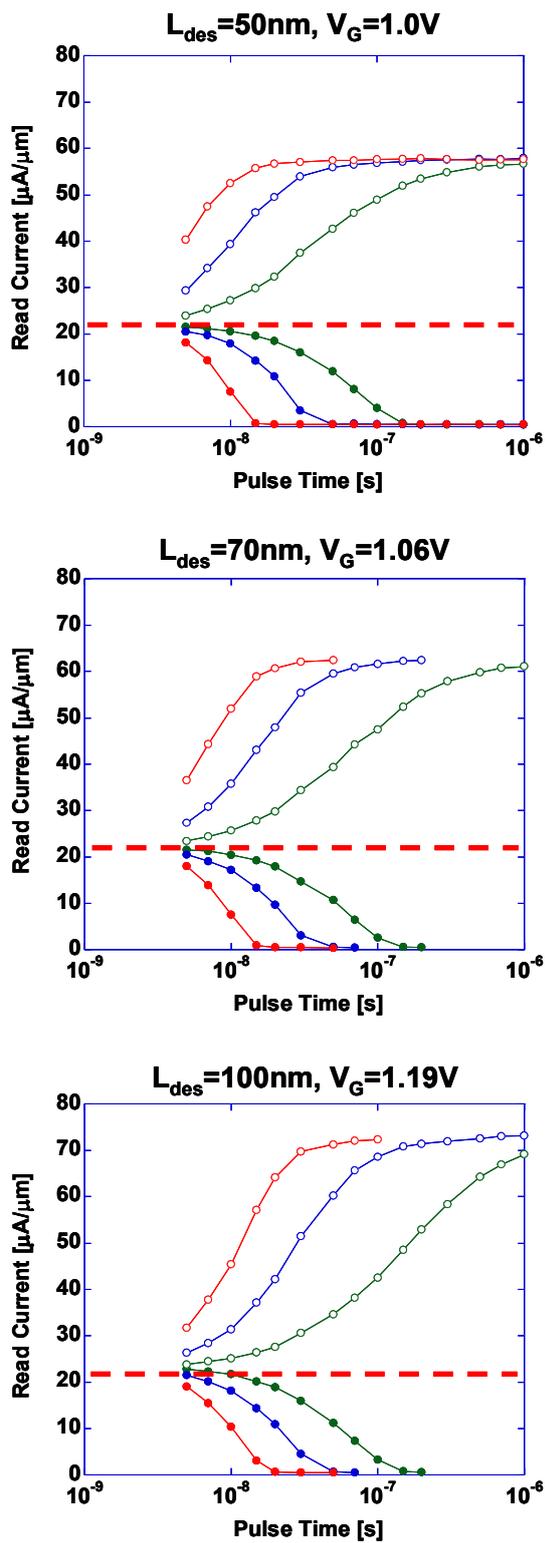


図 4-4-2-5 パルス測定した高速 DTM 素子の書き込み・消去特性
(左：ゲート長依存性、右：1.2nm のトンネル酸化膜における FG 濃度依存性)

一方、リテンションの測定結果の一例を図 4-4-2-6 に示す。ゲート長は 50nm、トンネル酸化膜厚は約 1.5nm であり、読み出しの際のドレイン電圧は 1V、ソースと基板の電圧は 0V、ゲート電圧は初期状態の読み出し電流が素子によらず一定となるよう調整した。左側の図はリテンション特性の FG 濃度依存性であるが、FG 濃度を減少させることで空乏化が生じ、特性が劇的に改善している様子が見て取れる。一方右側の図はリテンション特性の基板濃度依存性を示すが、 $4.0E+12\text{cm}^{-2}$ から $6.0E+12\text{cm}^{-2}$ へ基板濃度を増加させると特性が改善しているのは予想通りであり、これはシミュレーションの結果とも一致している。一方濃度を $1.2E+13\text{cm}^{-2}$ まで増加させても特性はあまり改善しない。これは書き込み特性の”1”状態の電流が増加しないことに対応していると予想されるが、シミュレーションの傾向とは矛盾する。リテンションを考慮する場合には、特に基板濃度が高い場合は酸化膜のトラップ、あるいは酸化膜/Si 界面の界面準位の影響を考慮する必要があり、書き込み・消去特性とは別の原因で特性が決まっている可能性も考え得る。

図 4-4-2-7 には、3V で 20ns の高速動作が可能であった素子のリテンション特性を示す。最適な空乏化を行った場合は 1s 以上のリテンション時間が得られているが、シミュレーションにより得られた限界性能に対しては約一桁改善の余地がある。これは界面準位の影響かもしれないし、酸化膜厚の揺らぎが影響している可能性もある。しかし、この 1s というリテンション時間は DRAM のリフレッシュ時間と比べればまだ優れた特性であり、3V の高速動作と秒単位のリテンション時間を両立可能であることを改めて示すことができた。

図 4-4-2-8 に、DC 測定にて評価した単体素子の V_G-I_D 特性と、4x4 のミニアレー中の一つの素子の V_G-I_D 特性を測定した結果を示す。この図から、セルアレー中の素子も明確なヒステリシス効果を示しており、前述したフロントエンドプロセス、およびバックエンドプロセスがうまく機能して、測定可能なセルアレーを完成することができた。

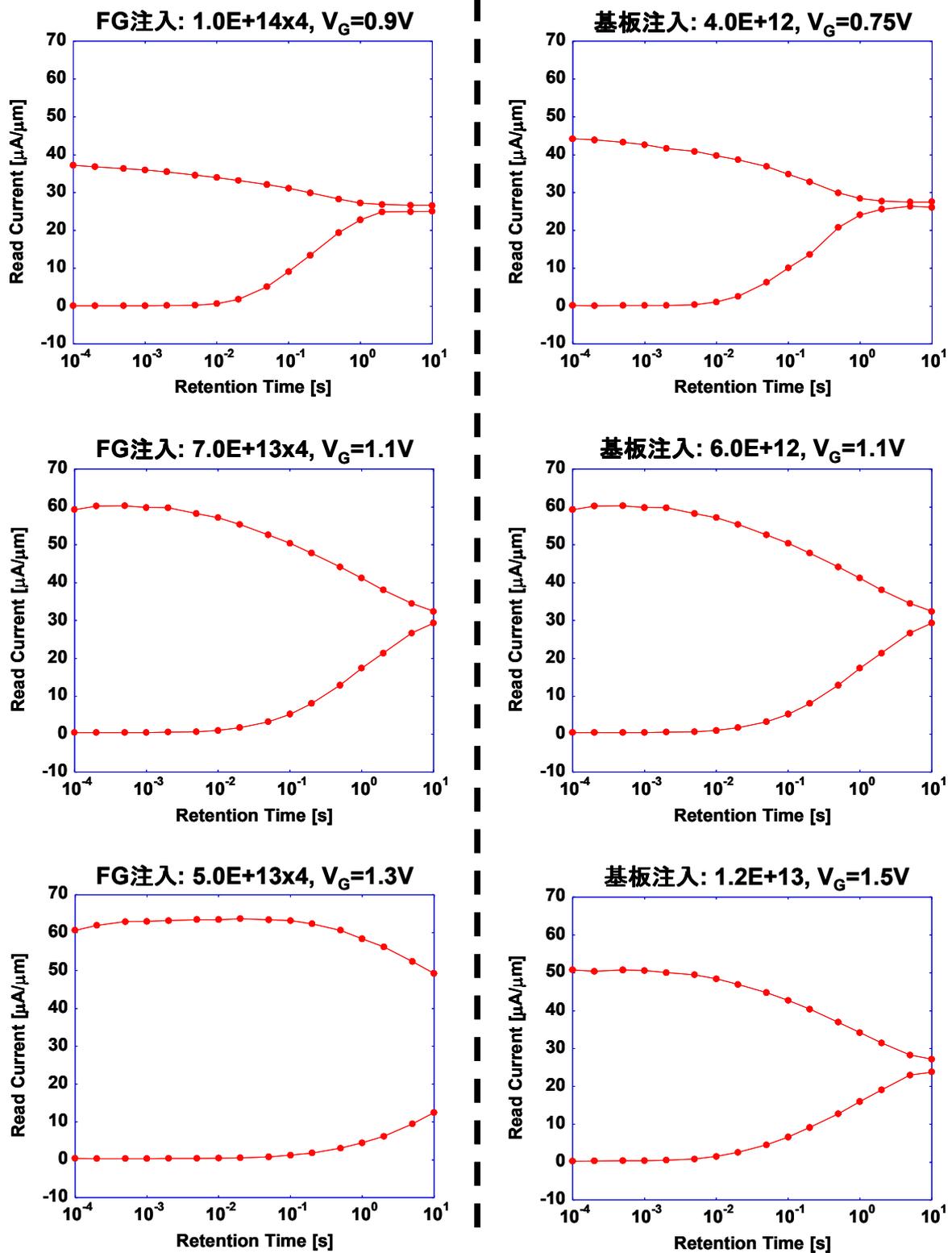


図 4-4-2-6 パルス測定した高速 DTM 素子のリテンション特性
 (左 : FG 濃度依存性、右 : 基板濃度依存性)

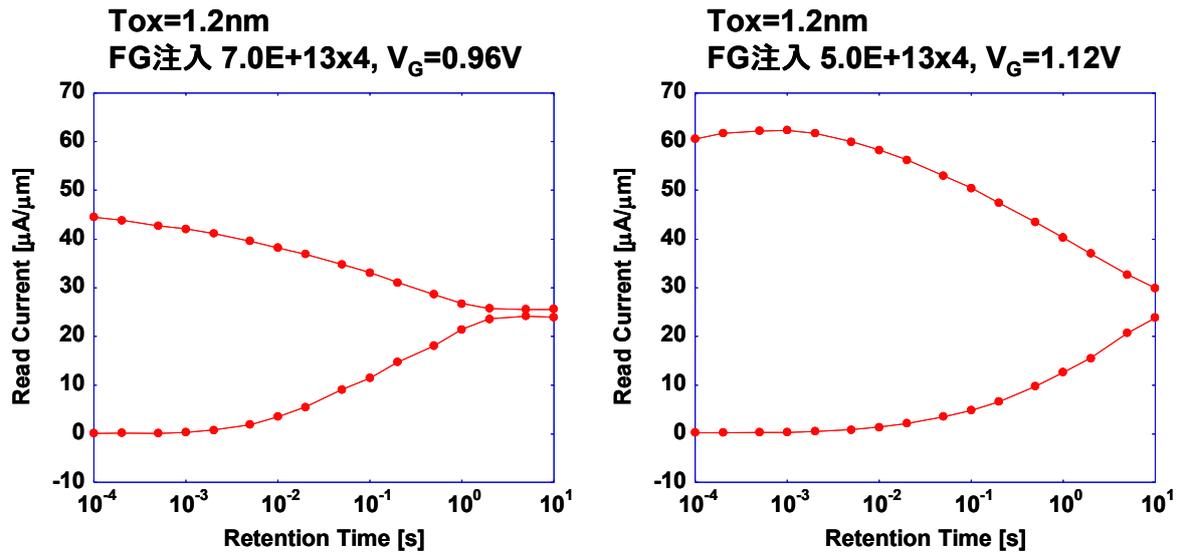


図 4-4-2-7 パルス測定した高速 DTM 素子のリテンション特性
(トンネル酸化膜厚 1.2nm の場合)

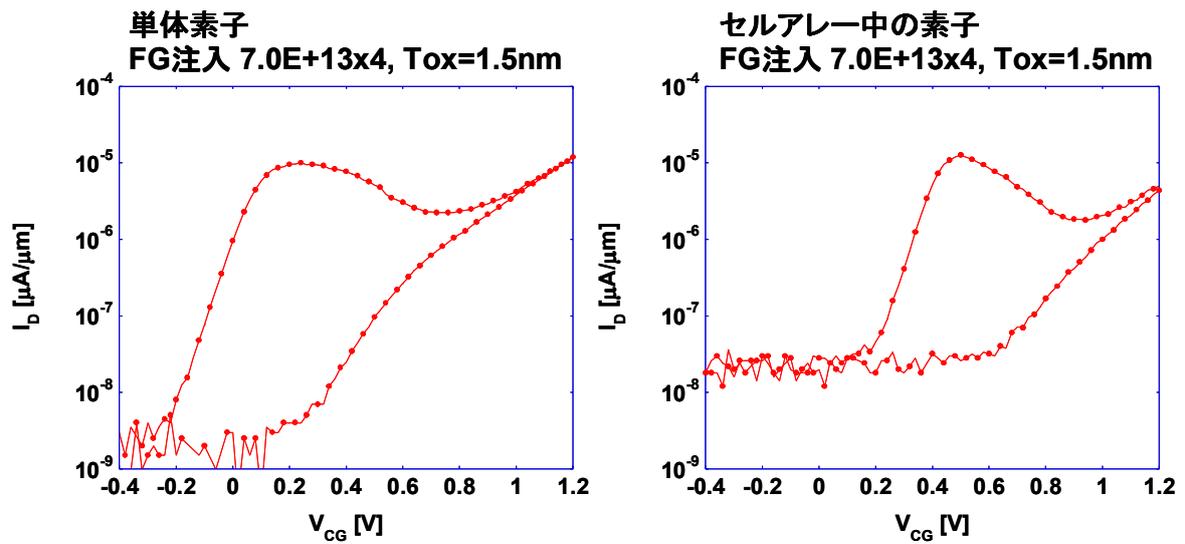


図 4-4-2-8 単体素子、およびセルアレー中の素子の V_G - I_D 測定 (Double Sweep)

4-5 総括

サイドウォールCG型DTMにすることで高集積化、低コスト化を図り、さらにSRAM、DRAM置き換えを視野に、極薄酸化膜を用いることで10ns以下の高速動作を実現した。データ保持時間は10sで低消費電力化が図られる。10¹²回書き換え保証まで確認した。

ワード線ドライバに関しては、入力デコーダ回路方式を検討し、設計の容易な2入力NAND、NORで4bit decoderを適用することを決定し、0.18um CMOSプロセスのパラメータを用いて16bit×16bitのセルアレイで回路設計を行い、Spiceを用いたシミュレーション評価を行い、正常に動作の確認まで完了した。

電流センス型のセンスアンプに関しては、既存メモリデバイスに用いられている数種のセンス回路を参考に検討し、SRAMでも用いられているカレントミラー型が安定して動作できると判断し、0.18um CMOSプロセスのパラメータを用いて回路設計を行い、Spiceを用いたシミュレーション評価を行い、10nsのパルス応答の確認まで完了した。

シミュレーションを用いたさらなる低電圧化(3.3V)に向けての性能予測では、デバイス構造最適化により、1.2nmのトンネル酸化膜で30nsの書き込みと10sのリテンションを実現できるとの結果を得た。また、さらなる薄膜化(1.1nm)により、10nsの書き込みと2.5sのリテンションを実現する見通しも得た。これにより、携帯向けに低消費電力性と大容量SRAMに置き換えうる高速性を同時に兼ね備えられることを明らかにした。

単体素子での試作性能においては、H注入によるpoly Siの低抵抗化を行なうことによって、3.0Vの低電圧で、10secのリテンション時間と20nsの書き込み・消去時間を実現した。

メモリチップの諸特性を予測するという計画に対しては、まず単体セルの試作条件を活かして作製することが可能な16bit×16bitのミニアレイのTEGを起版した。このミニアレイの試作および動作確認と電気特性結果を得た。大規模セルアレイに関しても基本的に動作可能であるが、歩留まり等は完成度の高い量産工場で検証を重ねる必要がある。

最終目標である1Gbitランダムアクセスメモリの検証試作は未達でありメモリ転送速度は10Gbpsも確認するに至らなかった。しかしセルレベルの特性改善により、大規模で10ns以下の高速であるにもかかわらず待機時消費電力は1μW以下を実現できる見通しはつけた。

5 参考資料・参考文献

5-1 研究発表・講演等一覧

研究発表は、

Direct Tunneling Memory, Tatsuya Usuki, Kouji Tsunoda, Akira Sato, Toshiro Nakanishi, Hitoshi Tanaka, FUJITSU Sci. Tech. J., 39,1,p.72-77(June 2003).
(社内査読あり)

K.Tsunoda, A.Sato, H.Tashiro, K.Ohira T.Nakanishi, H.Tanaka and Y.Arimoto, Ultra-High Speed Direct Tunneling Memory (DTM) for Embedded RAM, 2004 Symposium on VLSI Technology 16年6月15-17日. (査読あり)

H. Tashiro, K.Tsunoda, A.Sato, T.Nakanishi and H.Tanaka, Optimization of Low and High Speed DTM for Embedded RAM Applications, 2004 Solid State Devices and Materials 16年9月14-17日. (査読あり)

Kouji Tsunoda, Hiroko Tashiro, Akira Sato, Kenji Ohira, Toshiro Nakanishi, Hitoshi Tanaka and Yoshihiro Arimoto, Ultra-High Speed Direct Tunneling Memory (DTM) for System LSIs, 第66回半導体集積回路技術シンポジウム 16年6月25日. (査読なし)

田代浩子、Emerging Memory Deviceにおける適用事例 Optimization of Low Power and High Speed DTM for Embedded RAM Applications, ISE TCADセミナー-2004 16年11月26日. (査読なし)

田代浩子、角田浩司、佐藤章、中西俊郎、田中均、低消費電力、高速 RAM 用途ダイレクトトンネルメモリ(DTM)の最適化, 応用物理学会 17年3月29日. (査読なし)

論文投稿は、

(ニュース記事として) ダイレクトトンネルメモリの高速動作を実証—携帯通信機器の低消費電力化に貢献—, 電子情報通信学会誌 16年11月. (担当委員が執筆したことになっているが、学会内での選別、記事の校正はあり)

Kouji TSUNODA, Akira SATO, Hiroko TASHIRO, Toshiro NAKANISHI, and Hitoshi TANAKA, Ultra-High Speed Direct Tunneling Memory (DTM) for Embedded RAM Applications, IEICE Trans. Electron., vol. E88-C, No.4 April 2005 p.608. (査読あり)

Hiroko TASHIRO, Kouji TSUNODA, Akira SATO, Toshiro NAKANISHI and Hitoshi TANAKA, Optimization of Low Power and High Speed DTM for Embedded RAM Applications, Japanese Journal of Applied Physics Vol. 44, No. 4B, 2005, pp. 2137-2141. (査読あり)