# 平成16年度

# 研究開発成果報告書

# 携帯通信機器用低電カメモリ:

ダイレクトトンネルメモリの研究開発

# 委託先:富士通㈱

# 平成17年5月

情報通信研究機構

# 平成16年度 研究開発成果報告書

「携帯通信機器用低電力メモリ:ダイレクトトンネルメモリの研究開発」

1 2 研究開発の全体計画 研究開発課題の概要 2 - 1研究開発体制 3 3-1 研究開発実施体制 .....11 4 研究開発実施状況 4-1-2 セルアレイの検討 .....13 4-2 メモリチップ試作 ......17 4-2-2 AND 型メモリセルアレーの試作結果 ......17 

#### 目 次

- 5 参考資料・参考文献
  - 5-1 研究発表・講演等一覧

#### 1 研究開発課題の背景

パソコン用 CPU に代表される昨今の半導体デバイスの高性能化は目覚しく、2 年で1世代すなわち寸法が 0.7 倍、面積が半分になり、高速化も実現されてきた。このようなパフォーマンスの向上を今後も望むのなら、指標となる CV/I (ゲート容量×駆動電圧/駆動電流)を 17%/年という高いレートで増加させる必要があると ITRS (International Technology Roadmap for Semiconductors) は指摘している。



図 1-1. CPU に占める SRAM と今後の消費電力の伸び

しかし図 1-1 に示すように、チップに対してメモリ(SRAM)がかなりの領域を占め るようになってきている一方で、SRAM が消費する電力が爆発的に増加することが 懸念されている。

図 1-2 はチップに対するメモリとロジックの占める割合を示しているが、今後搭載されるメモリ容量はますます増加し、セル面積の大きい SRAM を使い続ける以上 チップに占める SRAM の比率は図のように今後どんどん大きくなりコストアップ の要因となる。また SRAM は微細化に伴いチャネル内のドーパント原子の統計的な ゆらぎに起因したしきい値ばらつきによる動作マージンの低下が深刻となってきて いる。このばらつきは、原子レベルで生じている現象であり、すでに避けきれない 寸法領域に突入している。リーク電流の増大も深刻で、実効ゲート長が短くなるこ とに起因してサブスレッショルド・リーク電流が増加するとともにゲート絶縁膜の 薄膜化に起因したゲート・リーク電流や GIDL 電流も劇的に増加していく。またソ フトエラーの悪化も致命的になってくる。

<sup>&</sup>lt;sup>1</sup> International Technology Roadmap for Semiconductors 2003



図 1-2. チップに占めるメモリの比率の推移と SRAM の抱える問題<sup>2</sup>

hp(half pitch) 45nm 世代以降では図 1-3 に示すように、 歪 Si チャネル, 超極薄シ ングルゲート/ダブルゲート, 金属ゲート, 準バリスティック輸送, 金属接合といっ た新技術を次々と採り入れないと要求される駆動電流 Ion を確保した上で十分にオ フリーク電流 Ioff を抑えることができないとみられている。これだけ多くの新技術 を採用するとなると、相当なコストアップは避けきれず、半導体産業が成り立たな くなる恐れがある。

そこで現在の CMOS を超えた新たな概念のデバイスを探求する必要に迫られて いるが、コスト、速度、大きさの観点から Si CMOS にかわるアーキテクチャはす ぐには見つかりそうにないのが現状である。

これに対して、スケーリングに頼らず、キャッシュメモリとのインターフェイス を高速化してパフォーマンスを向上させたり、CPUをマルチコア化して演算処理を 並列化し高速化する考え方もあり、現に最先端のデバイス開発の潮流はその方向に 移りつつある。

このような流れの中、新たなコンセプトの混載用メモリが求められることになる。 ITRS には多様な探索的メモリが挙げられているが、探索的メモリは CMOS 以外の 探索的ロジックに比べるとより実現性が高いとの評価がなされている。

<sup>&</sup>lt;sup>2</sup> 日経マイクロデバイス 2004年9月号 p. 28.



図 1-3. Ion:Ioff 比に関する技術ブースターのインパクト<sup>1</sup>

現在混載メモリとして使われている SRAM はひとつの記憶素子に6つものトラン ジスタを用いるためセルサイズが大きく、容量増加することによるチップ全体の面 積に及ぼす影響が大きい。チップサイズが大きくなると、1 枚のシリコンウェハか らとれるチップ数が減少するため、コスト増につながり価格競争力が低下する。

一方で大容量、高速な DRAM(Dynamic Random Access Memory)を混載させる手 段もある。DRAM のセルに用いられるキャパシタは微細化が進みセルサイズが小さ くなっても、一定の容量(~30fF)を確保する必要がある。そのため、DRAM キャパ シタを形成するためにシリコン基板を深く掘ったり、上に高く積み上げたり、新た な高誘電体材料や金属電極材料を導入することが進められている。DRAM やロジッ クはそれぞれのデバイス特性を向上させるために、プロセス技術が特化している。 そのためロジックプロセスに DRAM のプロセスを追加しようとすると専用の装置 が新たに必要になったり、一方に適した設定温度や時間が他方に悪影響を与えるこ とがある。記憶素子と論理素子を混載したシステム LSI を低コストで実現するため には、このような DRAM キャパシタのプロセスは大きな障害となっている。

そのような各種 RAM(Random access memory)の製造プロセスコストと記憶容 量の観点から示したものが図 1-4 である。

DRAM は市販メモリの中では記憶容量が大きい部類に属するが、複雑な3次元構造のキャパシタを作りこむためプロセスコストが高くなるのに対し、SRAM は通常のトランジスタで構成するためロジックプロセスとの相性が良くプロセスコストを上げる要因は少ないが、1つのセルを6つものトランジスタで構成するためセル面積が大きくなり記憶容量が小さくなってしまう。このため大容量かつ低プロセスコ

ストの RAM が存在しないのが現状である。一方、FLASH メモリは ROM(Read only memory)として用いられるが、DRAM と比べると構造が簡単であるが故にプロセス コストは小さく容量も昨今 DRAM を凌ぐ大きさを持つようになってきた。そこで低 価格の携帯機器用混載メモリとしてこの FLASH を RAM として使えないかと考え たのが、図 1-5 に示すダイレクトトンネルメモリ(DTM: <u>Direct Tunneling Memory</u>) 開発のきっかけである。



# ▶ FLASHメモリをRAMとして使えないか?

図 1-4. 次世代 RAM のターゲット



図 1-5. DTM の基本構造と3つの特徴

DTMのデバイス構造は比較的簡単で、制御ゲートが浮遊ゲートの側壁に設けられており、ソース・ドレインのエクステンション領域と浮遊ゲートが重ならないようになっている。このため、浮遊ゲートからソース・ドレイン領域への電子のリーク

が抑制される。また FG からチャネルへの電子のリークを抑制するために、チャネ ル領域を高濃度にドーピングしている。

第一の特徴は浮遊ゲートにある。MOS トランジスタに外部引き出し電極を持たな いゲート(浮遊ゲート)を設けて、記憶特性を持たせている。浮遊ゲートは FLASH メ モリでも用いられているものだが、DRAM のキャパシタに比べて構造をコンパクト に出来、特別な材料も必要が無いという利点がある。

第二の特徴はダイレクトトンネル(直接トンネル)電流を用いている点にある。 ゲート酸化膜は薄くなると量子効果によってチャネルの電子が酸化膜を直接トンネ ルできるようになる。特に 3nm 以下の膜厚になると顕著になる。高速 DTM に用い る酸化膜は高速に電子を出し入れするために、1.5nm 以下と非常に薄いが、ロジッ クの量産技術としては既に確立しているので、プロセス開発上の障害はない。

第三の特徴はロジック LSI プロセスで作製できるところにある。DTM ではロジ ックと DRAM を混載するときに起こるような問題が無く、メモリの特性とロジック の特性の最適化が可能となる。

DTM はロジックプロセスにマスク3 枚程度の増加で済み、論理素子の特性を損ね ることなく混載することができる。SRAM に比べてセルサイズははるかに小さく、 トンネル酸化膜厚を薄くすることで書き込みを速くすることが期待できる。DTM が SRAM を置き換えることができるのならば、DTM を用いたシステム構成は図 1-3 に示すように MPU とコンパクトな DTM を太いバスで結ぶことができ、従来に比 べてシンプルで価格競争力のあるものになる。

そこで、DTM が携帯通信機器用混載メモリとして SRAM を置き換えることがで きるほど十分な機能を有するか検討を行った。

ダイレクトトンネルメモリ



図 1-6. DTM を用いたシステム構成

6

## 2 研究開発体の全体計画

#### 2-1 研究開発課題の概要

ダイレクトトンネルメモリの特色を簡単に述べる。本メモリは、Flash メモリと 同様に浮遊ゲートを用いたメモリである。従ってメモリセルあたり一つのトランジ スタで記憶が出来、DRAM等に比べ高集積化に向く。但し、Flashメモリのような 厚い絶縁膜ではなくロジックトランジスタ用の薄膜を用いるので、ダイレクトトン ネル現象が起こる。このトンネル電流を積極的に利用してメモリ素子の高速・低電 圧動作・高耐久性を実現することが出来る。また、保持特性を向上させるため従来 の浮遊ゲートメモリに無い様々な工夫を行うが、全て一般のロジックトランジスタ で用いるプロセス技術を使用する。つまり、専門化されたロジック製造技術を先端 のメモリ技術に取り入れたのがダイレクトトンネルメモリである。

当社では既に本メモリのセル基本動作の実証は行っている。これからは、最終的 なチップ動作にむけて総合的な研究開発を行う必要がある。

開発目標を達成するための研究内容は、大きく以下の4つに分けることが出来る。

- ア. チップレベルのアーキテクチャ設計
- イ. メモリセル単体設計試作
- ウ. 回路設計
- エ. チップ試作

開発期間は4年3ヶ月を計画している。材料開発が伴う研究は別であるが、半導体開発がこれより長期化すると、技術トレンドが予測しづらくなる。逆に、これより短い場合、ミクロなレベルのセル開発とチップレベルの設計の両立が困難になる。 以下では、上記の各項目ごとに開発スケジュールもふくめて説明を行う。

ア. チップレベルのアーキテクチャ設計

ダイレクトトンネルメモリセルは従来のDRAMと異なり、セルの設計によって動 作特性を大きく変化させることが出来る。例えば、酸化膜厚を変えることにより、 書込み時間と保持時間を何桁も変更できる。この柔軟性は大きな特色である。

メモリセルの柔軟性を生かしながらメモリチップの性能を最大にするには、チッ プレベルのアーキテクチャも既存の DRAM から大胆に設計を変更していく必要が ある。チップレベルのアーキテクチャとは、I/O を通して入力されたデータの処理 の仕方や、セルアレイの制御方法等である。高速性を達成するためには、内部キャ ッシュの採用まで検討する必要がある。それが可能になるのもロジックとの親和性 が良いからである。

研究開発では、ダイレクトトンネルメモリセルに適した独自のアーキテクチャを 設計し、逆にアーキテクチャからの要請でセルの動作特性を変更することもありえ る。従って研究のスタートから、アーキテクチャの設計を理論計算やシミュレーシ ョンにより開始し、セル試作にフィードバックをかける体制を整えておく必要があ る。(13 年度終わりから 14 年度前半) イ. メモリセル単体設計試作

アーキテクチャ設計とともに、この項目も開発当初からスタートする。

セルの基本設計は明らかになっているが、実用化に向けて更に詳細な研究を行い、 性能の向上を図る必要がある。特に、保持時間と書き込み時間の比をあげることと 低電圧化を更に進める事が重要である。基本的には現試作段階のメモリセルでも実 用化に十分な基本特性を示しているが、更なる特性向上でアーキテクチャ設計の自 由度が高まるからである。(13 年度終わりから 14 年度前半)

基本性能を高めつつ段階的に、セル間の特性ばらつきの解析や改善、セルアレイ レベルでの信頼性試験の実施等、統計的な試験に重点をシフトさせていく。(14 年度 後半から 15 年度前半)

ウ. 回路設計

次に、具体的な周辺回路の設計を開始する。

先ず、ワード線ドライバやビット線センスアンプの設計が重要となる。この部分 の周辺回路はセルアレイ特性に深く関連するので、メモリセル単体試作評価の結果 を検討して早めにスタートする。また、周辺回路ロジックトランジスタの特性把握 のためにシミュレーションパラメータの抽出と特性改善を15年度から開始する。

15年度からは、既にアーキテクチャの仕様が固まっているので、それまでに検討した結果を基にアレイブロックに入出力するデータのコントローラーの設計や I/O 関連の設計を具体的に行う。これらは、通常のロジック回路の開発である。(但し、その際に行うシミュレーションの結果によっては、この期間のアーキテクチャの修正もありうる。)

当社では、それぞれの分野の専門家がおり、技術的な問題が起きた時点で協力が 出来るグループを作ることが出来る。従って、ハードとソフトの同時開発というリ スクの高い研究開発を推進することは十分に可能である。

エ. チップ試作

次に、アーキテクチャとセル特性の仕様が固まり、回路設計がある程度すすんだ 時点で(15年度後半を予定)、チップ試作に取り掛かる。

試作は、1次試作と2次試作に分ける。1次試作では、プロセスのリスクを低く するために余裕を持ったルールでチップを試作し動作実証を目指す。(用途によって は十分に実用になるメモリを試作する。)

2次試作は、高集積化を意識した試作を目指す。メモリセルの大きさは6F<sup>2</sup>で行 う予定である。但し、一部セルアレイ試作を進め、セルフアライン技術を多用して、 4F<sup>2</sup>のプロセス技術を開発する。これは、将来他のメモリ技術に対して十分なアド バンテージを保つためである。

以上で、研究終了時に DRAM に対して性能面やセルサイズの優位性を全て実証する予定である。

## 2-2 研究開発目標

## 2-2-1 最終目標(平成18年3月末)

新しい動作原理に基づくメモリセルを用い 1Gbit ランダムアクセスメモリの検証 試作を行う。メモリ転送速度は 10Gbps、大規模で高速であるにもかかわらず待機 時消費電力は  $1\mu$  W 以下を具体的な達成目標とする。しかも、これほど消費電力が 低ければ、電源を切ってもバックアップバッテリで長期間記憶を保持できる。また、 セルサイズが 4F<sup>2</sup>の微細セルの基本技術を立ち上げる。これにより更なる高集積化 が約束される。

現在、携帯機器では大きな DRAM(或いは SRAM)と Flash メモリを内蔵している が、新型メモリはこの二つのメモリを 1chip で置き換え可能である。

# 2-2-2 中間目標(平成16年3月末)

メモリセルの設計(構造の最適化)、試作、評価を終了する。更に、チップレベルで のアーキテクチャ基本設計とセルアレイの周辺回路設計を終了する。これらの結果 を基にシミュレーションしてメモリチップの諸特性を予測する。ここで後半の計画 の見直しを行う。

顧客に対してサンプルを提供する。

# 2-3 研究開発の年度別計画

(金額は非公表)	)
----------	---

研究開発項目	13年度	14年度	15年度	16年度	17年度	備考
「携帯通信機器用低電力メモリ:ダイレクトト ンネルメモリの研究開発」 ア:チップレベルのアーキテクチャ設計 イ:メモリセル単体設計試作 ウ:回路設計		→ 	•			
エ : メモリチップ試作 						 
合 計						

注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む。)。

2 備考欄に再委託先機関名を記載

3 年度の欄は研究開発期間の当初年度から記載。

# 3 研究開発体制

# 3-1 研究開発実施体制



# 4-1 回路設計

## 4-1-1 序論

DTM をアレイ化する場合、次の2 つの条件を考慮する。

common source line / separated source line

1 cell per bit / 2 cell per bit

これらの条件によって、drain line の周辺回路の構成は変化する。しかし ながら、word line(WL)については source line(SL)の制御が有るか無いか の違いだけで基本的には共通である。 従って、word line 周辺回路についてま ず検討した。source line の方式によっ てタイミングの取り方が変わるので、 それについては最後に述べる。

**DTM**はWLに±5Vの電圧を印加し なければならない。つまり、WLに10V もの電位差が生じることになる。IO用 途のトランジスタでも電圧は5Vなの で、特別な工夫が必要となる。10V耐





圧のトランジスタを用意しても駆動能力はおそらく低く、高速動作を考えるとかな り大きくなると予想される。WL に加える電圧は、書込み電圧  $V_{CC}=5V$ 、読出し電  $E V_{R}=2\sim 3V$ 、保持電圧(基板電位) $V_{SS}=0V$ 、消去電圧  $V_{BB}=-5V$  の4種類あり、 これらの電圧を制御する複雑な回路を各 WL に設けると、回路面積が増大し問題と なる。さらに論理回路の電圧  $V_{DD}=1.8V$  も考慮に入れると、トランジスタの種類は、 周辺回路全体で3種類となり、メモリとしてはコストの面で不利である。

このような状況から、図 4-1-1 のような回路構成を検討した。

SL を共通にしたセルレイアウト (NOR型) では、隣り合う2本のWL が1本の SL について対象に配置される。そこで、2行分のWL を1単位にして駆動回路も含 めて word line unit(WLU)と呼ぶことにする。このWLU には、address decorder からの信号と書込みや消去等の制御信号が入力される。図1中で示すように、赤線 で示される正の高電圧(基準 Vss) が加わる制御線と青色で示す負の高電圧が加わ る制御線がWLU に接続される。これらの制御線は、それぞれ read & write unit(RWU)と erase unit(EU)により駆動される。ここで正負の高電圧が同時にWLU に印加されないようにタイミングを調整する。従って、WLU で使用するトランジ スタは論理回路用と 5V 耐圧の2種類で済むことになる。図1では、16 個のWLU を1つの RWU と EU が駆動している。しかし、その数は、これらの unit の駆動力 に依存する。

# 4-1-2 Read & write unit(RWU)と erase unit(EU)について

メモリチップには、read, write, erase の3つの制御信号が入力される。この信 号を WLU の制御信号に変換するのが、 RWU と EU の役割である。

まず、図4-3-2の上に示してある RWUから説明する。左がその回路構成で、 入力が IR (読出し) と IW (書込み)の 2種類からなり、出力信号が3種類で構成される。それぞれのタイミングについ ての詳細は後で述べる。出力のうち、word line に読出しや書込みの電圧を出力する のが、赤字で示す RW である。この RW は、5V 耐圧のトランジスタを用いた RWUにより駆動される。右にそのタイム シーケンスを示す。

次に、図 4-1-2 の下に示す EU につい て説明する。入力信号としては、消去開 始をパルスで表す  $E_{ON}$ と終了をパルスで 表す  $E_{OFF}$ の2種類がある。これらの入力 信号から青字で示す出力Eとして WL に消 去電圧を供給するのが、erase driver(ED) である。右にそのタイムシーケンスを示す。

RWUとEUの中でWLに正負の高電圧を 供給する driver がそれぞれ RWD と ED で ある。低電圧の入力信号で高電圧を出力す るための通常のロジックとは異なる回路が 必要となる。

図 4-1-3 に具体的な RWD を示す。RWD は、出力電圧として V<sub>CC</sub>、V<sub>R</sub>そして V<sub>SS</sub>の 3 種類供給しなければならない。そのため、 通常の static な level shifter を少し変形さ せている。大電流が流れる FET は、p-type が Tr2,4 で n-type が Tr7 の 3 つである。こ こで注意すべきことは、V<sub>CC</sub> と V<sub>R</sub>の電位差 が 1V以上あるので、IW が ON で IR が OFF の場合、Tr4 の body 電圧が V<sub>R</sub> であると drain から body に順方向電流が流れること



図 4-1-2 Read and write unit回 路構成とタイムシークエンス

#### Read & Write Driver (RWD)



図 4-1-3 Read and write driver 回路構成と断面図

になる。従って、Tr3,4の body 電圧は  $V_{CC}$  としている。Back bias がかかった状態 なので、 $V_{TH}$  が深くなり駆動電流が低下することを考慮する必要がある。

ED は、 $V_{SS}$  と  $V_{BB}$  の 2 種類の出力電圧であるが、入力電圧  $V_{DD}$  が  $V_{DD} > V_{SS}$  なので、通常の level shifter を変形させている。

図 4-1-4 に具体的な ED を示す。双安定回路が Tr3-6 で構成されている。この回路に pulse を加えることにより、 $V_{SS}$  と  $V_{BB}$  を次段の inverter に出力する。5V 耐圧の FET で構成するため、Tr1,2 は gate を接地している。ここで注意すべきことは、Tr1,2 の n-well は互いに p-well により絶縁されていることである。そして、双安定

回路の安定状態を反転できるよう、Tr1,2 は Tr5,6 より駆動力の大きい FET を用い る。最終段の inverter(Tr7,8)には、WL に十分な電流を供給できるよう最も大きい FET(RWD の Tr2,4,7 と同程度)を用いる。

# 4-1-3 Word line unit(WLU)について

前述したように、WLU は2行分の WLを1単位にしている。これは、こ の2行が対称に配置されているので、 周辺回路のレイアウトを考える上で 都合が良いからである。

メモリアレイの配置としては、flash memory でよく用いられる NOR 型に ついてまず議論する。この配置では、 各メモリの source が2行単位で共通 となっている。DTM では、この配置 が最もセル面積が小さくなると考え られる。図 4-1-5 に、具体的な WLU を示す。WLU に入力される信号は、 6 種類となる。高電圧信号としては RWD や ED から供給される RW と E の2種類、論理信号(VDD)としては、 decorder からの信号、W、not Eon、 not (R+W)の4種類である。



図 4-1-5 Read write erase controller(RWEC), source line driver(SLD), word line driver(WLD) による制御方法

Erase Driver (ED)



図 4-1-4 Erase driver回路構成と断面図



図 4-1-6 Word line driver入力信号のtime sequence

これら6種類で図 4-1-5 に示す read write erase controller(RWEC)や source line driver(SLD)そして word line driver(WLD)の3種の回路を制御する。WLDやSLDからそれぞれWLやSLに出力電圧を供給する。WLUの入力信号のtime sequence(TSEQ)は図 4-1-6 に示す。

ここでの TSEQ は、refresh 動作を想定して 読出し、消去、書込みの3つの動作を考慮する。 この一連の動作が DTM の refresh 動作となる。 NOR 型では、source が共通になっているため、 書込み時に"0"書込みをするセルに電流が流れ る。WL には沢山のセルが有るので、その SL には大きな電流が流れてしまう。"0"書込みをし ないセルへの誤書込みを防ぐため、SLD での電 圧降下は1V以下に抑えなければならず、SLD にはかなり大きな FET が必要となる。また、 高速動作では、SL での電圧降下を減らす手段 としてSLDやSLの寄生容量も積極的に利用す べきである。その容量を考慮した場合、書込み の前後でSLの電圧の上昇と降下が遅くなる。 図 4-1-6 の SL の電圧では、そのことを誇張し て表現している。



図 4-1-7 Read write erase controller, source line driverの block diagram, time sequence, 回 路構成、断面図

次に、WLU の具体的な回路について説明する。図 4-1-7 に RWEC と SLD の回 路図を示す。RWEC は各 WL に 1 つ必要であるので、構成 FET 数が少なくなるよ うにした。その機能は、図 4-1-7 中の TSEQ に示してある。SLD は、前述したよう に、大電流を流すので、inverter の Tr3,6 は大きな FET を用いる。

図 4-1-8 に WLD の詳細を示す。WLD は 5 V耐圧 FET を用いるため、特に FET 数が少なくなるように設計する必要が有る。WLD は RWD や ED で用いた手法を応 用する。ただし、この回路に対する電源電圧(RW や E)はダイナミックに変化するの で、FET 数を減らすことができる。WLD の面積の大部分を占める FET は Tr2,5 の 2 つである。WL を Vss に戻すのは、Tr2,5 の drain と body 間に流れる順方向電流 を用いる。電位差が 0.7V 以下では高抵抗となるが、短時間での 1V 程度の WL 電位 のふらつきは、DTM ではそれほど問題とならない。課題となるのは、triple well 構造において n-well と r-well がそれぞれダイナミックに電位が変化することである。 このため、充放電による消費電力の増加や latch up に気をつける必要が有る。



図 4-1-8 Word line driverの詳細



図 4-1-9 Separated source line形式によるword line unit

# 4-1-4 Separated source line(SSL)における回路構成

SSLでは、SLが無くなり、各セルの source を駆動する driver が WL 周辺回路から DL 周辺回路に移る。しかも、DL 周辺回路を工夫すれば"0"書込み時に channel に電流が流れないので消費電力が小さくなる。ただし、1セル当り2つのコンタクトが必要となり、セル面積が増大する。図 4-3-9 に SSL 形式における回路構成を示す。SL を駆動する SLD が無くなり簡素になっている。この回路の FET は大きいので、SSL では WL の周辺回路の面積を減らすことができると考えられる。

SSLのTSEQを図 4-1-10 に示す。図 4-3-6 と比較すると、"0"書込み時のマージンが少ないので高速用途として向いていると考えられる。

#### WLU-SSL Time Sequence



図 4-1-10 Separated source line形式によるtime sequence

## 4-2 メモリチップ試作

我々は前年度、高集積型(サイドウォール型)DTM の試作を行い、トンネル酸化膜 に極薄酸化膜を用いることで、動作電圧 5V において 10ns 程度の高速動作が可能で あることを明らかにした。そこで本年度は、高集積型 DTM に関して研究所の試作ラ インを用いて単層メタルで評価が可能な AND 型のメモリセルアレーを設計し、その 試作・評価を行った。その結果、サイドウォール状のコントロールゲート(CG)をフ ローティングゲート(FG)間に埋め込むことでチャネルと垂直方向に延在させ、ワー ド線として用いることが可能であることを明らかにした。また A1 のリフロープロセ スを用いることによりアスペクト比の高いコンタクトホールに A1 を埋め込むこと に成功した。その結果、初めてセルアレーにて電気的特性を取得することに成功し た。

#### 4-2-1 序論

DTM は書き込み・消去にダイレクトトンネル電流を用いるため、チャネルホット エレクトロン注入を用いる NOR 型のフラッシュメモリと異なり、書き込み・消去の 際にソース・ドレインを貫通する電流を流す必要がない。したがって、単体素子と しては極めて低い消費電力にて動作させることが可能である。このメリットを生か し、さらにディスターブ特性を低減するためには、隣接するメモリセル同士でビッ ト線、あるいはソース線を共有する NOR 型のセルレイアウトを用いることは望まし くない。このことから、DTM のメモリセルレイアウトとしては AND 型が適切である と考えられる。

AND型のレイアウトでは、CG をチャネルと水平方向に延在させ、埋め込みソース・ ドレインをビット線として用いる方式がフラッシュメモリの分野において提案され ている。しかし DTM ではサイドウォール状に形成された CG をマスクとしてソース・ ドレインの不純物注入を行うため、CG をチャネルと水平方向に延在させる方法では、 埋め込みソース・ドレインが CG の下で分断されてしまうことから、ビット線として 用いることができない。以上のことを踏まえ、本試作においては CG を FG の間に埋 め込み、チャネルと垂直方向に延在させることでワード線として用いる方式を採用 した。この場合、サイドウォール状に形成されたワード線の低抵抗化が実現できる かどうかが重要な評価項目となる。また、単層メタルで評価するためにソース・ド レインはそれぞれ別のメタル線で引き出し、ワード線と垂直方向に形成する。素子 分離が LOCOS であること、および単層メタルのピッチ制限があることから高密度な セルアレーを形成することはできないが、各種ディスターブ特性等、メモリセルア レーの本質的な評価を行うことは可能であると考えられる。

#### 4-2-2 AND 型メモリセルアレーの試作結果

(i) セルアレーのレイアウト

AND 型メモリセルアレーの回路的な接続図を図 4-2-2-1 に示す。前述のように、 我々の AND 型セルアレーでは CG をチャネルと垂直方向に延在させ、ワード線として 用いている。したがって、チャネルの方向は図 4-2-2-1 中のビット線やソース線の 延在方向に等しい。

このような回路を実現するための CAD レイアウトを図 4-2-2-2 示す。活性領域形 成後に FG を形成し、再酸化プロセスによりコントロール酸化膜を形成する。その後 CG 用の Poly-Si を成膜して FG 間を埋め込み、エッチバックしてサイドウォール状 に残す。FG 間隔および CG 膜厚を調整することにより、FG 間に埋め込まれた CG はエ ッチバック後も残るため、図 4-2-2-2 中で縦方向に延在するワード線を形成するこ とが可能となる。このようなプロセスを用いれば、ワード線の形成は引き出しパッ ド以外リソグラフィが不要であり、FG に対して自己整合的に形成することができる。 また、ワード線をチャネルと垂直方向に形成できるため、ソース・ドレインの注入 をサイドウォール越しにダイレクトトンネル領域に対して自己整合的に行うことも 可能となる。



ワード線(CG)

図 4-2-2-1 AND 型セルアレーの接続図



図 4-2-2-2 サイドウォール型 DTM を用いた AND 型のメモリセルの CAD レイアウト

単層メタルで評価を行うためにはソース、ドレインそれぞれに接続されたメタル線 を同一のレイヤーで形成する必要がある。そのため、図 4-2-2-2 中の活性領域に関 してはチャネルと垂直方向に異なる部分でそれぞれのメタル線とコンタクトしてい る。また FG 直下の活性領域はトランジスタのゲート幅を決める部分であるが、この 部分に関してはコンタクトによる長さの制約が無いため、この部分のみ独立に値を 設定することが可能である。この部分の長さを変えると、LOCOS 上に乗り上げた FG の長さも同時に変わるため、容量結合比が変化してセルの特性に影響を及ぼす。

(ii) セルアレーの試作結果(フロントエンドプロセス)

図 4-2-2-3 は活性領域(FL)形成後の表面 SEM 写真である。図中の白い部分が活性 領域に対応している。前述のように FG 直下の活性領域はトランジスタのゲート幅を 決め、また容量結合比にも影響を及ぼす。そのため、本試作においては H 型と□形 の 2 種類の FL 形状を用意した。また、AND 型のセルレイアウトに加え、比較のため に NOR 型のセルレイアウトも検討した。これらは電子線描画装置(EB)により露光を 行ったため、光露光装置に比べより柔軟で微細な形状を形成できていることが分か る。



H-AND型

H-NOR型



図 4-2-2-3 FL 形成後の表面 SEM 写真

実際のFLはSTIで形成することが望ましいが、本試作ではFL形成にLOCOSプロ セスを用いている。そのため、FGは活性領域およびLOCOS上に同時に形成する必要 があり、レジストの膜厚が局所的に異なることから、特にLOCOS上での線幅の細り が懸念される。これは後述するFG-FG間のワード線埋め込みプロセスにも影響を及 ぼす可能性が高い。図4-2-2-4はFG露光後、およびFGエッチング後の表面SEM写 真である。LOCOS上では予想通り線幅の細りが生じており、特にゲートのデザイン 長Lが短くなるほど相対的に影響が大きくなることには注意すべきである。この結 果、Lが異なる場合はFG-FG間隔も大きく異なり、LごとにFG-FG間隔のデザインを 考慮する必要があることが分かる。



図 4-2-2-4 FG 露光後およびエッチング後の表面 SEM 写真

なお、図 4-2-2-4の FG エッチング後のゲート長は露光後のゲート長に比べて 15nm 程度太い。これは薄い EB レジストと FG のハードマスクである酸化膜の選択比を大 きくするため、エッチングガスである CF<sub>4</sub>/CHF<sub>3</sub>/Ar の比を調整してデポを生じやすく した結果である。エッチング後の後処理にて DHF 処理が加わるため、この線幅シフ トは最終的には非常に小さくなる。また、エッチング後の活性領域上には Poly-Si の残が生じているが、これは極薄トンネル酸化膜にてゲートのエッチングをストッ プさせるため、Poly-Si のエッチングの際に酸素流量および圧力を調整した結果で ある。これに関しても後処理にて完全に除去することが可能である。これらのプロ セスは単体素子プロセスからの転用であるため、完成度は高い。これは今回のセル アレーの設計を、単体素子プロセスとの共通点が多くなるよう留意した結果である。 図 4-2-2-5 に CG の Poly-Si 成膜後の FG 間の埋め込みの様子を示す。図中では FG のゲート長(L<sub>des</sub>)、FG-FG 間のスペース(S<sub>des</sub>)、CG Poly-Si の膜厚をパラメータとし

ている。

	L <sub>des</sub> =50nm	L <sub>des</sub> =75nm	L <sub>des</sub> =100nm
CG Poly=70nm S <sub>des</sub> =150nm			
CG Poly=70nm S <sub>des</sub> =100nm			
CG Poly=100nm S <sub>des</sub> =150nm			
CG Poly=100nm S <sub>des</sub> =100nm			

図4-2-2-5 CG Poly-Si成膜後のFG間の埋め込みのSEM写真

 $S_{des}$ を小さくし、CG の Poly-Si 膜厚を厚くすることで FG-FG 間が埋め込まれ、縦 方向に一続きのワード線を形成していることが分かる。また  $L_{des}$ が長い場合も FG-FG 間のスペースが小さくなり、結果として FG 間の埋め込み特性が向上する。今回の結 果から、FG 間を埋め込むことでワード線として用いることが可能であることが分か った一方で、ゲート長をスケーリングする場合には FG-FG 間隔もそれに合せてスケ ーリングしないと、CG の Poly-Si を薄膜化することができないことも明らかになっ た。その後 TEG の修正を行い FG-FG 間隔についてさらに検討を行った結果、例えば ゲート長を 50nm までスケーリングした場合、FG-FG 間隔を 40nm まで狭めることが 可能であると判明した。

図 4-2-2-6 は CG の Poly-Si をエッチバックした後の SEM 写真である。周辺部分の 引き出しパッドは EB リソグラフィにより形成する一方で、CG とそれを縦方向につ ないだワード線は FG と自己整合的に形成できていることが分かる。このように、 FG-FG 間隔、Poly-Si 膜厚、およびエッチバック条件を調整することで、CG をチャ ネルと垂直方向に延在させてワード線を形成することが可能であることを具体的な 試作を通じて示すことができた。



L<sub>des</sub>=50nm

L<sub>des</sub>=75nm





CG Poly=100nm S<sub>des</sub>=100nm

図4-2-2-6 CG Poly-Siエッチバック後のSEM写真

(iii) セルアレーの試作結果(バックエンドプロセス)

AND 型のセルアレーを構成するにあたっては、ソース・ドレインから引き出した メタル配線をセルアレー上に配置する必要が生じる。従来、単体トランジスタの評 価においてはフロントエンドプロセス終了後、常圧 CVD 法および SOG 法による層間 膜を成膜してメタル配線プロセスを行っていた。しかしこのプロセスではアレー部 における平坦性が十分ではなく、その結果層間膜の凸部でレジストの薄膜化が生じ、 メタルエッチングの途中でレジストがなくなってしまうため、図 4-2-2-7 に示すよ うに断線が発生してしまう。



図 4-2-2-7 セルアレー上のメタル断線部分

この問題を解決するため、厚塗りが可能でより段差被覆性の優れた新規 SOG の DTM 適用を検討した。新規 SOG には東レ・ダウコーニング・シリコーン社の FOx (Flowable Oxide)を選択した。FOx は HSQ を用いることで低温でのベーク・キュアにおいても 優れた流動性を示すため、セルアレーの平坦性向上が期待できる。また FOx は無機 SOG であり、コンタクトホールのエッチングにおいてカーボンの影響を考慮する必 要が無い。さらに誘電率が約 3.0 と低く、メタル配線の層間膜として非常に優れた 特性を有している。図 4-2-2-8 に、従来の SOG と FOx の塗布特性を示す。塗布装置 がダイナミックディスペンスに対応していないため、従来の SOG では 500rpm で 10 秒ほどの塗布時間を設定していたが、FOx を用いる場合はこの 10 秒ほどで塗布後の 最終膜厚が決定されてしまう。そのため塗布レシピ自体を新規に作成し最適化を行 った結果、FOx-12 を用いれば 100nm~200nm の層間膜を成膜することが可能である ことが分かった。従来のシリケート系 SOG ではこのような厚膜を一度に形成するこ とは難しく、さらに膜応力が大きいために厚膜ではクラックが生じる危険性がある。 FOx の場合には、さらに厚い膜に関しても粘度の高い FOx-13 や FOx-14 を用いるこ





とで対応が可能である。

FOx を用いて DTM のセルアレーを埋め込んだ結果を図 4-2-2-9 に示す。SOG のキュ ア温度は 450℃に設定した。観察した部分は LOCOS 上に FG および CG が乗り上げて いる最も段差の大きい部分であるが、SOG 膜厚を厚くすることで平坦性が飛躍的に 向上していることが分かる。また SOG 膜厚が 135nm の場合に着目すると、凸部の CVD -SiO<sub>2</sub> 膜上には SOG はほとんど塗布されないのに対してセル間の溝は十分埋め込ま れており、FOx が優れた埋め込み特性を有していることが分かった。



図 4-2-2-9 FOx によるセルアレーの埋め込み特性

FOx はこのように優れた埋め込み特性を示すが、HSQ が水素を含むことからキュア 後の酸化膜中にも水素の含有量が多く、その結果としてドライ・ウエットエッチン グの速度が通常の CVD 酸化膜や熱酸化膜に対して速いことに注意する必要がある。 また膜質の異なる酸化膜の積層構造においては、各々の単層での特性と異なる挙動 を示す場合も多い。今回のキュア条件では、ドライエッチングの速度は CVD 酸化膜 が 275nm/min に対して SOG は 328nm/min と 2 割程度の増加に留まっている。しかし 図 4-2-2-10 に示すように、20%のオーバーエッチング条件では CVD 酸化膜が露出し た点でコンタクトホールのエッチングがストップしており、ソース・ドレイン領域 を十分露出させるためには 50%程度のオーバーエッチングが必要となる。なお図 4-2-2-10 ではコンタクトホールの形状がボーイングになっているが、これは後述す るようにエッチング条件を改善することで解決可能である。

また FOx により形成した酸化膜の DHF によるウエットエッチングの速度は低温の 常圧 CVD 酸化膜に対しても 10 倍以上速く、0.5%の HF に対して 100nm/min 程度のエ ッチング速度を持つ。したがって、コンタクトホール開口後の後処理やメタル成膜 前の前処理に HF を用いることはできず、コンタクト抵抗が高くならないように注意 を払う必要がある。



CVD-SiO<sub>2</sub>

SOG による平坦化を行うことでメタルの断線は解決することができるが、逆にコ ンタクトホールのアスペクト比が増加するためホールの形状が悪化し、さらにメタ ルの埋め込み特性も悪化するという問題が生じる。ホールの形状に関しては、エッ チングの装置および条件を変えることで改善を試みた。図 4-2-2-11 は従来のエッチ ング装置によるコンタクトホールの形状を、新しいエッチング装置によるホール形 状と比較した結果である(図 4-2-2-10 と同様に、表面にレジストが残っている状態 での断面 SEM 写真)。ガス系は CF<sub>4</sub>/CHF<sub>3</sub>/Ar で共通であり、流量比もほぼ一定とした。 従来の装置では開口径が小さい場合、エッチングが途中でストップしてしまう。ま た開口径が大きい場合でも、その形状はボーイングであり、その後のメタル埋め込 みには不利である。さらに、いずれの場合においてもサイドエッチ量が大きく、狙 いの開口径に対してホールのサイズが大きくなる傾向が顕著である。一方、新しい 装置では開口径によらず形状は垂直であり、サイズもデザイン通りに仕上がってお り、良好な結果を得ることができた。



図 4-2-2-11 エッチング形状の装置およびサイズ依存性

図 4-2-2-10 コンタクトホールでのエッチングストップ

図 4-2-2-11 では新しい装置を用いることにより垂直なコンタクトホールを開 ロできることを示したが、アスペクト比の高いホールに関しては、テーパ形状にな っている方がメタルの埋め込みに関して有利である(もちろん、ボーイング形状に なっていないという前提で)。そこで、エッチングの条件を調整することによりテー パ角の制御を試みた。その結果を図 4-2-2-12 に示す。エッチング条件としては、以 下のパラメータがテーパ角の制御に有効であることが分かった。

CF<sub>4</sub>/CHF<sub>3</sub>の流量比

電極温度

RF Bottom Power

CHF<sub>3</sub>はガス中に含まれる水素がエッチング中により生じた CF<sub>3</sub>と反応し、CF<sub>2</sub>や CF など不対電子を 2 個以上持つ不飽和種を生じさせる。これらの不飽和種はお互いに 重合しやすいため、これらが先駆物となって安定な重合体(デポ物)を生じやすくさ せる効果がある。また、電極温度を下げることで重合が促進され、このデポ物は生 じやすくなる。さらに RF の Bottom Power はエッチング種の加速引き込みに寄与し ており、この値を小さくすることでデポ物が生じやすくなる。つまり、上記 3 つの 値がより低い条件において、デポ物が生じやすくなるため、テーパ角が小さくなる 傾向にある。条件 A、B ともに図 4-2-2-11 に比ベテーパがついており、テーパ角は A<B であるが、テーパ角が小さすぎると逆に Si とメタルとのコンタクト抵抗が増 加する可能性があるため、今回は条件 B を標準条件として用いることにした。



図 4-2-2-12 エッチング条件によるテーパ角の制御

条件 B を DTM のロットに適用した結果を図 4-2-2-13 に示す。SOG により平坦化さ れアスペクト比が大きくなったコンタクトホールにおいても、適切な角度を持って 開口できていることが分かる。

これまで、セルアレーにおける配線の断線を避けるために SOG を導入し、SOG の 導入によりアスペクト比が大きくなったコンタクトホールを開口するために、新し いエッチング装置と条件を適用したことを説明した。しかし、コンタクトホールの アスペクト比が大きくなることで最も大きな問題となるのが、ホールへのメタル埋 め込みである。これは我々のメタル成膜装置がコンベンショナルなスパッタ装置で あり、ターゲットとウエハの間隔が短いために、成膜途中でオーバーハングが生じ てしまうことに起因している。ホールの開口径を変えた場合のA1の埋め込み特性を 調べた結果を図 4-2-2-14 に示す。まず初めにコンタクト抵抗低減を目的としたシリ サイド層形成のため Ti を 20nm 成膜し、その後 A1の拡散を抑制するためのバリアメ タルとして TiN50nm を成膜した後、450℃の熱処理を加え、最後に A1 を 500nm 成膜 した。A1の成膜温度は室温 (Room Temperature, RT)である。この図から分かるよう に、いずれのサイズにおいても A1のオーバーハングが生じており、コンタクトホー ルを埋め込むことができない。このことから、A1の成膜条件を改善する必要がある ことが判明した。

このA1の埋め込み特性を改善するために、まず初めにA1の成膜温度をRTから上 げる実験、および成膜後に熱処理を加える実験を行った。A1は金属の中でも融点が 約 660℃と低く、高温でのスパッタリングにおいてはA1が流動性を示すことで埋め 込み特性が改善することが知られている。なお、今回の実験においては成膜中にA1 の温度を上げることをHot A1、成膜後にスパッタリング装置中で熱処理を加えるこ とをA1 Reflow と呼んで区別する。A1成膜後、大気中に取り出してしまうと表面に アルミナと呼ばれる安定な酸化膜が形成されてしまうため流動性は期待できないが、 高真空(Base Pressure < 1.0E-7Torr)のスパッタリング装置中で熱処理を加える場 合はこのような酸化膜が形成されていないため、埋め込み特性が改善することが期 待できる。まず図 4-2-2-15 に、A1の成膜温度を 400℃まで上げた場合の埋め込み特 性の変化を示す。



図 4-2-2-13 改善されたエッチング条件によるコンタクトホールの開口

図 4-2-2-14 標準条件における A1 の埋 め込み特性

A1の成膜温度を上げることで埋め込み特性は劇的に改善し、直径が260nm以上で あれば埋め込みが可能となることが分かる。しかしA1を400℃で成膜した場合、成 長中にグレイン成長が生じて表面が白濁化し、その後のロット流品に悪影響を及ぼ す。またグレイン成長が著しくなると粒界部分で下地のTiNが露出するようになり、 これはA1を配線として用いる場合、その部分で断線してしまうことを意味する。



図 4-2-2-15 400℃の Hot Al における埋め込み特性

そこで、次に 200℃と A1 の白濁が起こらない程度の温度で Hot A1 を成膜し、続いて Reflow を行うプロセスを検討した。図 4-2-2-16 に Reflow の温度を 350℃(上部)および 400℃(下部)で行った場合の埋め込み特性の変化を示す。350℃の場合には 260nm のホールが埋め込まれている一方で、280nm のホールは埋め込まれておらず、安定して埋め込みできるには 300nm のサイズが必要である。一方 400℃の場合は Hot A1 の場合と同様に 260nm 以上のホールで埋め込みが可能となるだけでなく、表面の白濁もより軽微に抑えられている。したがって、200℃の Hot A1 と 400℃の A1 Reflow を組み合わせることで、260nm 以上のホールであれば表面荒れを抑制しつつ、埋め込みが可能であることが分かった。ただしセルアレーには多くのコンタクトホールが形成されているため、実際にはマージンをみて 300nm 以上のホール系で TEG をデザインすることが好ましいと考えられる。

図 4-2-2-16 にて検討した A1 の成膜条件を DTM のロットに適用した結果を図 4-2-2-17 に示す。なお、この場合のホール径は 300nm である。S0G の適用により A1 が平坦化されているだけでなく、アレー中のコンタクトホールにも A1 の十分に埋め 込まれていることが分かる。また、4x4 のミニアレーの配線に関して、露光後およ びエッチング後の表面 SEM 写真を図 4-2-2-18 に示す。この場合の配線ピッチは 1µm である。S0G により段差が平坦化された結果、リソグラフィは非常に容易になった。 そのため、配線のエッチング後も A1 の断線は生じていない。このように、S0G によ る段差平坦化と A1 のリフロープロセスを用いることでセルアレーによる A1 配線が 可能となった。なお、図 4-2-2-18 に関してエッチング後の A1 配線が露光後に対し 太くなっているのは、コンタクトホールとの合わせずれのマージンを増加させるた め、意図的にエッチング条件を調整した結果である。



図 4-2-2-16 Al Reflow 温度による埋め込み特性の変化:上部(350℃)、下部(400℃)

なお、現在はより微細なコンタクトホールにて A1 の埋め込みが可能となるように、 新規スパッタ装置に A1 のターゲットを取り付け、条件だしを行っている最中である。 新規スパッタ装置はいわゆるロングスロースパッタ (LTS) であり、ターゲットとウエ ハ表面の距離がコンベンショナルなスパッタ装置に比べて長いため、埋め込み特性 の向上が期待でき、より微細なセルアレーの評価につながると考えられる。



図 4-2-2-17 DTM のセルアレーにおける A1 の埋め込み特性



図 4-2-2-18 DTM のセルアレーの配線エッチング前後の表面 SEM 写真

(iv) 単体素子、およびセルアレーの測定結果

これまで述べたように、セルアレーの試作は基本的には単体アレーの試作プロセスを流用できるようになっているが、バックエンドプロセスに関してはアレーに起因する専用プロセスの開発も必要であり、その条件出しに多くの時間を費やした。特にコンタクトホールやメタル配線の条件だしに関しては、修正を行う場合はレチクルを用意する必要があり、EB 露光によりマスクレスでデータ変更が可能な層と比べ実験結果をフィードバックするのに時間と労力を要する。そのため、アレーの測定に関しては進捗が遅れているのが現状である。またアレーの測定を難しくしているもう一つの要因は、DTMの測定は通常のトランジスタで行われているようなDC 測定からは多くの情報を得ることができず、書き込み・消去、リテンション、エンデュランス、ディスターブといった各種の測定に対してパルス測定が必要である、という点にある。そのため今期はまず、アレーの測定に入る準備段階として、単体セルの各種パルス測定に関して、測定の自動化を行った。また、セルアレーに関しては現在パルス測定をプログラム中であるため主としてDC 測定を行い、初めて電気特性を取得することに成功した。

まず初めに、単体素子の書き込み・消去のパルス測定の測定概念図を図 4-2-2-19

に示す。通常のVg-Id 測定のようにソース・ドレイン間を貫通する電流を電流センス で測定する方法では、電流測定時間中に素子の状態が変化してしまう上、測定行為 自体がディスターブとなるため、正しい値を得ることができない。そのため、パル ス測定においてはソースをオシロスコープの入力抵抗 50Ωの端子に接続し、その両 端に発生する電圧をモニタすることで、高速に電流値として変換する手法を用いた。

なお、セルフヒーティングが問題となる SOI ウエハを用いた素子のパルス測定で は、バイアス・ティーを利用して DC 回路と AC 回路を切り分ける手法が提案されて いる。この方法は、電流が流れた瞬間にソース端子に電圧が生じてしまう図 4-2-2-19 に比べて、ゲートやドレインの電圧を補正する必要が無いという点で優れている。 しかし、逆にこの方法では読み出し動作は AC 回路に限定されるため、測定系全体に 高いバンド幅が要求される上、DC 的なディスターブ特性を測定することも難しいこ とから、今回は採用しなかった。



図 4-2-2-19 書き込み・消去のパルス測定の概念図

書き込み測定を開始すると、測定用プログラム VEE でコントロールされた半導体 パラメータアナライザ 4156C が、パルスジェネレータ 41501B を起動して、二つのパ ルスを発生させる。ただし、ここで発生できる最小のパルス幅は 1µm であり、DTM のように高速動作する素子に対しては直接端子電圧として用いることができない。 41501B により発生したパルスの一つは、ゲート電圧を発生させるパルスジェネレー タ 8110A をトリガし、まずゲートに書き込みパルスを印加する。もう一つのパルス はパルスジェネレータ 8114A をトリガし、ゲート電圧印加後すぐ、例えば 1µs 後に 8114A がドレインに読み出しのパルスを印加する。一方、8110A は 2 チャンネルのパ ルスジェネレータであるため、もう一つのチャネルが例えば 1.1µs 後にゲートに読 み出しパルスを印加すれば、書き込みから 1.1µs 後、ドレイン電圧が印加されてか ら 100ns 後にソースに読み出し信号が発生する。読み出し信号はオシロスコープ Infinium により瞬時に測定され、さらに測定された波形はノイズの影響を除くため ヒストグラム解析され、正規分布の標準偏差が設定した値以下に収まる信号のみが ファイルにセーブされていく。

このような自動化プログラムにより、セルアレーと同時に形成された単体素子の

書き込み・消去特性を測定した結果を図 4-2-2-20 に示す。ゲート長は 50nm、トン ネル酸化膜厚は約 1.5nm であり、このような極薄酸化膜を用いた場合にはパルス測 定が必須となるが、自動化プログラムによりノイズの影響を除去した結果、各素子 の傾向が明瞭に示されている。読み出し時間はヒストグラム解析に十分なデータ数 を確保するよう、今回は 500ns に設定した。なお、書き込み電圧の絶対値はそれぞ れ 5V(赤)、4V(青)、3V(緑)である。また読み出しの際のドレイン電圧は 1V、ソース と基板の電圧は 0V であり、ゲート電圧は初期状態の読み出し電流が素子によらずに 一定となるよう調整した。

図 4-2-2-20 の左側は素子の FG 濃度依存性を示す。前回報告したように、ゲート 空乏化により基板でのバンド曲がりが緩和される結果、消去("1")状態における基 板からの電子注入が抑制され、書き込み("0")状態との電流差が取れるようになる が、その様子が明瞭に示されている。また、ゲート空乏化によりわずかではあるが 書き込み側の速度が劣化しているが、これは報告したシミュレーションによる素子 の性能予測と傾向的に一致している。一方、図 4-2-2-20 の右側は素子の基板濃度依 存性を示す。基板濃度は素子の閾値電圧には影響を及ぼすが、一旦チャネルがオン してしまえば書き込み速度は FG とソース間の電位差で決まるため書き込み速度に 影響を与えない、という考察を裏付ける結果を得ることができた。一方、"1"状態 の電流に関しては基板濃度を 1.2E+13cm<sup>-2</sup>まで増加させると逆に減少するという新 しい知見が得られた。シミュレーションによる予想では、基板濃度の高濃度化とゲ ートの空乏化は基本的には同じ効果であり、FG と基板の間にかかる電圧の取り合い で素子の性能が決まると予想していたが、実際には別の効果も考慮する必要がある ことが判明した。

次に図 4-2-2-21 の左側に、素子のゲート長依存性を示す。ゲート長が短くなるほ ど素子の閾値電圧が低くなり、スケーリングが低閾値電圧化に寄与するという良好 な結果が得られた。"1"状態での電流がゲート長のスケーリングにより小さくなっ ているのは、単に読み出しのゲート電圧もスケーリングされた影響である。左図で 注目すべきもう一つの特徴は、素子の微細化により特に消去側の動作速度が高速化 しているという点である。書き込み速度がそれほど変化していないことから、これ は単純に容量結合比が増加したことが原因ではないと推測され、更なる検討が必要 であると考えられる。容量結合比による動作速度の高速化は、低電圧化にしたがい コントロール酸化膜の容量増加にキャンセルされてしまうことから考えても、別の 要因を考慮する必要性がある。一方右側は、シミュレーションにて3.3V での高速動 作が予想される、トンネル酸化膜1.2nmのDTM素子を初めて試作した結果である。 FG 濃度の違いによる素子特性の違いは1.5nmの場合と同様であるが、いずれの素子 においても 3V で 20ns 以下の高速動作を実現できており、携帯機器用途に向けて有 望な結果を得ることに成功した。



図 4-2-2-20 パルス測定した高速 DTM 素子の書き込み・消去特性 (左:FG 濃度依存性、右:基板濃度依存性)



図 4-2-2-21 パルス測定した高速 DTM 素子の書き込み・消去特性 (左:ゲート長依存性、右:1.2nm のトンネル酸化膜における FG 濃度依存性)

一方、リテンションの測定に関しても図 4-2-2-19 とほぼ同様の構成で測定の自動 化を行った。その測定結果の一例を図 4-2-2-22 に示す。ゲート長は 50nm、トンネ ル酸化膜厚は約 1.5nm であり、読み出しの際のドレイン電圧は 1V、ソースと基板の 電圧は 0V、ゲート電圧は初期状態の読み出し電流が素子によらず一定となるよう調 整した。左側の図はリテンション特性の FG 濃度依存性であるが、FG 濃度を減少さ せることで空乏化が生じ、特性が劇的に改善している様子が見て取れる。一方右側 の図はリテンション特性の基板濃度依存性を示すが、4.0E+12cm<sup>-2</sup> から 6.0E+12cm<sup>-2</sup> へ基板濃度を増加させると特性が改善しているのは予想通りであり、これはシミュ レーションの結果とも一致している。一方濃度を 1.2E+13cm<sup>-2</sup>まで増加させても特性 はあまり改善しない。これは書き込み特性の"1"状態の電流が増加しないことに対 応していると予想されるが、シミュレーションの傾向とは矛盾する。この現象の正 確な原因は不明であり、今後更なる考察が必要である。またリテンションを考慮す る場合には、特に基板濃度が高い場合は酸化膜のトラップ、あるいは酸化膜/Si 界 面の界面準位の影響を考慮する必要があり、書き込み・消去特性とは別の原因で特 性が決まっている可能性も否定できない。

図 4-2-2-23 には、3V で 20ns の高速動作が可能であった素子のリテンション特性 を示す。最適な空乏化を行った場合は1s以上のリテンション時間が得られているが、 シミュレーションにより得られた限界性能に対しては約一桁改善の余地がある。こ れは前述したような界面準位の影響かもしれないし、あるいは酸化膜厚の揺らぎが 影響している可能性もある。しかし、この1sというリテンション時間はDRAM のリ フレッシュ時間と比べればまだ優れた特性であり、3V の高速動作と秒単位のリテン ション時間を両立可能であることを改めて示すことができた。

このように、単体素子に関してはパルス測定を自動化し、多くの知見を得ること に成功した。一方、セルアレーに関しては、試作自体は完成したものの、パルス測 定に関する多くの問題を全て解決するには至らず、現在 DC 測定による評価のみ行っ ている状況である。セルアレーのパルス測定に関しては、電圧振幅の限られた多チ ャンネルのパルスジェネレータを有効に使うためにインピーダンスマッチングの取 れたパッドを用いる必要があり、現在この問題を早急に解決すべく注力している。

図 4-2-2-24 に、DC 測定にて評価した単体素子の V<sub>6</sub>-I<sub>0</sub> 特性と、4x4 のミニアレー 中の一つの素子の V<sub>6</sub>-I<sub>0</sub> 特性を測定した結果を示す。この図から、セルアレー中の素 子も明確なヒステリシス効果を示しており、前述したフロントエンドプロセス、お よびバックエンドプロセスがうまく機能して、測定可能なセルアレーを完成するこ とができたことを示している。図中でノイズレベルが異なるのは測定系に問題があ るとして、注目すべき点は素子の初期状態の閾値電圧が大きく異なる点である。閾 値電圧に影響を与える要因としては基板濃度、FG 濃度、そしてゲート抵抗などが考 えられるが、今後 DC 測定に加えて AC 測定を立ち上げることで、単体素子とアレー での特性の違いを解析し、今後の試作にフィードバックしたいと考えている。それ に合せてセルアレーのディスターブ特性も早急に評価可能な状態にできるよう、更 なる測定系の立ち上げを進める予定である。



図 4-2-2-22 パルス測定した高速 DTM 素子のリテンション特性 (左:FG 濃度依存性、右:基板濃度依存性)



図 4-2-2-23 パルス測定した高速 DTM 素子のリテンション特性 (トンネル酸化膜厚 1.2nm の場合)



図 4-2-2-24 単体素子、およびセルアレー中の素子の V<sub>G</sub>-I<sub>D</sub>測定(Double Sweep)

## 4-2-3 シミュレーションによる解析

これまで我々は、携帯機器用途に向けて更なる低電圧化の検討と開発 TAT 短縮の ために TCAD を用いて DTM のデバイス特性(書き込み特性、記憶保持特性)の解析と 特性の向上を検討してきた。構造パラメータを最適化することによって、動作電圧 を 3.3V に低電圧化してもトンネル酸化膜厚を 1.2nm にした時、書き込み速度 30ns, データ保持時間 10s を実現できる見通しを得ることが出来た。

そこで今年度には、ディスターブの解析を行った。DTM におけるディスターブに は、ゲートディスターブ・ドレインディスターブ・リードディスターブがある。ゲ ートディスターブは、ゲートに電圧を印加した時にゲートを共有する隣接セルでの データの劣化を意味する。これについては、隣接セルの S/D ヘバイアスを印加する ことによって抑制できると考えている。また、DTM ではデータ保持特性を向上させ る為に S/D と浮遊ゲートはオフセットする構造を取っている。この為、ドレインデ ィスターブの影響は少ないと考えている。これに対して、リードディスターブ(Read disturb)は DTM にとって重要な問題となっている。DTM では、超薄膜酸化膜を用い ているために、読み出し動作時においてもダイレクトトンネル電流によって浮遊ゲ ート(FG)に charge が注入されてしまい、特に消去時においての情報の誤書き込みが 深刻である。ここでは、この Read disturb を軽減すべく、TCAD(ISE:デバイスシミ ュレータ DESSIS)を用いて評価したので報告する。

また、Read disturb 特性向上の可能性を探るべく、埋め込みチャネル型 DTM について Read disturb,書き込み、データ保持特性を評価したので報告する。

# **4-2-3-1** Read disturb の解析

(i) シミュレーション構造と条件

DTM のシミュレーション構造と構造パラメータを図 4-2-3-1 に示す。Read disturb に影響する構造パラメータとして基板濃度( $N_{sub}$ ), FG 濃度( $N_{fg}$ ), S/D オフセット量 ( $L_{offset}$ )の依存性および、読み出し条件のパラメータとして読み出し電流( $I_d$ ),ドレ イン電圧( $V_d$ )依存性について評価した。読み出し電圧( $V_{cg}$ )については、任意の読み 出し電流( $I_d$ )を得るための制御ゲート(CG)電圧として抽出した。ここで、他の構造 パラメータは、酸化膜厚=1.2nm,コントロール酸化膜厚=5nm,CGボトム酸化膜厚=4nm, ゲート長=100nm とした。

読み出し電圧( $V_{cg}$ ,  $V_d$ )については、以下に示すような同期の入力パルスとした。 (この時、 $V_s=V_b=0V_o$ )



図 4-2-3-1 シミュレーション構造とパラメータ

(ii) 基板濃度依存性、Vd 依存性

基板濃度(N<sub>sub</sub>)の高濃度化によって、書き込み速度を落とすことなく保持特性を大 幅に改善できることは前回の報告で明らかにした。しかし、読み出し動作において N<sub>sub</sub>が高くなると閾値(V<sub>tb</sub>)が大きくなる為に、Disturbの特性としては不利になるこ とが予想される。そこで、ここでは N<sub>sub</sub>=1e18cm<sup>-3</sup>と 2e18cm<sup>-3</sup>に対して over Erase 状 態 (平衡状態の charge 量+5e-16(C/ $\mu$ m)) での読み出し動作をシミュレーションし、 FG 中の charge 量の変化を求めた (図 4-2-3-2)。ここで、読み出し電流が 40 μ A/μm となる制御ゲート電圧を V. として定義した。読み出し動作時に、チャネルから負 charge が FG に tunneling し、FG charge が時間とともに減少していく様子が見られ る。N<sub>sub</sub>が 1e18cm<sup>-3</sup>から 2e18cm<sup>-3</sup> へと高濃度になると charge 減少の傾きは大きくな る。また、V<sub>a</sub>依存性も大きく、V<sub>a</sub>を1Vと大きくした方が V<sub>cg</sub>への印加電圧が小さく てすむために、chargeの減少が抑えられる。図 4-2-3-3 は、V<sub>4</sub>=1V の場合の FG charge の変化量( $\Delta Q_{f_{a}}$ )の時間依存性を示す。 $N_{sub}=2e_{18cm}^{-3}$ の場合には、 $\Delta Q_{f_{a}}$ は約2倍変 化している。図 4-2-3-4 は、charge 変化を  $\Delta V_{th}$  に変換した図である。ここで、  $\Delta V_{th}$ は FG charge=0の状態からの、すなわち平衡状態からの V<sub>th</sub>のシフト量を表した値で ある。 $N_{sub}$ が高濃度の方がやや $\Delta V_{tb}$ の傾きは大きいが、charge の変化量に比べて $\Delta$ V<sub>th</sub>で見ると disturb への影響はさほど大きくないことが分かった。



図 4-2-3-2 FG charge の N<sub>sub</sub> 依存性



図 4-2-3-3 ΔQ<sub>fg</sub>の N<sub>sub</sub> 依存性



(iii) 読み出し電流依存性

図 4-2-3-5 に、読み出し電流が  $20 \mu A/\mu m$  (緑線) と  $40 \mu A/\mu m$  (青線) の場合の FG charge 量の変化を比較した結果を示す。ここでは、 $N_{sub}=2e18cm^{-3}$ ,  $N_{fg}=5e18cm^{-3}$ ,  $V_d=1V$  とした。 $V_{cg}$  はそれぞれの電流値が流れるときの電圧として抽出した。読み出 し電流値が少ないほうが FG の charge の減少は少なく、すなわち Disturb は良くな っていることが分かる。これは、読み出し電流が少なければ  $V_{cg}$  に印加される電圧も 減少するためである。従って、Disturb を軽減するには、読み出し電流を

少なくすることが効果的であることが分かった。

しかし、読み出し電流が小さすぎると Program/Erase 状態の違いをセンスするのが困難になり、また、逆に大きくすると、消費電力の UP になる。従って、読み出し 電流値は両者との兼ね合いで決定する必要がある。

#### (iv) FG 濃度依存性

FG の空乏化は、Retention 特性の改善に有効であるが、Read Disturb への影響を Erase 状態での読み出しで見た。FG charge 量の変化を図 4-2-3-6 に、 $\Delta V_{th}$ に変換 した結果を図 4-2-3-7 に示す。空乏化している場合 (N<sub>fg</sub>=5e18cm<sup>-3</sup>)には、V<sub>cg</sub> への印加 電圧が高いにもかかわらず charge の減少の仕方は緩やかであることが分かる。この 時、FG にはどちらも 1 V 以上の電圧がかかっている。これは、FG には空乏層が生成 されることによって電圧が消費され、さらに見かけ上の酸化膜厚が厚くなるために チャネルからの charge 注入が抑制される為と考えられる。したがって、V<sub>cg</sub> への印 加電圧が大きくても charge の傾きは緩やかになる。ところが、これを  $\Delta V_{th}$  で見る と charge 変化の違いに比べて N<sub>fg</sub> 依存性は殆ど無いように見える。これは、N<sub>fg</sub> が低 濃度になったことによってカップリング比が増加し、charge の変化量が V<sub>th</sub> へ影響 する感度が大きくなるためであると考えられる。これらのことから、Read disturb を考える場合には、FG charge の減少を抑えるには N<sub>fg</sub> は低濃度の方が良いが、 $\Delta V_{th}$ の観点からは disturb 軽減は大した効果は無いことが分かった。



図 4-2-3-6 FG charge の N<sub>fg</sub>依存性

図 4-2-3-7 ΔV<sub>th</sub>の N<sub>fg</sub>依存性

(v) S/D オフセット量(L<sub>offset</sub>)依存性

S/D と FG のオフセット( $L_{offset}$ )を大きくすることは、保持特性を改善するのに有効 であることはすでに解析した。そこで、Read disturb に対しての  $L_{offset}$  依存性 (30, 50, 80nm)を評価した結果を図 4-2-3-8 に示す。(a)では、Write 状態 (FG charge: 平衡状態 charge - 5e-16(C/um))での読み出しの場合の FG charge 量の変化を、 (b)では Erase 状態 (FG charge:平衡状態 charge +5e-16(C/um))での読み出しの場 合を示す。また、読み出し電流は 4 O  $\mu$  A/ $\mu$ m、Vd=1V とし、読み出し電圧( $V_{cg}$ )は Erase 状態で抽出した電圧を Write 状態にも印加した場合で比較した。Erase/Write 状態 ともに、 $L_{offset}$ の少ないほうが  $V_{cg}$ も低く、disturb は良くなっていることが分かる。 (c)では Write/Erase 両者を同一スケールで表示した。Erase のほうが charge 変化 が大きいことが分かる。

次に、 $V_{cg}$ -I<sub>d</sub>特性を比較した結果を図 4-2-3-9 に示す。Erase 状態での特性は L<sub>offset</sub> 依存性が大きく、L<sub>offset</sub>が大きい程 Write 側との $\Delta V_{th}$ は小さくなっている。これに対 し、Write 状態での特性には L<sub>offset</sub> 依存性は Erase 状態に比べて少ない。そこで、  $V_{cg}$ =0.5V でのチャネル領域の表面ポテンシャルを比較した結果を図 4-2-3-10 に示す。 (a)は Erase 状態, (b)は Write 状態の場合である。Erase 状態の場合には、ポテン シャルのピーク位置に L<sub>offset</sub> 依存性が見えており、L<sub>offset</sub> が小さい方がピークは低く なっている。このことから、Erase 状態での  $V_{th}$ は CG 下のチャネルポテンシャルが 制御していることが分かる。これに対し、Write 状態の場合には FG 下のチャネルポ テンシャルが上がるために、 $V_{th}$ は FG 下のチャネルが制御することになり、そのた め  $L_{offset}$  依存性は殆ど表れない。

以上より、Read disturb における L<sub>offset</sub> 依存性は、Erase 状態での読み出し時に大きな違いが見え、L<sub>offset</sub> は小さいほうが disturb が良くなることが明らかになった。





图 4-2-3-10

(a) チャネル表面ポテンシャル (Erase)

(b) チャネル表面ポテンシャル (Write)

(vi) Read disturb 限界条件の抽出

Read disturb 軽減のためには、読み出し電流を小さくし、読み出し時の印加電圧 としては  $V_d$ を大きく、 $V_{cg}$ を小さくする必要があることが分かった。また、 $L_{offset}$ を 小さくして CG 下のチャネル抵抗を少なくする必要があることも示した。

これらの解析結果から、disturb に良い条件として

 $N_{sub}=2e18cm^{-3}$ ,  $N_{fg}=5e18cm^{-3}$ ,  $L_{offset}=30nm$ 

読み出し電流=20 $\mu$ A/ $\mu$ m, V<sub>d</sub>=1V, V<sub>cg</sub>=1.05V

にした時の Erase 状態での Read disturb 限界条件を求めた。限界条件としては、 読み出し電流値が 2 0  $\mu$  A から 1 5  $\mu$  A まで減少した時を定義した。このときの  $I_d$ - $V_{cg}$ 特性を図 4-1-4-11 に示す。FG に charge が注入されるにつれてドレイン電流 が減少していく様子がわかる。これより、読み出し時間の限界は 300ns であり、10ns の pulse をかけた場合には 30 回の読み出しが限界となることが分かった。

以上より、高速 DTM においては Word Line ごとの読み出し破壊ととらえ、再書き 込みが必要であるという見解を得た。



図 4-2-3-11 読み出し電流の時間依存性

## 4-2-3-2 埋め込みチャネル型 DTM の解析

Disturb 特性の改善策として、埋め込みチャネル型 DTM の可能性を検討した。埋め込みチャネルにすることによりチャネル表面の濃度を低濃度化(n-type)し、ゲートを p-type にすることで表面を空乏化して、Read Disturb における限界時間を改善することが期待される。また、埋め込みチャネル構造にした時の書き込み特性や保持特性についても解析を行ったので報告する。

(i) シミュレーション条件

埋め込みチャネル型 DTM 構造は、図 4-2-3-1 に示した構造(以下 normal DTM と呼ぶ)を基準にし、control gate(CG), floating gate(FG)は P-type の poly-Si gate とした。基板濃度は p-type の 2e18cm<sup>-3</sup>一定濃度とし、チャネル領域は n-type のガ ウス分布で指定した。図 4-1-4-12 に平衡状態でのポテンシャルの様子とシミュレーション条件を示す。また、チャネルプロファイルの決定条件は

チャネル表面は n-type

V<sub>cg</sub>=0V でのリーク電流(I<sub>d</sub>) < 1e-14 A/μm

とし、これを満たす条件としてピーク濃度(5e-17cm<sup>-3</sup>)およびピーク位置(20nm)を 決定した。

また、チャネルプロファイルには、ガウス分布

$$\frac{1}{\sqrt{2\pi}\sigma} \exp\{-\frac{(\mathbf{x}-\mathbf{x})^2}{2\sigma^2}\}$$

の σ を変化させた。



図 4-2-3-12 シミュレーション条件(平衡状態での potential 分布)

(ii) Read disturb 特性の比較(表面チャネル構造と埋め込みチャネル構造、N<sub>fg</sub> 依存性)

normal 構造(表面チャネル) DTM と埋め込みチャネル構造 DTM で、Read disturb を比較した結果を図 4-2-3-13 に示す。 $V_d=1V$ , 読みだし電流( $I_d$ )=20 $\mu$  A/ $\mu$ m となる  $V_{cg}$ を印加したときのドレイン電流( $I_d$ )の時間依存性を表している。この時の FG は、 Erase 状態であり、初期の charge 量は平衡状態+5e-16(C/ $\mu$ m)とした。さらに、埋 め込み構造の場合には、 $N_{fg}$ を 1e20, 5e18, 1e18cm<sup>-3</sup> とした場合で空乏化の効果を比較 した。

それぞれ、読み出し電圧  $V_{cg}$ =0.98V, 0.92V, 0.89V である。また、normal 構造は、  $N_{sub}$ =2e18cm<sup>-3</sup>,  $N_{fg}$ =5e18cm<sup>-3</sup>,  $V_d$ =1V,  $V_{cg}$ =1.05V である。埋め込み構造にすると、Read Disturb は約 2 桁改善されることが明らかになった。 $I_d$ =15 $\mu$ A/ $\mu$ m までの電流値の 減少を読みだし時間の限界条件とすると、normal 構造では 300ns に対し、埋め込み 構造では空乏化しない時で 10 $\mu$  s、1e18cm<sup>-3</sup>まで空乏化すると 20 $\mu$  s に改善される ことが分かった。

埋め込み構造の場合には、表面濃度が低くなる為に tunneling する charge を抑制 出来、その結果 Disturb は改善されると考えられる。



図 4-2-3-13 Read Disturb 特性 (埋め込みチャネル構造と normal 構造の比較)

(iii) 埋め込み構造保持特性の評価

次に、埋め込み構造にした場合の Erase 状態での保持特性の  $N_{fg}$  依存性を図 4-2-3-14に示す。ここで、 $N_{fg}$ 依存性ではdirect tunnelingにおいて、hole とelectron の両者を取り入れた場合であり、ピンクの点線は、hole の振る舞いを取り入れてい ない場合 (electron のみを考慮した場合)の結果である。Hole を入れない場合には、 FG charge 量は殆ど変化していない。N-type normal DTM の場合には、electron が direct tunnel を支配し、hole の tunneling は electron に比べて数桁少ないために、 hole パラメータの有無は特性には影響しない。これに対し、埋め込み構造 DTM では p-type の gate であるために、hole による tunneling が支配的であることが示され た。しかし、Hole の effective mass の値は、よく分かっていない為、ここでは、 electron と同じ 0.32 と仮定して計算した。正確なシミュレーションを行うには、 このパラメータも今後検討する必要がある。



図 4-2-3-14 保持特性の Nfg 依存性

空乏化の効果としては、 $N_{fg}$ を 1e18cm<sup>-3</sup>まで低濃度化すれば retention time は空 乏化無しの場合(1e20cm<sup>-3</sup>)に比べて約 3 桁改善している。しかし、normal DTM の場 合 ( $N_{fg}$ =5e18cm<sup>-3</sup>)の retention time が 10s であるのに比べて、やや短い値である。 この結果、埋め込み構造にすると、Disturb には有利であるが、retention time に はやや不利であることが明らかになった。

(iv) 埋め込み構造書き込み特性の評価

 $N_{fg}$ =1e18cm<sup>-3</sup>の場合の $V_{cg}$ -I<sub>d</sub>特性と書き込み特性( $V_{cg}$ =3V)を図4-2-3-15、図4-2-3-16 に示す。0.3Vの $\Delta V_{th}$ を得るためには、charge 量は2.5e-16C/ $\mu$ mの charge が必要 であり、図4-2-3-16より、この時の書き込み時間は50~60nsとなることが分かる。 Normal 構造での30nsの書き込み時間( $V_{cg}$ =3.3V)に比べると、埋め込み構造では基 板表面濃度が小さくなるために、書き込み速度はやや遅くなることが分かった。



(v) チャネルプロファイル依存性

埋め込みチャネルのプロファイルの急峻性が Disturb と保持特性にどのように影 響するかを評価した。ここでは、表面での濃度を 10<sup>15</sup>~10<sup>16</sup>cm<sup>-3</sup> まで下げた場合と 10<sup>17</sup>cm<sup>-3</sup>の場合とで比較した。図 4-2-3-17 に深さ方向のチャネル濃度を示す。Depth=0 が Si 表面を表す。ここで、ピーク位置、濃度は変えずにガウス分布の係数(g)を 0.035(赤点線)、0.03(緑点線)にした場合のプロファイルの比較である。図 4-2-3-18 には、Read Disturb の比較を示す。Disturb の条件は前述と同じ V\_=1V, I\_=20 µ A/µm を使用し、N<sub>f</sub>=1e18cm<sup>-3</sup>とした。それぞれの読みだし電圧(V<sub>c</sub>)は0.89V,0.98Vである。 プロファイルを急峻にすることにより、Disturb 限界時間は約 1/2 に劣化している ことが分かった。これは、V<sub>cg</sub>の印加電圧が大きくなってしまうことが原因と考えら れる。同様に、保持特性を比較した結果を図 4-2-3-19 に示す。保持特性についても、 プロファイルを急峻にすることによって、やや劣化してしまうことが分かった。





図 4-2-3-19 保持特性のプロフ ァイル依存性

(vi) 埋め込み構造 DTM の評価

埋め込みチャネル構造 DTM にすることにより、Read Disturb 改善の可能性と保 持特性、書き込み特性への影響を TCAD により評価した。その結果、Read Disturb は normal DTM に比べて約2桁改善されることが明らかになった。しかし、保持特性 においては空乏化を十分に行う必要があり、書き込み特性においても、その速度は やや遅くなる傾向があることが分かった。さらに、チャネルプロファイルは、急峻 にしすぎると逆に特性を劣化させてしまうので、適度な分布を持たせる必要がある ことを示した。埋め込み構造では、p-type の gate を使用するために、保持状態で のトンネル電流としては、hole 電流が支配的である。ただし、正確な hole effective mass はよく分かっていないため、高精度なシミュレーションを行う際には、今後こ の値を検討する必要がある。以上の結果から、埋め込み構造にすることによって、 Read Disturb は改善されるが、保持・書き込み特性に対しては劣化の方向にあり、 trade off である。このため、埋め込み構造を使用するか否かは、デバイス設計に 多分に依存することになると考えられる。

#### 4-2-4 まとめ

4-2 節では、メモリセルアレーの設計試作に関して、その開発の進捗状況を述べた。以下にその内容をまとめる。

DTM の単体セルの特徴である低消費電力動作をメモリセルアレーにおいても実現 するため、AND 型のセルアレーに関して設計を行った。DTM ではコントロールゲート をマスクとしてソース・ドレインの不純物注入を行うため、ワード線をチャネルと 垂直方向に形成することが望ましい。そのため、FG の間隔を調整し、その間をサイ ドウォール状に形成された CG で埋め込むことでワード線として利用する方式を提 案した。

この方式で重要な鍵となる CG の埋め込み特性に関しては、FG-FG 間隔、CG Poly-Si 膜厚、および FG のゲート長を調整することで、エッチバック後も FG-FG 間を埋め込 めること、したがってワード線として用いることが可能であることを示すことがで きた。また、セルアレー上のメタル配線が断線するという問題を解決するため新規 SOG を導入し、セルの平坦化を行うことに成功した。さらに、セルの平坦化により アスペクト比の大きくなったコンタクトホールを開口するため、新しいエッチング 装置とレシピを用いてテーパ形状を制御したコンタクトホールの形成を実現した。 最後に、アスペクト比の大きくなったコンタクトホールにメタルを埋め込むために A1の成膜およびアニール条件の評価を行い、Hot A1 と A1 Reflow プロセスを組み合 わせることで良好な A1 の埋め込み特性を得ることができた。これらプロセスの改善 により、初めてセルアレーを完成することに成功した。現在はより微細なセルアレ ーの評価が行えるよう、LTS の新規スパッタ装置にて A1 の埋め込み評価を継続して いる。

一方測定に関しては DTM に特有の高速パルス測定を自動化し、書き込み・消去特 性やリテンション特性から多くの知見を得ることができた。特にリテンション特性 に対しては、基板濃度の高濃度化が特性の改善に結びつかないという、シミュレー ション結果と矛盾する傾向が得られており、今後更なる解析が必要であると考えら れる。また、シミュレーションにて 3V での高速動作が予想されていた、トンネル酸 化膜厚が 1.2nm の DTM を初めて試作した。その結果、3V で 20ns 以下の高速動作を 実証するとともに、1 秒以上のリテンション時間を確保することに成功した。これ は携帯機器用途を考えた場合には、非常に有望な結果である。また、セルアレーに 関しては DC 特性による評価を進めており、特に単体素子に対して閾値電圧がシフト するという問題を抽出することができた。今後はセルアレーの高速パルス測定の自 動化を行い、設計作業へのフィードバックを進めていく予定である。

#### 4-3 総括

ワード線ドライバに関しては、入力デコーダ回路方式を検討し、設計の容易な2 入力 NAND, NOR で 4bit decorder を適用することを決定し、0.18um CMOS プロセス のパラメータを用いて 16bit×16bit のセルアレーで回路設計を行い、Spice を用い たシミュレーション評価を行い、正常に動作の確認まで完了した。さらに大規模な セルアレーではワード線遅延の影響が懸念されるので、現在評価を進めている。

電流センス型のセンスアンプに関しては、既存メモリデバイスに用いられている 数種のセンス回路を参考に検討し、SRAM でも用いられているカレントミラー型が安 定して動作できると判断し、0.18um CMOS プロセスのパラメータを用いて回路設計 を行い、Spice を用いたシミュレーション評価を行い、10ns のパルス応答の確認ま で完了した。詳細なセルのパラメータを用いたフィッテングは未達だが、並行して 行っているチップ試作から、セルのパラメータが固まった時点でフィードバックを かける予定である。

メモリチップの諸特性を予測するという計画に対しては、まず単体セルの試作条件を活かして作製することが可能なメモリアレーの構成方法を提案し、ミニアレイの TEG を起版した。

この TEG 試作に必要な配線前の層間絶縁膜の平坦化のために,新しく厚塗りが可 能でかつ流動性を持つ SOG が必須であったため、数社の材料を比較検討し、東レ・ ダウコーニング・シリコーン社製の SOG が最も優れていることがわかったので採用 に踏み切った。

これらの結果,今回初めて16bit×16bitのミニアレーの試作および動作確認と電気特性結果を得た。

一方、シミュレーションを用いたさらなる低電圧化(3.3V)に向けての性能予測で は、デバイス構造最適化により、1.2nmのトンネル酸化膜で 30ns の書き込みと 10s のリテンションを実現できるとの結果を得た。また、さらなる薄膜化(1.1nm)によ り、10nsの書き込みと 2.5s のリテンションを実現する見通しも得た。これにより、 携帯向けに低消費電力性と大容量 SRAM に置き換えうる高速性を同時に兼ね備えられることを明らかにした。

## 5 参考資料・参考文献

#### 5-1 研究発表・講演等一覧

研究発表は、

K.Tsunoda, A.Sato, H.Tashiro, K.Ohira T.Nakanishi, H.Tanaka and Y.Arimoto, Ultra-High Speed Direct Tunneling Memory (DTM) for Embedded RAM, 2004 Symposium on VLSI Technology 16 年 6 月 15-17 日. (査読あり)

H. Tashiro, K.Tsunoda, A.Sato, T.Nakanishi and H.Tanaka, Optimization of Low and High Speed DTM for Embedded RAM Applications, 2004 Solid State Devices and Materials 16年9月14-17日. (査読あり)

Kouji Tsunoda, Hiroko Tashiro, Akira Sato, Kenji Ohira, Toshiro Nakanishi, Hitoshi Tanaka and Yoshihiro Arimoto, Ultra-High Speed Direct Tunneling Memory (DTM) for System LSIs, 第66回半導体集積回路技術シンポジウム 16 年6月25日. (査読なし)

田代浩子、Emerging Memory Device における適用事例 Optimization of Low Power and High Speed DTM for Embedded RAM Applications, ISE TCAD セミナ - 2004 16 年 11 月 26 日. (査読なし)

田代浩子、角田浩司、佐藤章、中西俊郎、田中均、低消費電力、高速 RAM 用途 ダイレクトトンネルメモリ(DTM)の最適化,応用物理学会 17 年 3 月 29 日. (査読 なし)

論文投稿は、

(ニュース記事として) ダイレクトトンネルメモリの高速動作を実証―携帯通 信機器の低消費電力化に貢献―,電子情報通信学会誌 16 年 11 月. (担当委員が執 筆したことになっているが、学会内での選別、記事の校正はあり)

Kouji TSUNODA, Akira SATO, Hiroko TASHIRO, Toshiro NAKANISHI, and Hitoshi TANAKA, Ultra-High Speed Direct Tunneling Memory (DTM) for Embedded RAM Applications, IEICE Trans. Electron., vol. E88-C, No.4 April 2005 17 年 4 月掲載予定. (査読あり)

Hiroko TASHIRO, Kouji TSUNODA, Akira SATO, Toshiro NAKANISHI and Hitoshi TANAKA, Optimization of Low Power and High Speed DTM for Embedded RAM Applications, Japanese Journal of Applied Physics 17 年 4 月掲 載予定.(査読あり)