

平成 1 5 年度 研究開発成果報告書

「携帯テレビ用超低消費電力（地上デジタル放送受信用チューナー
＋OFDM復調回路）LSIの研究開発」

目次

1.	研究開発課題の背景	5
2.	研究開発分野の現状	5
3.	研究開発の全体計画	5
3-1	研究開発課題の概要	5
3-2	研究開発目標	16
3-2-1	最終目標（平成 18 年 3 月末）	16
3-2-1	中間目標（平成 17 年 3 月末）	16
3-3	研究開発の年度別計画	17
3-4	研究開発実施体制.....	18
4.	研究開発の概要（平成 15 年度まで）	20
4-1	研究開発実施計画.....	20
4-1-2	研究開発課題実施計画	22
4-2	研究開発の実施内容	23
5.	研究開発実施状況（平成 15 年度）	25
5-1	AMP 1（信号増幅用の初段のアンプ）	25
5-1-1	AMP 1 の概要	25
5-1-1-1	ブロック構成	25
5-1-1-2	仕様	26
5-1-2	AMP 1 の設計（TEG 1）	28
5-1-2-1	回路説明	28
5-1-3	AMP 1 の測定結果（TEG 1）	32
5-1-3-1	評価チップ及び評価ボード	32
5-1-3-2	測定方法	33
5-1-3-3	測定結果（UHF 帯受信系）	33
5-1-3-4	測定結果（VHF 帯受信系）	36
5-1-3-5	OFDM 信号を用いたアンプの解析	39
5-1-4	今後の AMP 1 開発予定	40
5-1-5	今年度導入設備について	41
5-2	OSC 1（周波数発生回路）	46
5-2-1	TEG 1 設計目標	46
5-2-1-1	TEG 1 達成課題	46

5-2-1-2	TEG1設計	46
5-2-1-2-1	シンセサイザブロック構成図	46
5-2-1-2-2	PLL設定検討(分周設定、ローカル信号オフセット)	49
5-2-2	TEG1評価	56
5-2-2-1	TEG1チップ写真, 評価ボード写真	56
5-2-2-2	シンセ評価	57
5-2-2-2-1	各部電流	57
5-2-2-2-2	ロックCLKスペクトル	58
5-2-2-2-3	IQ信号生成部動作	61
5-2-2-3	VCO	64
5-2-2-3-1	発振特性	64
5-2-2-4	IQ	67
5-2-2-4-1	4相出力波形	67
5-2-3	課題および16年度の予定	69
5-3	IF部(ミキサー, ADC)	71
5-3-1	ブロック構成と仕様について	71
5-3-1-1	構成	71
5-3-1-2	目標とする仕様	72
5-3-2	TEG1設計	73
5-3-2-1	ミキサー	73
5-3-2-2	$\Sigma\Delta$ ADC	74
5-3-2-3	シミュレーション結果	78
5-3-3	TEG1評価	86
5-3-3	TEG1評価	87
5-3-3	TEG1評価	88
5-3-3-1	サンプル	88
5-3-3-2	評価手法	88
5-3-3-2	評価手法	89
5-3-4	今後の予定	93
5-4	低消費電力デジタルOFDM回路	94
5-4-1	RF部とのインタフェースについて	94
5-4-2	インタフェースの構成	95
5-4-2-1	ダウンサンプルとイメージ除去	95
5-4-2-1-1	1/8デシメーションフィルタ	96
5-4-2-1-2	補数符号変換	96
5-4-2-1-3	複素FIRフィルタ	97
5-4-2-1-4	ゲイン補正	98
5-4-2-2	周波数シフト	98
5-4-3	低消費電力の手法	100
5-4-3-1	RAMのインヒビット端子の利用	100
5-4-3-2	RAMの分割	101
5-4-3-3	デュアルポートRAMを使用しない	102
5-4-3-4	ゲーティング	102

5-4-3-5 動作クロック周波数の低減	102
5-4-4 低消費電力の見積り	103
5-4-5 評価システム	105
5-5 携帯D T V用小型アンテナの試作結果.....	106
5-5-1 アンテナの形状について	106
5-5-2 評価結果	111
5-5-3 試作結果まとめ	121
5-6 総括（全体の基本アーキテクチャ検討）	122

参考資料、参考文献

（添付資料）

1. 研究発表、講演、文献等一覧

1. 研究開発課題の背景

平成15年末、地上デジタル放送が開始され、固定受信を前提とした地上デジタル・地域密着型デジタル放送サービスが実現可能になった。従来のデジタル放送は基本的に映像／音声／データ放送などの情報をマルチメディア統合した放送サービスであり、現状はBS／CSデジタル放送を中心に全国一律のコンテンツが固定受信テレビ市場を前提に放送されている。

一方、地上デジタル放送は、変調方式としてOFDM変調方式が採用され、その中に（1）1セグメント受信など特定周波数セグメント単位の信号受信機能、（2）誤り訂正強化のための信号分散（インタリーブ）機能、（3）16QAM／64QAM変調設定可能など受信場所が限定されない移動受信に適した機能が多く含まれる。このため、テレビのモバイル化、携帯化、さらには携行が前提のデジタルラジオへの適応も可能である。

すなわち地上デジタル放送は、固定受信テレビ市場と同時にモバイル／携帯市場にも展開可能であり、固定受信を凌駕する新市場創出が期待される。しかも今年に入り、携帯テレビで必須の動画像圧縮方式としてH264方式の採用が決定し、携帯テレビ放送は平成16年末には開始される見込みである。

しかしモバイル／携帯テレビ実現には固定受信テレビと違う技術要件が存在し、この要件が十分満たされない限り、モバイル／携帯テレビ市場の創出は困難です。すなわちモバイル受信、携帯受信では、回路の小型化、低消費電力化が必須であり、この要件に合わせた回路の（地上デジタル放送受信チューナーなど）の高性能化が必須である。

2. 研究開発分野の現状

現状、複数のメーカーがこのモバイル／携帯テレビ市場を目指し、小型、低消費電力チューナー、OFDM復調回路の開発発表を行っている。しかし、未だに十分に低消費電力化されたとと言える状況でない。回路の低消費電力化、小型化が携帯テレビ市場実現の際の大きな技術的障壁であることに変わりはない。

3. 研究開発の全体計画

3-1 研究開発課題の概要

上記背景をベースに携帯テレビ実現に必須の超低消費電力「地上デジタル送受信用チューナー＋OFDM復調回路」LSIの研究開発を実施中である。以下が研究開発の概要。

(目標サービス)

サービスとして地上デジタル放送で新規に立ち上がる携帯市場全般をカバー出来ることを目標に(1)地上デジタル放送内1セグメント携帯テレビサービスと(2)3セグメントデジタルラジオ放送サービスを想定し、この両方に対応する回路の低消費電力化、携帯向け小型化、LSI化を研究。

以下が、上記の2サービスを受信するLSIを研究開発する場合にLSIが処理すべき周波数域など(チューナー部に要求される基本機能など)の検討である。



図1・地上デジタルの周波数割り当て

図1は地上放送の周波数割り当てである。90-770MHz帯域の中に各チャンネルが6MHz単位で存在する。この中で地上デジタル放送は、基本的にはUHF帯のチャンネルが割り当てられる。また、デジタルラジオ放送は、VHF帯の空きチャンネルに割り当てが考えられている。従い、LSIが対応すべき周波数帯域は90-770MHzの全域となる。

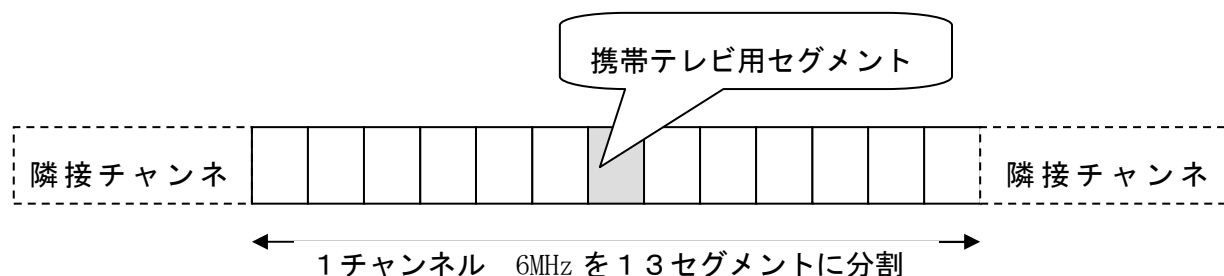


図2・OFDMセグメントの概念

図2は、UHF帯デジタル放送チャンネルの様子を示す。6MHz毎にチャンネルが存在し、OFDM変調されたチャンネルは周波数軸で13セグメントに分割される。携帯テレビ用に使用可能なセグメントは、図2の中心に位置する灰色の約432KHz帯域のセグメントである。1セグメント携帯テレビサービス受信には、UHF帯に6MHzごと存在するこのセグメントの抽出が必要である。

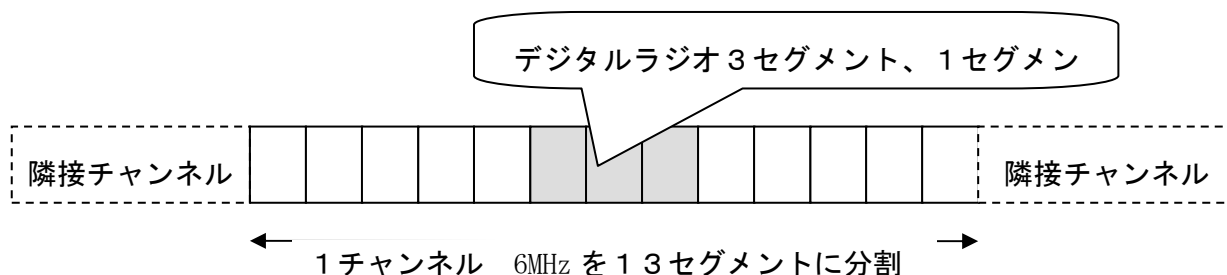


図3・デジタルラジオ対応OFDMセグメントの概念

図3は、デジタルラジオに対応する場合のセグメントの概念である。1セグメント或いは、3セグメント情報が連結して(隣り合って)送信されている。通常は1セグメントの幅は約432KHz、3セグメントはその3倍の幅を持つ。復調LSIは1/3セグメントに関わらず、中心のセグメントを受信し、そのセグメントが1セグメントなのか、3セグメントの中央1セグメントなのかを、自動判別し、3セグメントの場合、3セグメント受信に切り換える必要がある。

(目標消費電力)

消費電力は、現行固定受信テレビ用地上デジタルチューナーやOFDM復調回路では、チューナーが約1W、OFDMが約1.5W(当社学会発表LSIなど)。一方で、携帯電話市場で一般にオプション機能を追加する場合に許容される「プラスα」の消費電力は最大で50mWと言われている(当社が市場調査して得た数値)。本研究では、基本的には携帯テレビ受信用のLSI開発を目指す、同時に携帯電話に携帯テレビ機能を追加した製品形態も視野に入れ、携帯電話市場にも波及するLSIの研究開発を行う。従い、消費電力は50mW以下を想定する。これは、通常の固定受信テレビを前提とした地上デジタルチューナー、OFDM回路のおよそ1/50の消費電力である。

(LSIを搭載する装置の製品形態)

携帯テレビサービスと携帯電話サービスで必要となるチューナーの特徴などを比較したのが下記である。

	携帯テレビ(1/3セグメント受信前提)	携帯電話(WCDMA前提)
存在帯域	90-770MHz	アップリンク 1920-1980MHz ダウンリンク 2110-2170MHz
抽出必要帯域	432KHz(1セグ携帯テレビ受信時) 1296KHz(3セグデジタルラジオ受信時)	5MHz (現実に抽出している帯域)

表1・想定携帯テレビと携帯電話(WCDMA前提)のチューナーの比較

携帯テレビの場合、テレビ信号の存在する帯域は約700MHz。この中から受信するサービスに依存し432KHz或いは1296KHz帯域の信号を抽出する必要がある。これに対し携帯電話は60MHzの帯域に信号が存在し、この中から約5MHzを抽出するものである。以上のように携帯テレビと携帯電話のチューナー部分に要求される性能が大幅に違っていることが分かる。

本研究では、携帯テレビ側の要件を満たす超低消費電力回路の研究開発を行う。携帯テレビと携帯電話を一体化した端末では、フロントエンド部分（チューナー及びデジタル復調部など）の回路の共有は困難であるが、プロセッサを含む映像デコードなどバックエンド部分の共用はハードウェアを中心にある程度は可能と想定される。携帯テレビ、携帯テレビ／携帯電話一体化端末が実現した場合の想定ブロック図を下記に示す。

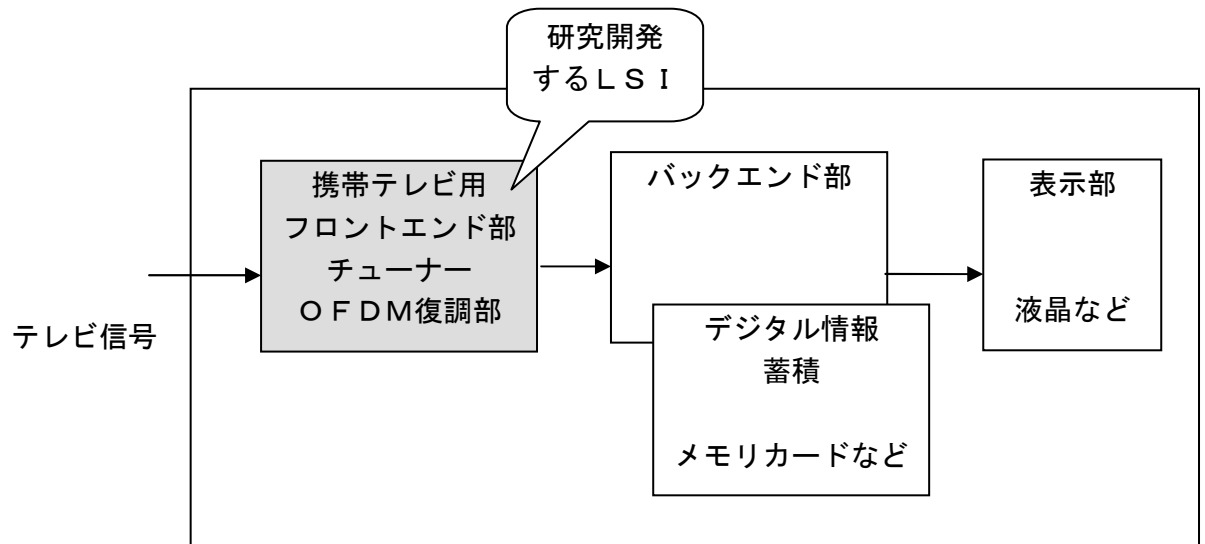


図4・想定される携帯テレビ端末

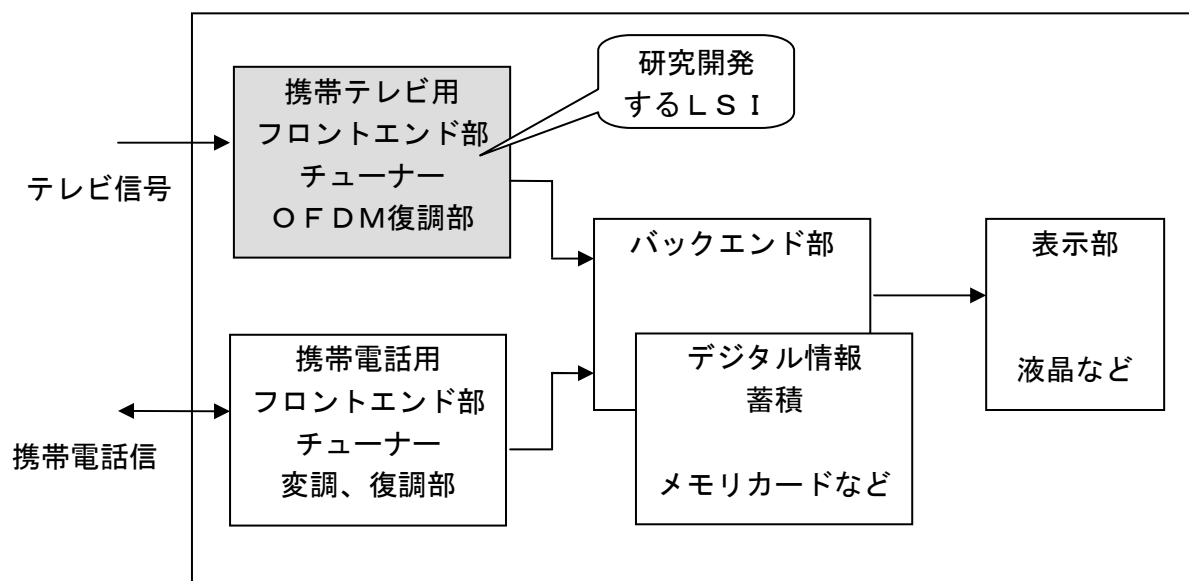


図5・想定される携帯テレビ／携帯電話（WCDMA）一体化端末

図4、5は一般に想定される携帯テレビ端末、携帯テレビ／携帯電話一体化端末である。図5で携帯電話信号に対応するチューナー及び復調、変調部分は表1の検討でも分かるようにテレビ信号に対応する部分とは別の回路で実現される。バックエンド部にはプロセッサ、メモリカードなどが存在する。またメモリカードは携帯向けテレビ放送コンテンツやデジタルラジオコンテンツを蓄積し、任意時間に視聴するようなサービスを実現するために使う。

本研究開発は、図4、5の携帯テレビ用フロントエンド部（灰色部分）のLSI化、超低消費電力化に関する。図4、5のような用途を想定し、消費電力などの目標値を設定する。

（現行地上デジタル放送用チューナー、OFDMデジタル復調回路の検討）

図6に現行地上デジタル放送用チューナー、OFDMデジタル復調回路のブロック図例を示す。携帯端末に転用する場合の問題点などをこの図をベースに詳述する。

（前提条件）

テレビ信号は、入力レベルが -20 dBm から -75 dBm （携帯テレビは、 -20 dBm から -86 dBm ）、 90 から 770 MHz 帯域に存在する。この中から選択チャンネルに応じ 6 MHz 帯域の信号を抽出し、デジタルOFDM復調する必要がある。

（動作概要）

このため、入力部分のH P F (ハイパスフィルター) で9 0 M H z 以下の信号成分を除去し、その後L P F 1 (ローパスフィルター) により7 7 0 M H z 以上の信号成分の除去を行う。AMP 1 (アンプ) は、この9 0 - 7 7 0 M H z 信号を増幅するための初段のアンプである。

次にA G C回路により、信号レベルを調整する。レベル調整された信号を1 s t M I X (ミクサー) により周波数を1 . 2 G H z 帯まで上げる。1 . 2 G H z という周波数は、次段B P F 2 (バンドパスフィルター) を考慮し選択する。このバンドパスフィルターB P F 2 が本チューナー性能を決定する重要部分である。現行地上デジタル放送受信チューナーでは6 M H z 選択チャンネルをここで抽出する。隣接チャンネル妨害など出来るだけ削減するためフィルター特性が急峻であることが求められ、また減衰域での減衰率は- 4 0 d b 以上が必要とされる。これを実現するため現行固定受信回路ではS A Wフィルターが利用される。但し、一段のS A Wフィルターでは減衰率の十分な確保が困難なため、2 段利用することも考えられる。これで1 . 2 G H z $\pm$ 3 M H z 帯域の信号が抽出される。

その後、AMP 2 (アンプ) で増幅され、2 n d M I X で5 7 M H z I F 周波数帯域に変換される。この信号が5 7 M H z I F 処理部で6 M H z 帯域のベースバンド信号にされ、さらに1 0 ビット・3 2 M S / s のA Dコンバータ (当社開発O F D M - L S I の例) などでデジタル変換される。デジタル化されたO F D M信号は、同期制御部分でフレーム同期など各種同期処理を受け、F F T処理され、ビタビなどエラー訂正後、M P E G - T S (M P E Gトランスポートストリーム) 形式のデジタル信号として出力される。M P E G - T Sの中に時分割多重形式で圧縮ビデオ、オーディオ信号などが存在し、これを後段 (図示せず) のM P E GデコードL S Iなどが処理する。

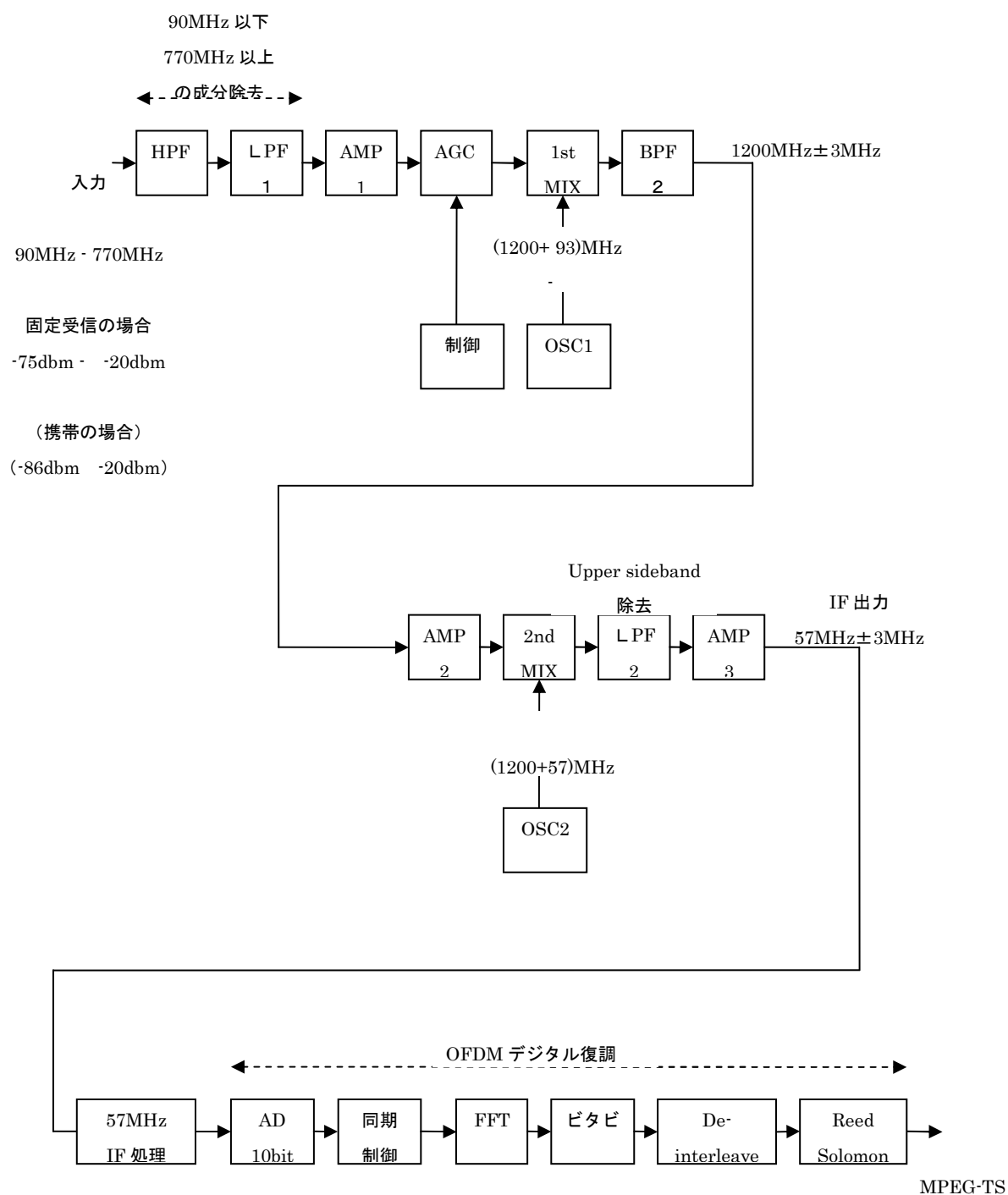


図 6 ・ 常識的な現行地上デジタル放送受信用チューナー／O F D M復調回路例

以上が固定受信の（低消費電力が必須でなく、あまり意識していない）場合の回路概要である。前述のように全体で約2.5W消費しており、これを携帯受信に対応させ仕様変更を考慮した上でどう低消費電力化するかが研究開発のポイントになります。

定性的に考えられる低消費電力化のためのポイントを以下に示す。

（携帯受信前提とした場合の低消費電力化のポイント）

AMP 1（初段のアンプ）

AMP 1は、入力テレビ信号（90から770MHz）全部を増幅しており、多大な電力を消費していると考えられる。これに対し図6の他のアンプは、予め選択された狭い周波数帯域の範囲の信号しか入力されておらず消費電力もかなり小さいと判断出来る。また携帯テレビ受信を前提とした場合、入力レベルが固定受信と比較し相当厳しく（-86dbmから-20dbm）なる。

この部分に関しては例えば以下のような低消費電力対策があると考ええる。すなわちAMP 1の前段にBPF（バンドパスフィルタ）を挿入し、事前に入力周波数成分を一部遮断することが考えられる。AMP 1を通過する信号成分が例えば、1/4になれば電力を1/4に削減出来る可能性がある。特性の違うBPFを4つ用意し、選択チャンネルに応じて4つのBPFを切り替える回路の研究開発を検討出来ると考ええる。BPFの数を増やすことでAMP 1を通る信号を削減し、大幅な消費電力削減を達成出来る可能性がある。但し、その分回路規模が増大しコストアップになります。（1）BPFの数、（2）AMP 1の消費電力、（3）コストの間で最適なポイントを見つける必要がある。

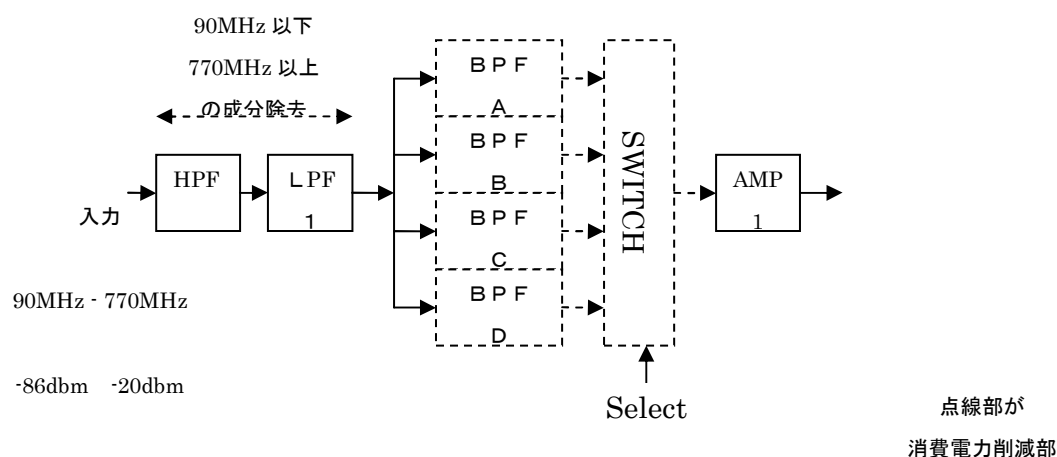


図7・AMP 1の消費電力削減案

OSC 1（周波数発生回路）

本回路は選択されたチャンネルを $1200\text{MHz} \pm 3\text{MHz}$ 帯域に引き上げるための周波数発生器である。一般にPLL回路で実現される。しかし $90 - 770\text{MHz}$ の広帯域に渡り放送される全113チャンネルに適応出来る低消費電力PLL周波数発生回路の開発は困難と考えられる。狭い範囲の周波数に適応する低消費電力PLL周波数発生回路を複数用意し、選択チャンネルに応じてPLL回路を切り替えるような対策が必要と考えられる。但し消費電力を抑えるため、未使用のPLL回路が「オフ」になるような対策も必要と想像され、これでかなりの電力削減が可能と思われる。また、PLL回路が「オン」になる応答時間の検討が必要である。基本的には以下のようなトレードオフが存在し、検討が必要である。

- (1) 用意するPLL回路数
- (2) 各PLL回路の消費電力
- (3) コスト（PLL回路数が増大するとコストアップになる）。

抽出周波数帯域と消費電力の関係

先にも述べたが、1セグメント携帯テレビ受信或いは3セグメントデジタルラジオ受信の場合に抽出する周波数は 432kHz 或いは 1296kHz である。一方で固定受信前提の地上デジタル受信チューナーが抽出するのは 6MHz である。この違いをベースに回路をどう実現するか消費電力という見地から検討が必要である。

チューナー部で従来と同様に 6MHz 帯域を抽出し、OFDM部のADコンバータの後段にデジタルローパスフィルターを設置し 432kHz 、 1296kHz バンドパスでフィルタリングすることは可能である。これが既存回路部品を利用した一般的な設計と考えられる。しかし、あまり広帯域の信号をデジタル処理するのはADコンバータのサンプルレートやデジタル回路のクロックレートが増大し消費電力という見地から得策とは言えません。逆に言うと 432kHz 或いは 1296kHz の狭帯域バンドパスフィルターを設計出来れば、後段のADコンバータ、デジタル回路の動作周波数が削減されかなりの電力削減が期待される。ADコンバータの場合、一般的に動作周波数が半分になれば消費電力も半分になる。あくまで検討によるが、工夫し消費電力削減を図る必要があると考える。但し、アナログレベルで必要信号を抽出する図6のBPF2（バンドパスフィルター）を何処まで狭帯域に出来るかも検討が必要である。当然であるが、バンドパスフィルターは狭帯域であればあるほど設計困難である。

結論としては、図6のBPF2（バンドパスフィルター）の帯域を何処まで狭帯域にし、どの周波数レベルからデジタル処理するか研究が必要ということになる。

ADコンバータのビット数などに関する考察

今回の研究は前述のように携帯受信であり1／3セグメント受信が前提になる。1／3セグメント受信の場合、通常の13セグメント受信と違い64QAM変調モードは運用されず、16QAM変調までの対応が前提になる。従い、ADコンバータのビット数を現行13セグメント受信OFDM-LSIの10ビットから8ビット(或るいはそれ以下)に削減し消費電力を削減出来るか、ADコンバータに入力されるアナログ信号の減衰帯域での減衰率の最適化などの検討が必要である。

57MHz IF出力に関する考察 (ダイレクトコンバージョン関連)

57MHz IF出力は、チューナー部とOFDMデジタル部が別々になった場合の便宜的な中間周波数でありチューナー部とOFDMデジタル復調部を一体化することが前提の本研究ではあまり意味がないと考えられる。逆に57MHz中間周波数を削除しOFDMの初段に存在するADコンバータに信号を直接入力出来る周波数まで落とし、57MHz IF処理回路の削減などを検討出来ると考える。また周波数を落とす時のポイントは、DC電流による無駄な電力消費を避けることと考えられる。以上のように57MHz IF出力の必要性、不要とした場合に周波数を何処まで落とすのが最適か、研究が必用になる。

デジタルOFDM回路の低消費電力化に関する考察

「抽出周波数帯域と消費電力の関係」の項でも記載しましたが、本研究のLSIは、固定受信のように13セグメント(6MHz)の信号全部を処理する必要はなく、本質的には1セグメント或いは3セグメント処理で十分である。チューナー部で何処の帯域まで信号抽出が可能かにも依存するが、処理量に応じたOFDM回路の再設計を実施することでメモリ容量、処理スピードなど大幅に削減し、低消費電力化出来ると考える。従い、以上の観点からの検討が必用と考えられる。

(まとめ)

以上が考えられる携帯テレビ受信回路の課題概要である。

広く世の中の技術動向を見渡すと地上デジタル受信回路の低消費電力化を意識して狙う動きが出ております。例えば、当社では3セグメント（デジタルラジオ）対応のOFDMデジタル復調LSIを開発中である。他社でも発表がある。方向としては、PDA的な受信端末に搭載することを前提とした開発と考えられる。また何年かたつと、LSI設計ルールの微細化が進み、それに起因しある程度の低消費電力化は自然に進むものと考えられる。しかし、本研究のように、チューナー部を含め、回路全体を50mWで実現し、本格携帯端末搭載を可能にするには、回路全体を見直し、再設計し、再開発しないと（50mW以下の消費電力、現行回路のおよそ1／50の低消費電力化）達成困難と判断出来ます。

3-2 研究開発目標

3-2-1 最終目標（平成18年3月末）

携帯テレビに必須の超低消費電力「地上デジタル放送受信用チューナー＋OFDM復調回路」用LSIを研究開発する。本LSIは、（１）地上デジタル放送内1セグメント携帯テレビサービス、（２）3セグメントデジタルラジオ放送サービスの両方に対応するものとし、90～770MHzテレビ信号帯域の任意の1セグメント携帯テレビチャンネル、3セグメントデジタルラジオチャンネルを受信し、OFDMデジタル復調／誤り訂正後、MPEG-TS形式デジタル信号を出力するものとする。また受信時の平均消費電力は最大50mWを目標とする。さらに携帯テレビ端末搭載可能な大きさまで回路を小型化し、量産時に民生市場適用可能な範囲までコスト削減可能なこととする。

3-2-1 中間目標（平成17年3月末）

「地上デジタル放送受信用チューナー＋OFDM復調回路」用LSI試作を完成させる。本試作LSIの目的は、これを簡易受信ボードに搭載し、最終年度の平成18年度で実際の電波を受信し、要求された性能が出ていることを確認出来るようにすることである。実際の電波受信で電波受信性能、実際の電波を受信した時の消費電力などを実測し、それをベースに最終的なLSIの研究開発を実施する。

3-3 研究開発の年度別計画

(金額は非公表)

研究開発項目	14 年度	15 年度	16 年度	17 年度	年度	計	備考
1) 方式検討	*****	*****	*****	*****			
2) コンポーネント試作			*****				
3) 全体試作		*****	*****				
4) 全体試験、改良				*****			
間接経費額 (税込み)							
合 計							

単位：百万円

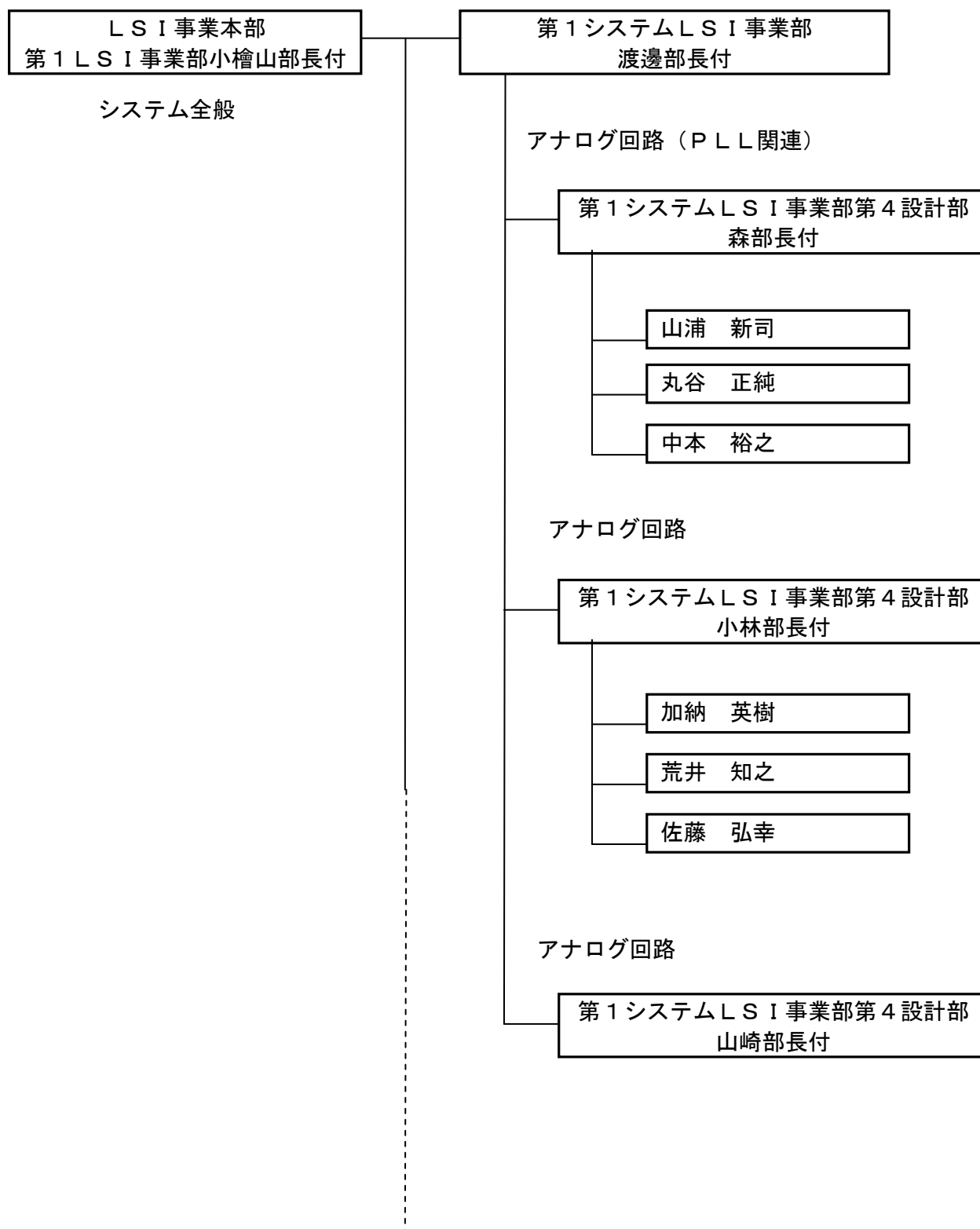
注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む。)

2 備考欄に再委託先機関名を記載。

3-4 研究開発実施体制

<研究代表者>

アナログ回路全般



システム検討

第1システムLSI事業部第4設計部
姉齒部長

システム検討（LSI関連）

第1システムLSI事業部第4設計部
玉村プロジェクト課長

橘田 辰昭

大鷹 伸章

近藤 史隆

下村 勝也

システム検討（シミュレーション関連）

第1システムLSI事業部第4設計部
東部長付

田巻 和秀

デジタル回路全般、OFDM回路

第1システムLSI事業部第4設計部
大和田部長付

永田 英稔

濱湊 真

渡辺 亮介

4. 研究開発の概要（平成 15 年度まで）

4-1 研究開発実施計画

研究全体の基本計画としては、1 年目（平成 14 年度）で基本方式を決定し、2 年目（平成 15 年度）で基本方式に合致した個別の回路部品の研究開発を行う。3 年目（平成 16 年度）で研究開発した個別部品を合体し、最初のサンプル L S I を製作する。これが中間目標である。最終年度は、試作サンプルを用いて実際の電波をフィールドで受信し、L S I をセットに搭載した場合の問題点などを洗い出し、その結果で L S I の改良、改版を行う。

上記基本計画に従い 15 年度までに、初年度（平成 14 年度）の検討内容、暫定的な基本方式をベースに、必要と考えられる回路部品の試作、性能評価を行う。

すなわち 15 年度では、上記の暫定的な基本方式をベースに個別回路部品レベルで平成 16 年度の L S I 研究開発のための下準備を行う。但し、当然であるが、基本方式自体暫定的なものであるため、検討次第で、変更される可能性はある。具体的に試作を計画した回路部品は、以下である。

AMP 1（初段のアンプ）：

AMP 1 は、入力テレビ信号（90 から 770 MHz）全部を増幅しており、多大な電力を消費すると考える。本アンプの低消費電力化は大きな課題である。

これに対し、フロントエンド部、特に LNA の消費電力を抑える為の思索として RF 帯で小型である SAW フィルタを用いたサブバンド化を検討する。SAW フィルタの通過帯域特性から、サブバンド化は、入力テレビ信号を 3 分割することが、サイズ、コストの面から現状、実現性の可能性が高いことが想定される。また切り替え方式は、入力共通で SAW フィルタと LNA 間を半導体デバイス、或いは MEMS で構成したスイッチで切り替える方式が考えられる。

OSC 1（周波数発生回路）：

選択されたチャンネルの帯域を抽出するための周波数発生器。90－770 MHz の広帯域に渡り放送される全チャンネルに適応出来る低消費電力 PLL 周波数発生回路を試作する。

携帯テレビ信号、デジタルラジオ信号抽出回路：

1 セグメント携帯テレビ受信或いは 3 セグメントデジタルラジオ受信の場合に抽出する周波数は 432 KHz 或いは 1296 KHz である。この信号を抽出する回路の実現法に関し消費電力などの観点から以下のようなことを想定し試作を検討する。

従来方式では、57 MHz IF 帯での SAW フィルタにより 6 MHz 幅の希望波の選択を行っている。小型化のために 57 MHz 帯の SAW フィルタを使わずに希望波を選択する回路試作が必要と考えられる。

希望波の選択とは、妨害波を除去することであるが、1／3 セグメント受信での妨害波としては、3 種類あり、それぞれの除去方法に関し以下のようなことを検討する。

(1) 13セグメント内の妨害波：

希望のセグメントに隣接するセグメントをアナログフィルタで除去するのは困難である。従い、デジタル部のFFT後に除去する方式が考えられる。

(2) 隣接波：

ADコンバータ前フィルタでの除去が考えられる。

(3) 隣接波より離れた妨害波：

AMP1のBPF（SAWフィルタ）での除去が考えられる。

具体方式として、Low IF/DC(ダイレクトコンバージョン)方式を検討する。従来方式ではRF帯のローパスフィルタおよび1.2GHz帯のSAWフィルタを使う。Low IF/DC方式では周波数変換前のフィルタが不要である。また、従来方式ではRF帯および1st IF帯が1.2GHzの信号を処理するため、消費電力低減が困難と考えられる。従い、大幅低電力化を目指すため、Low IF/DC方式で試作検討を進める。

低消費電力デジタルOFDM回路

本研究開発では、従来の固定受信テレビのように13セグメント(6MHz)の信号全部を処理する必要はなく、1セグメント或いは3セグメントのみの処理を行う。アナログ部とデジタル部で帯域処理をどう分担するか、処理量に応じたOFDM回路の再設計を検討する。

その他

必要が生じた場合は、適宜、その他の回路を試作する。

全体の基本アーキテクチャーに関する検討

上記を踏まえ、回路全体の基本アーキテクチャーに関し、以下のように考える。個別検討により、各コンポーネントの基本要件を抽出します。そして全体としてのアーキテクチャーを概ね絞る。

RFフロントエンドの構成では、従来用いられていたアップコンバート・ダウンコンバート方式では1st IF処理での低電力化が難しいため、Low-IFあるいはDC(ダイレクトコンバージョン)方式がもっとも有力と考えられ、そこを中心に検討し、試作する。発振回路の低電力化可能性を試作などで確認する。DC(ダイレクトコンバージョン)方式では、周波数変換時に低周波ノイズの影響が大きくなることが懸念され、一方Low-IF方式ではベースバンドのデジタルOFDM回路の構成においてADCの消費電力が大きくなる。IC形態の最終決定のために、前述のポイントを中心に検討する。相互の回路への要求と全体の性能とのバランスを把握して最適な構成を固めるため、具体的な個別回路の試作などによる性能検証を行う。特にフィルター選択により、その後段の回路への要求性能と全体構成が影響を受けるため、個別回路のみならず前後の構成要素とのインターフェイス部の確認がポイントとなる。

具体的には、前述のようにAMP1、OSC1、携帯テレビ信号／デジタルラジオ信号抽出回路、低消費電力デジタルOFDM回路などに関し、基本的な指針を明確化し、試作評価結果をもとに最終的な設計方針を決定する。

4-1-2 研究開発課題実施計画

(金額は非公表)

研究開発項目	第 1 四半期	第 2 四半期	第 3 四半期	第 4 四半期	計	備 考
1) 方式検討 (ア)						
2) コンポーネント試作						
RF システム (イ)						
ベースバンドシステム (ウ)						
間接経費						
合 計						

- 注) 1 経費は研究開発項目毎に消費税を含めた額で計上。また、間接経費は直接経費の30%を上限として計上(消費税を含む)。
 (合計の計は、「3-1の研究開発課題必要概算経費」の総額と一致)
- 2 備考欄に再委託先機関名を記載。

4-2 研究開発の実施内容

研究全体の基本計画としては、1年目（平成14年度）で基本方式を決定し、2年目（平成15年度）で基本方式に合致した個別の回路部品の研究開発を行う。3年目（平成16年度）で研究開発した個別部品を合体し、最初のサンプルLSIを製作する。これが中間目標。最終年度は、試作サンプルを用いて実際の電波をフィールドで受信し、LSIをセットに搭載した場合の問題点などを洗い出し、その結果でLSIの改良、改版を行う。

上記基本計画に従い15年度は、初年度（平成14年度）の検討内容、暫定的な基本方式をベースに必要と考えられる回路部品の試作、性能評価を行った。

すなわち15年度度では、上記の暫定的な基本方式をベースに個別回路部品レベルで平成16年度のLSI研究開発のための下準備を行った。但し、現状では基本方式自身が暫定的なものであるため、今後の検討次第で、変更される可能性はある。具体的な試作回路部品は、以下。

(1) OSC1（周波数発生回路）：

90-770MHzの広帯域に渡り全チャンネルに適応出来る低消費電力PLL周波数発生回路を検討し、1つのPLLでVHF帯およびUHF帯の全周波数帯をカバーできる周波数発生回路を設計した。この周波数帯域の従来シンセでは外付けであるループフィルタもLSIに内蔵し、低コスト化の目処を立てた。消費電力は現在15mW程度である。

広帯域IQ信号生成方式は電力、コストの観点から、90MHz-770MHzの広帯域周波数の生成方式として、一つのVCOで1.9GHz-3.1GHzの周波数を生成し、それを分周することで生成する方式とした。

(2) AMP1（初段のアンプ）：

テレビ信号をUHF帯とVHF帯の2つに分けて、バンドパス・フィルタにより、受信信号の中から所望のチャンネルを含む帯域だけを通過させ、不要な帯域の信号を除去する。また入力信号全体の電力を減少させ、後段の増幅器が飽和しないようする。AMP1の回路構成は差動のカスコード・アンプで、回路の負荷としてインダクタを用いており、抵抗負荷を使用した場合の電圧降下がないため、低電圧化が可能になる。

UHF帯の770MHzに対して入力整合をしてAMP1の特性をシミュレーションした結果、770MHzで利得は21.5dB、雑音指数は2.2dBと良好な結果が得られた。VHF帯に対しては入力整合をした場合の特性として、利得26.5dB、雑音指数1.4dBが得られた。

消費電力は2.5mW（電源電圧；1.2V、消費電流：2.1mA）であり、低消費電力の目標を十分に満たす値と考える。

(3) I F 部（ミキサー，ADCおよびフィルタ）：

I F 部はミキサー、ADCおよびフィルタで構成される。

I F 部に要求されるダイナミックレンジは70 dB以上に増大してしまうため、低電力なI F 部を実現するためには、I F 部をミキサー→ADC→デジタル・フィルタの構成とした。

ミキサーは、低歪・低電力に優れたパッシブ型スイッチングミキサーであり、これを2組用いて4相ミキサーとしている。

ADCは、サンプリング前のフィルタが不要となる連続時間型 $\Sigma \Delta$ ADCである。ループフィルタの初段にはRCアクティブ積分器を用いて低ノイズ化し、2段目以降はGm-C積分器を用いて低電力化した。

(4) 低消費電力デジタルOFDM回路

RF部とベースバンド部のインタフェースはLOW-IF方式を採用する予定であるため、ゲインバランスの補正が必要になる。I/Qのゲインバランス補正には、I/Q信号を各々積分し、値を補正する方法を採用する方向で検討した。また、デジタル部の消費電力を検討し、3セグメント化では、FFTのポイント数が2048となるため、13セグメントの場合に比べ、FFTの動作速度を1/4に下げることができ、メモリ容量を1/4にすることが可能であることを明らかにすることができた。

(5) 全体の基本アーキテクチャーに関する検討

現在前提としている全体の構成では、90-770MHz RF信号を大まかにフィルタし、出来る限り、後段のLNAの消費電力を低減させる。その後、後段のミクサー回路でLow-IF周波数までダウンコンバートする。ミクサーに入力されるミクシング信号は、OSC回路（周波数発生回路）から得る。その後、オーバーサンプリング型のADコンバータでアナログ・デジタル変換する。ADコンバータの後半部分では、複素型のデジタルフィルター部でイメージ除去と不用周波数帯域を行うとともに、ダウンサンプリングと出力ビット数の削減を行う。

アナログ・デジタル変換後、後段のデジタル回路で、ミクサー回路で発生するIQバランスのずれを補正し、さらにゲイン調整する。その後、低消費電力3セグメント型デジタルOFDM復調回路で復調し、デジタル信号を出力する。

このアーキテクチャーの特長は、回路全体を極力外付部品（フィルター類など）なしでC-MOSプロセスで製造出来ることにある。今年度より、回路の具体設計を開始したが、設計回路は、基本的にC-MOSプロセス前提で設計中である。このため、将来、全体をC-MOS LSI化した携帯テレビの実現を視野に入れることが可能である。小型化、低消費電力化が十分に見込めるアーキテクチャーである。

5. 研究開発実施状況（平成 15 年度）

5-1 AMP 1（信号増幅用の初段のアンプ）

5-1-1 AMP 1 の概要

アンテナで受信したテレビ信号を増幅する AMP 1 は、入力信号電力が微弱であり、ノイズを極力付加しないで信号を増幅する低雑音性能が求められる。更に携帯端末で使用するために低消費電力が求められる。

テレビ信号の全帯域（90MHz～770MHz）を AMP 1 で増幅する構成にすると、多大な電力を消費する。このためテレビ信号の帯域を 2 または 3 のサブバンドに分割し、それぞれの帯域に対応した低雑音増幅器（LNA）を備える回路構成を検討中である。サブバンド化したことで、LNA 単体の消費電力を削減でき、また選択されたチャネルを含む帯域の LNA だけを動作させることにより、RF フロントエンド回路全体としての消費電力を抑えることができる。

5-1-1-1 ブロック構成

現在開発中の RF フロントエンドの回路構成を図 5-1-1-1 に示す。テレビ信号を UHF 帯と VHF 帯の 2 つに分け、それぞれの帯域に対応したアンテナ、バンドパス・フィルタ BPF 1、LNA、バンドパス・フィルタ BPF 2 からなる構成である。

バンドパス・フィルタ BPF 1 及び BPF 2 は受信信号の中から所望のチャネルを含む帯域だけを通過させて、不要な帯域の信号を除去する。また入力信号全体の電力を減少させ、後段の増幅器が飽和することを防ぐ。

BPF 2 の後段のスイッチで、受信信号に応じて、UHF 帯回路と VHF 帯回路の一方を選択し、後段の回路に接続する。

ATT は減衰器で、後段の MIXER 以降の回路において信号処理をするのに適した信号電力に調整する。

AMP 2 は MIXER と接続するバッファ回路である。

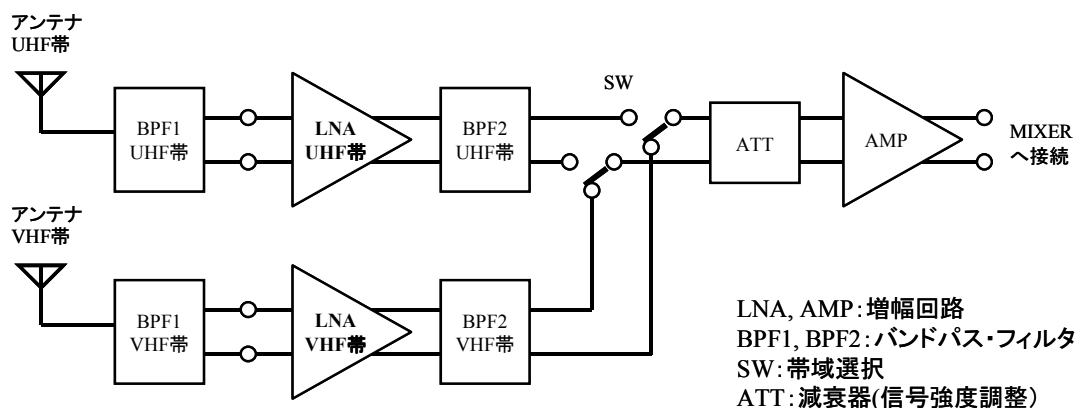


図 5 - 1 - 1 - 1 AMP 1 のブロック図

5-1-1-2 仕様

仕様案を下表にまとめた。

周波数はVHF/UHFの全帯域で、入力信号レベルとしては、ARIB仕様の最小値と、可能であれば送信アンテナ近傍での強レベルにも対応を考えている。

LNAの性能で、AMP 1 全体の雑音指数 (NF) が決まるため、LNAのNFとしては2 dB以下で電力利得は16 dB以上を目標とした。

入力の1 dBコンプレッションポイント (I1CP)、入力3次インターセプトポイント (IIP3) は、MIXER、IF回路の性能からシステムのレベルダイヤを検討して決定する予定である。同時に減衰器 (ATT) のGain制御量、制御方法を検討する。

消費電力はAMP 1 全体で10 mWを目標とした。この値が達成できるかは、実デバイスのNF、Gain、歪み特性を評価して検討する必要がある。

TDBとなっている項目は、現在検討中であり、実際の回路性能とシステム要求値から決める予定である。

表 仕様案

入力信号

帯域	[MHz]	90～220 / 450～770z
信号パワー	[dBm]	-72.0～-1.5

LNA (VHF 用と UHF 用の 2 種)

動作周波数	[MHz]	90～220 / 450～770
Gain (max)	[dB]	16
Gain (min)	[dB]	-14
NF (Gain が max の時)	[dB]	2
NF (Gain が min の時)	[dB]	20
入力 1dB CP	[dBm]	TBD
IIP3	[dBm]	(I1CP+10dB)
入力インピーダンス	[Ω]	50
入力反射損失	[dB]	8
逆方向アイソレーション	[dB]	20
消費電力 (目標値)	[mW]	5

後段 AMP

動作	[MHz]	90～220 / 450～770
Gain (max)	[dB]	25
Gain (min)	[dB]	-25
NF (Gain が max の時)	[dB]	5
NF (Gain が min の時)	[dB]	TBD
I1CP	[dBm]	TBD
IIP3	[dBm]	(I1CP+10dB)
逆方向アイソレーション	[dB]	30
消費電力 (目標値)	[mW]	5

5-1-2 AMP 1 の設計 (TEG 1)

AMP 1 として TEG 1 で設計したのは、AMP 1 ブロック図 (図 5-1-1-1) のアンテナと BPF 1 を除く、LNA から AMP までの回路である。シミュレータとしては、高周波回路の設計に適した ADS を使用した。

5-1-2-1 回路説明

LNA 1

LNA 1 の回路構成を図 2 に示す。差動のカスコード・アンプである。回路の負荷としてインダクタを用いており、抵抗負荷を使用した場合の電圧降下がないため、低電圧化が可能になる。電源電圧は $V_{DD} = 1.2\text{ V}$ で開発を進めている。ただしテレビ信号の周波数では、インダクタンス値として大きな値が必要となるため、外付けのインダクタを使用している。

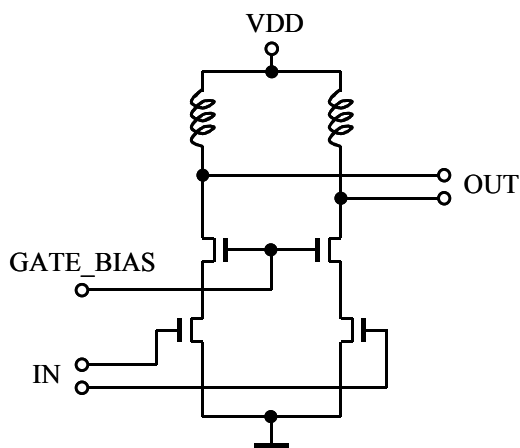


図 5-1-2-1 LNA の回路構成

図 5-1-2-2 は、UHF 帯の 770 MHz に対して入力整合をして LNA の特性をシミュレーションした結果である。 770 MHz で利得は 21.5 dB 、雑音指数は 2.2 dB と良好な結果が得られている。VHF 帯に対して入力整合をした場合の特性として、利得 26.5 dB 、雑音指数 1.4 dB が得られている。

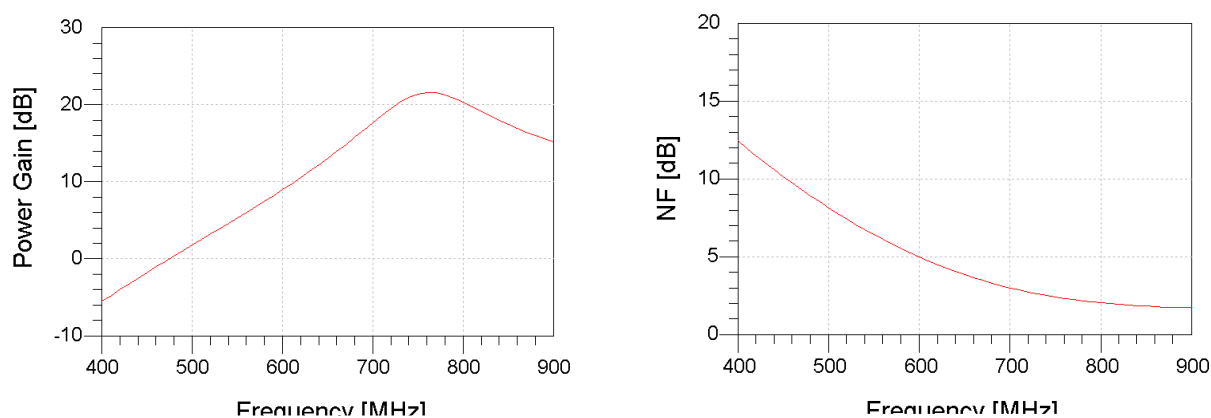


図5－1－2－2 LNAの電力利得と雑音指数（S i m結果）

消費電力は2.5 mW（電源電圧；1.2 V、消費電流：2.1 mA）である。低消費電力の目標を十分に満たす値と考える。またバイアスを調整することによって、消費電流が増加するが、利得と雑音指数の向上が可能であり、今後評価を進めて最適なバイアス点を決めていく予定である。

B P F 2

このB P Fは、V H F帯／U H F帯の各帯域内で、さらに数チャネル分の帯域に制限するために用いられる。M I Mキャパシタとトランジスタを直列に接続した可変容量と、L N Aの負荷である外付けインダクタを利用して、L C並列共振器を構成する。M I Mと直列に接続したトランジスタをスイッチングすることにより、容量を可変する。バイナリの重み付けをした容量値を持つ4組のM I M+T rを備え、デジタル的に制御して、16通りに容量値を可変する。

S W

トランジスタのスイッチで構成している。一般的にS P D Tスイッチと呼ばれる回路の差動型である。

A M P

現状はL N Aと同じ回路構成であるが、出力電力のコンプレッションポイントの仕様が決まり次第、回路の調整を行う予定である。

AMP 1 全体の設計性能

AMP 1 ブロック（図 5-1-1-1）の LNA から AMP までの回路のシミュレーション結果を示す。

UHF 帯の 600 MHz にチューニングした時の性能と VHF 帯の 190 MHz にチューニングした時の性能を示す。共に LNA は High Gain 設定、減衰器（ATT）の設定は減衰量が最小になる設定（AMP 1 として Max の Gain になる設定）である。

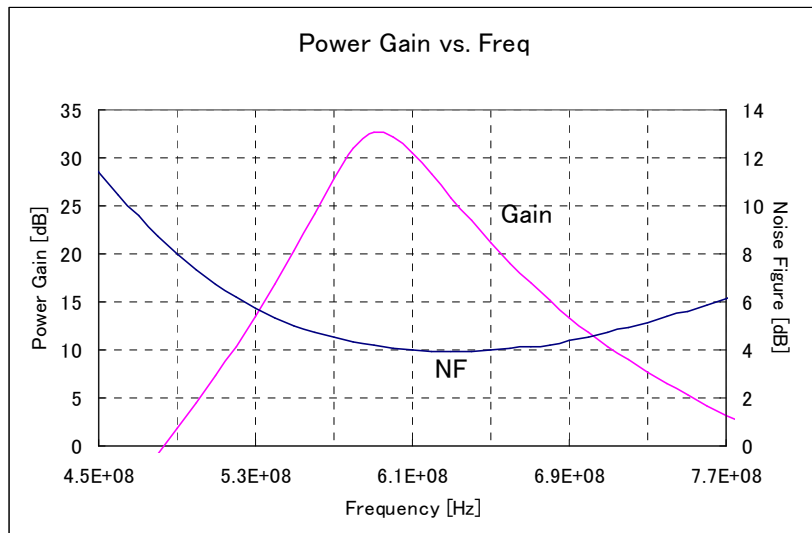


図 5-1-2-3 電力利得と雑音指数（NF）
（UHF 帯、LNA：High Gain、ATT：Max Gain）

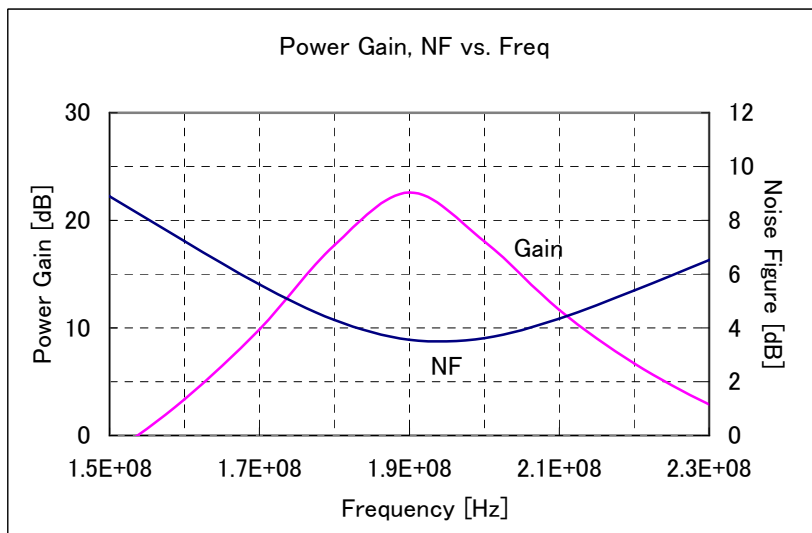


図 5-1-2-4 電力利得と雑音指数（NF）
（VHF 帯、LNA：High Gain、ATT：Max Gain）

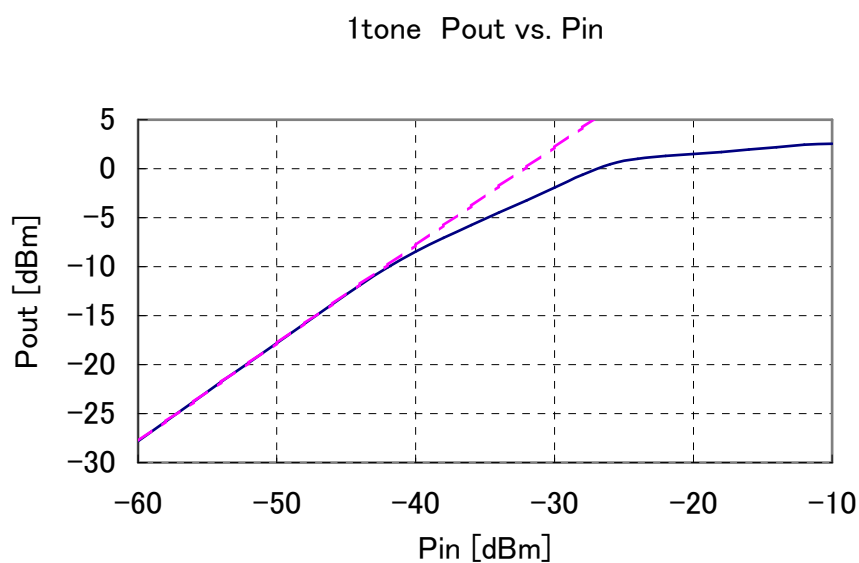


図5-1-2-5 入出力特性（周波数：190MHz）
（UHF帯、LNA：High Gain、ATT：Max Gain）

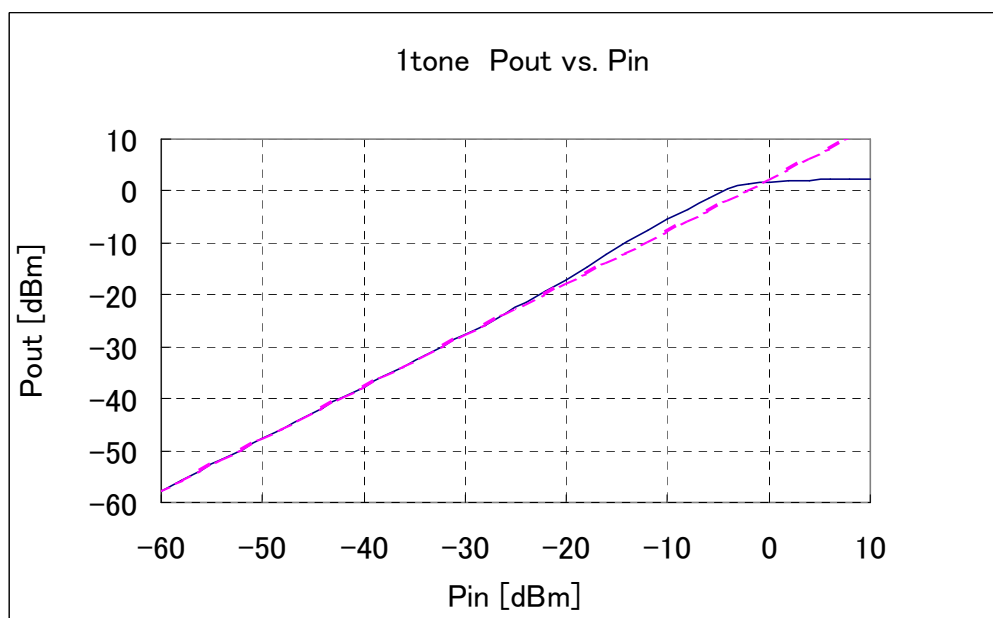


図5-1-2-6 入出力特性（周波数：190MHz）
（UHF帯、LNA：Low Gain、ATT：Max Gain）

5-1-3 AMP 1の測定結果 (TEG 1)

5-1-3-1 評価チップ及び評価ボード

トランジスタのゲート長 $0.11\mu\text{m}$ のプロセスを使用して、作成したチップの写真を図5-1-3-1に示す。AMP 1を四角で囲った領域は $3.2\text{mm} \times 2.2\text{mm}$ になる。容量にはMIMキャパシタを使用している。

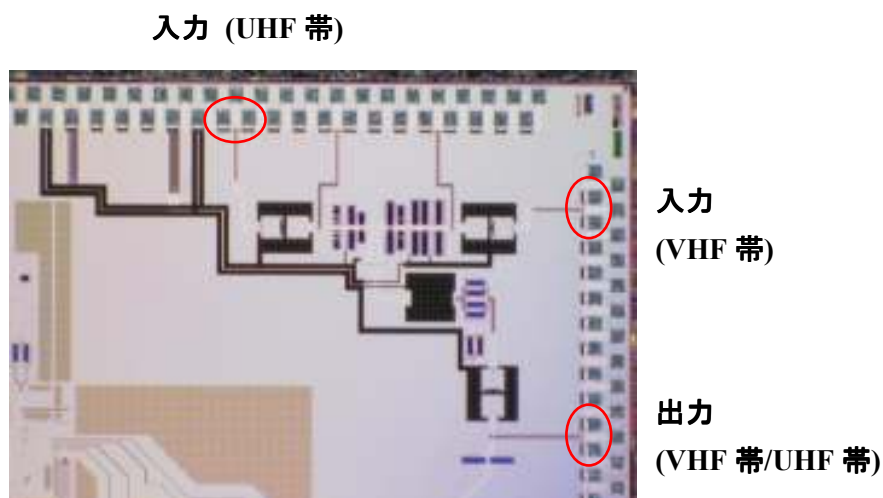


図5-1-3-1 チップ写真 (AMP 1部を拡大)

入力はUHF帯とVHF帯で分かれている。出力はVHF帯とVHFで共通である。これら入出力端子間で測定を行った。

このチップをパッケージに組上げ、評価ボードに実装して評価を行った。評価ボードを図5-1-3-2に示す。株式会社PWB社製の評価ボードを使用した。ボード上に実装されたバラントランスによって、単相入力信号を差動に変換している。高周波信号はコネクタにSMAを使用し、ボード上の高周波信号を伝達する伝送線路の特性インピーダンスは、 50Ω (差動) となっている。

制御のためのSWボードは別基板を用いており、ボード間をフラットケーブルで接続する。



図5-1-3-2 評価ボード（10cm×10cm）

5-1-3-2 測定方法

電力利得（PG）は、Network Analyzerにより測定した。
NFの測定には、NF Meterを使用した。

IIP3は、2信号入力時による出力D/U比の測定データから算出している。
また入力1dBコンプレッションポイントは、1信号による入出力測定より求めた。

5-1-3-3 測定結果（UHF帯受信系）

UHF帯の受信系（UHF帯LNA+UHF帯BPF2+SW+ATT+AMP）の測定結果を次表にまとめた。

消費電力は7.2mWで仕様範囲内であるが、Power GainはSim値32dBに対して実測値24dBと8dB足りない。これがTunerのシステムとして許容できるかどうかは、今後検討を進め、AMP1の性能にフィードバックする予定である。

-3dB帯域は、当初30MHzを目指していたが、測定値は40MHzであった。この値は入出力の整合回路による帯域制限の影響がある。BPF2の

性能を評価するために入出力整合回路無しで測定した結果、帯域幅は80 MHz程度であった。高周波BPFはQ値を上げることが難しいため、仕様緩和の方向でシステム検討を進める方針である。

測定条件

V_{dd} = 1.2 V

入出力50 Ωにマッチング

BPF 2外付けインダクタL（直列）= 3.9 nH × 2

入力側マッチング素子：C（直列）= 2.0 pF × 2、L（並列）= 15 nH

出力側マッチング素子：C（直列）= 2.0 pF × 2、L（並列）= 15 nH

表 測定結果（UHF帯）

評価項目	条件	単位	Sim 値	測定値
中心周波数		MHz	600	575
-3dB 帯域		MHz	42	40
PG_1 : LNA High Gain / ATT:Max. Gain	N.A 法	dB	32.2	23.9
PG_2 : LNA Low Gain / ATT: Max. Gain	N.A 法	dB		-4.7
LNA GC Range	(High Gain-Min Gain)	dB		28.6
ATT GC Range	全可変範囲	dB	53.6	
ATT GC Step	可変ステップ	dB		
NF_1 : LNA High Gain / ATT:Max. Gain	NF Meter	dB	4.1	4.1
IIP3_1 : LNA High Gain / ATT:Max. Gain	入力レベル:-35dBm	dBm	-27.00	-20.15
IIP3_2 : LNA Low Gain / ATT: Max. Gain	入力レベル:-25dBm	dBm		-8.2
1dB CP : LNA High Gain / ATT:Max. Gain		dBm	-30	-29
入力 Return Loss		dB	-24.4	-18.1
出力 Return Loss		dB	-28	-15.5
Vdd_1(LNA の電源)		V	1.2	1.2
Vdd_2(AMP の電源)		V	1.2	1.2
Idd_1(Vdd_1 の電流)		mA	2.12	2.75
Idd_2(Vdd_2 の電流)		mA	2.12	3.25
Idd_3(その他制御系回路)		μA	0.25	<1 μA

VHF帯受信時のAMP 1 全体の電力利得と雑音指数の周波数特性を図5-1-3-3に示す。また575MHz入力信号に対する入出力特性を図5-1-3-4に示す。

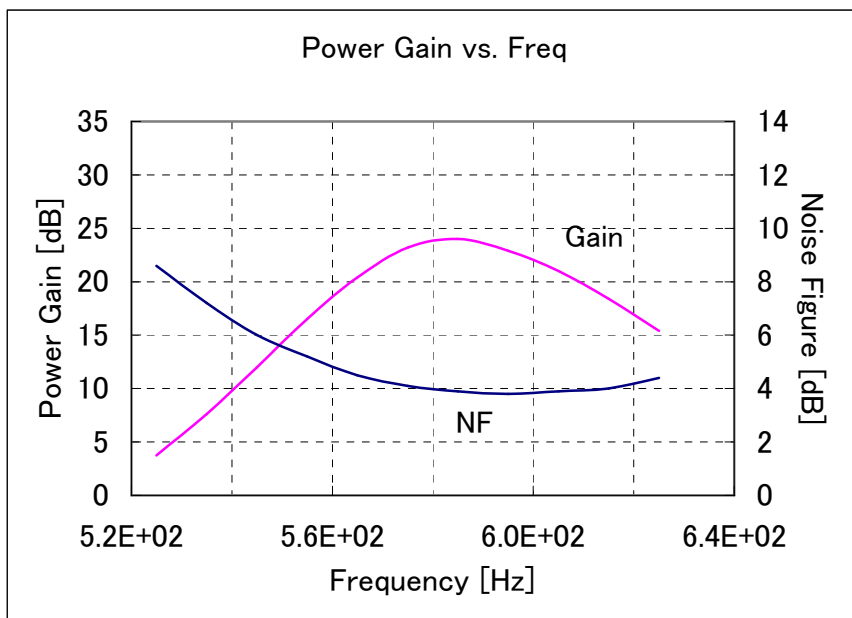


図5-1-3-3 電力利得と雑音指数 (NF)
(VHF帯、LNA: High Gain、ATT: Max Gain)

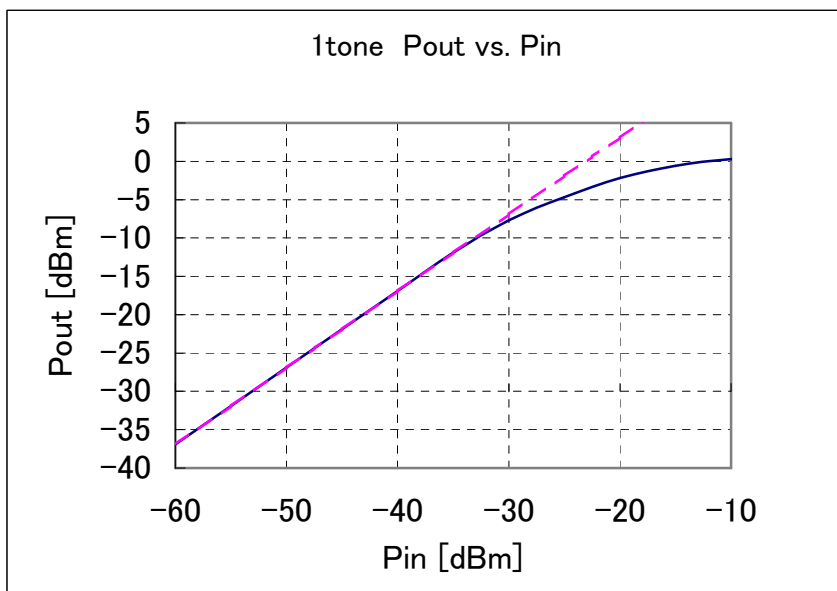


図5-1-3-4 入出力特性 (周波数: 575MHz)
(VHF帯、LNA: High Gain、ATT: Max Gain)

5-1-3-4 測定結果（VHF帯受信系）

VHF帯の受信系（VHF帯LNA+VHF帯BPF2+SW+ATT+AMP）の測定結果を次表にまとめた。消費電力は7.4mWで仕様範囲内に収まっている。

ゲインがシミュレーション値より高くなっているが、これはシミュレーションでは発振防止のためにダンピング抵抗を挿入していたのが、実デバイスでは必要なかったためである。入力の1dBコンプレッションポイントが-40dBmであり、これがTunerのシステムとして許容できるかどうかは、ゲインの制御も含めて、今後検討を進め、AMP1の性能にフィードバックする予定である。

-3dB帯域は15MHzであり、狭帯域にできているが、UHF帯の測定結果と同様、入出力整合回路の影響がある。入出力整合回路無しでの帯域幅これより広帯域になり、30MHz程度であった。

測定条件

Vdd = 1.2V

入出力50Ωにマッチング

BPF2外付けインダクタL（直列）= 180nH×2、L（並列）= 120nH

入力側マッチング素子：C（直列）= 5.1pF×2、L（並列）= 120nH

出力側マッチング素子：C（直列）= 6.8pF×2

表 測定結果（VHF 帯）

評価項目	条件	単位	Sim 値	測定値
中心周波数		MHz	190	185
-3dB 帯域		MHz	16	15
PG_1 : LNA High Gain / ATT:Max. Gain	N.A 法	dB	22.5	35.3
PG_2 : LNA Low Gain / ATT: Max. Gain	N.A 法	dB		7.6
LNA GC Range	(High Gain-Min Gain)	dB		27.7
ATT GC Range	全可変範囲	dB	57.0	
ATT GC Step	可変ステップ	dB		
NF_1 : LNA High Gain / ATT:Max. Gain	NF Meter	dB	3.5	3.1
IIP3_1 : LNA High Gain / ATT:Max. Gain	入力レベル:-40dBm	dBm	-24.50	-32.29
IIP3_2 : LNA Low Gain / ATT: Max. Gain	入力レベル:-30dBm	dBm		-10.65
I 1dB CP : LNA High Gain / ATT:Max. Gain		dBm	-27	-40
入力 Return Loss		dB	-28.2	-13.1
出力 Return Loss		dB	-22.8	-11.1
Vdd_1(LNA の電源)		V	1.2	1.2
Vdd_2(AMP の電源)		V	1.2	1.2
Idd_1(Vdd_1 の電流)		mA	2.12	3.1
Idd_2(Vdd_2 の電流)		mA	2.12	3.2
Idd_3(その他制御系回路)		μA	0.25	$<1 \mu A$

VHF帯受信時のAMP 1 全体の電力利得と雑音指数の周波数特性を図5-1-3-3に示す。また575MHz入力信号に対する入出力特性を図5-1-3-4に示す。

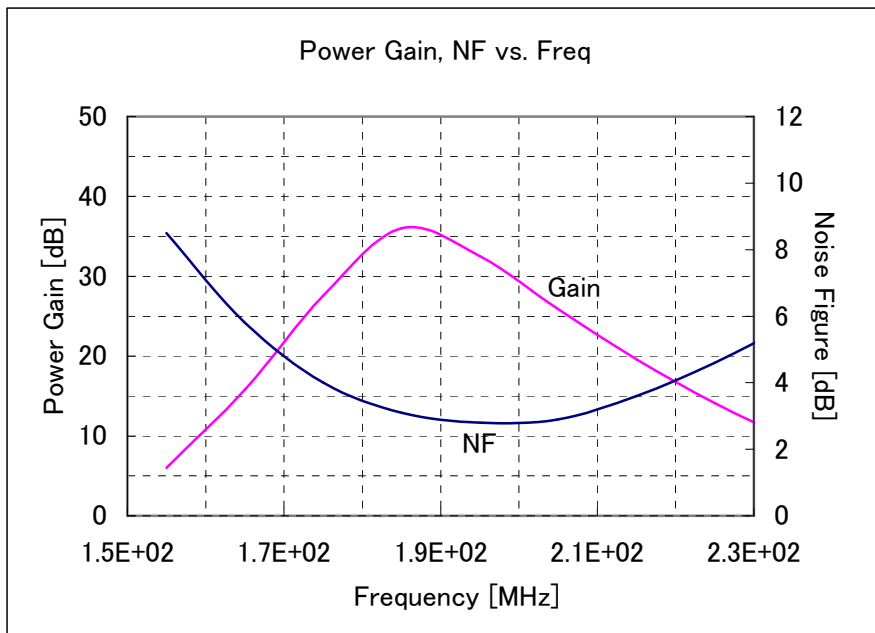


図5-1-3-5 電力利得と雑音指数 (NF)
(VHF帯、LNA: High Gain、ATT: Max Gain)

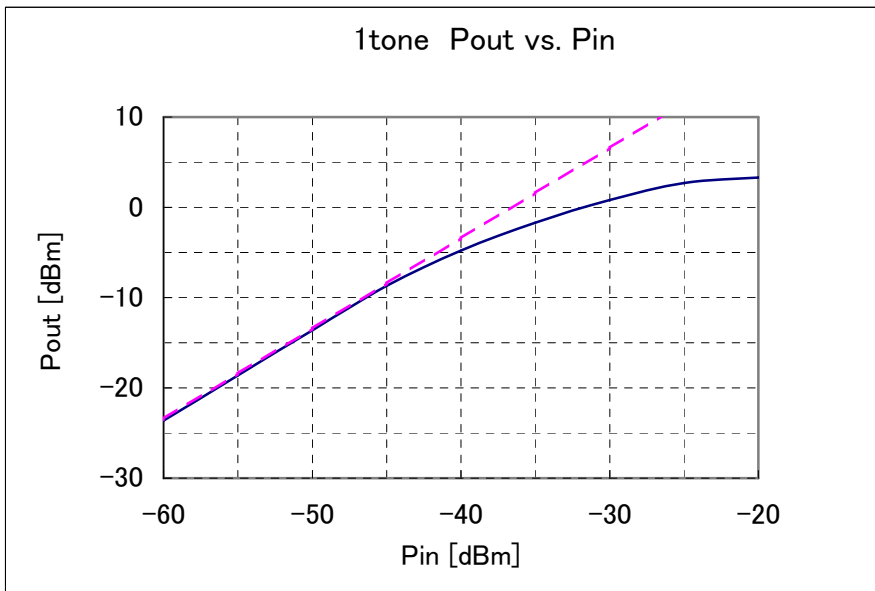


図5-1-3-6 入出力特性 (周波数: 185MHz)
(VHF帯、LNA: High Gain、ATT: Max Gain)

5-1-3-5 OFDM信号を用いたアンプの解析

図5-1-3-7は、AMP 1の測定系の一例である。右上の装置がOFDM信号発生器で、右下の液晶画面の大きな装置が変調解析器である。信号発生器から発生したOFDM信号をAMP 1のテストボードに入力し、AMP 1の出力を変調解析器で観測している。この結果から、AMPの歪み特性、周波数特性が、Tunerシステムとして実用可能なレベルか現在評価中である。

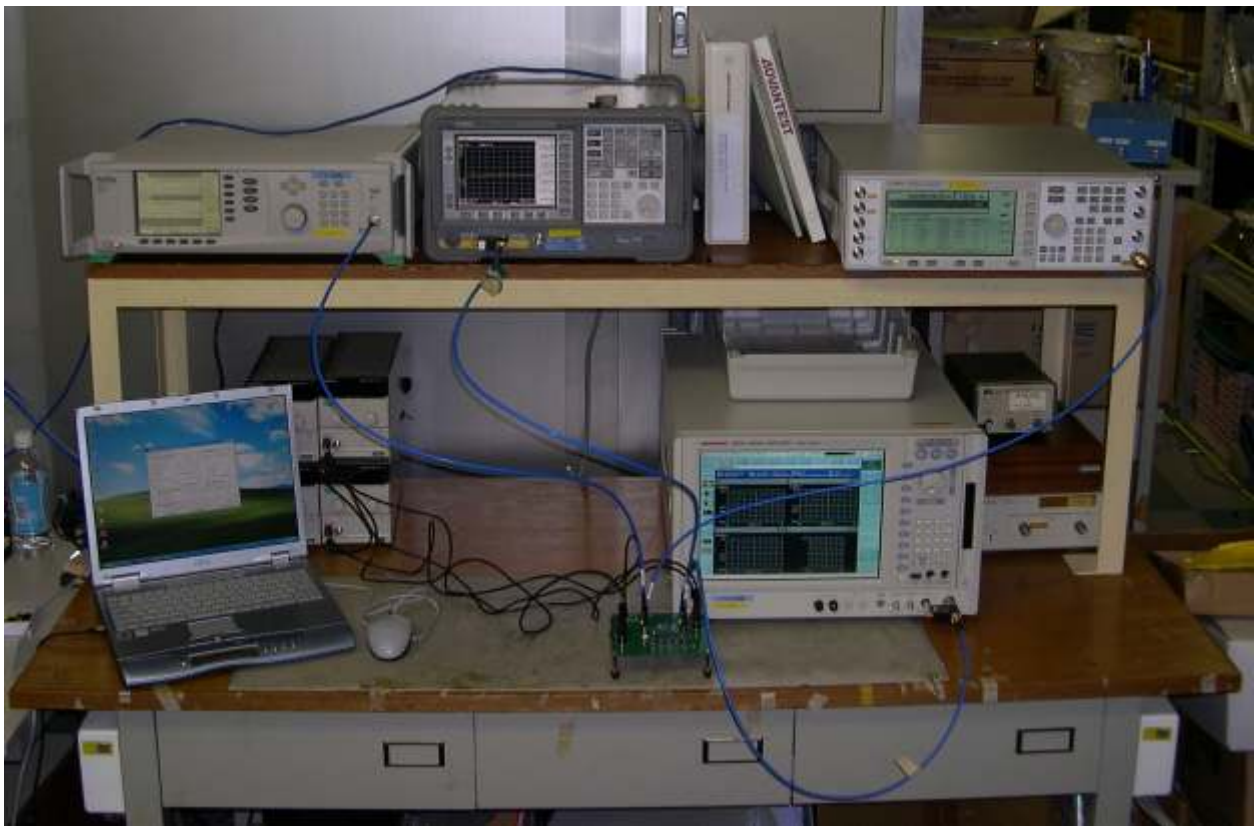


図5-1-3-7 AMP 1の測定系（OFDM信号を用いた測定系）

5-1-4 今後のAMP 1 開発予定

今後はTunerシステムのレベルダイヤを検討して、AMP 1 の仕様を決めていく。AMP 1 としては、この仕様を満たすように回路の改良を行う。

TEG 1 で設計した低消費電力性を保ちつつ、電力利得、雑音指数、歪み特性等をシステム要求値に合わせることは大きな課題になる。

TEG 1 の問題点として、入力の整合回路で帯域が制限されることが挙げられる。TEG 2 では、中心周波数を可変できる整合回路を設計するか、入力インピーダンスが、UHF 帯・VHF 帯でそれぞれ $50\ \Omega$ になる広帯域アンプを設計することを検討している。

5-1-5 今年度導入設備について

今年度、試作した I C の評価を目的に下記設備を導入して、これまで上記で説明した評価に使用した。

(1) シグナルアナライザ

購入設備の写真を図 5-1-5-1 に示す。本設備は、試作した R F フロントエンド部の各コンポーネントの性能を D T V の変調信号である O F D M 信号を入力して、変調解析を行い、その劣化量を測定することを目的としている。その結果を L S I 設計へフィードバックさせる。

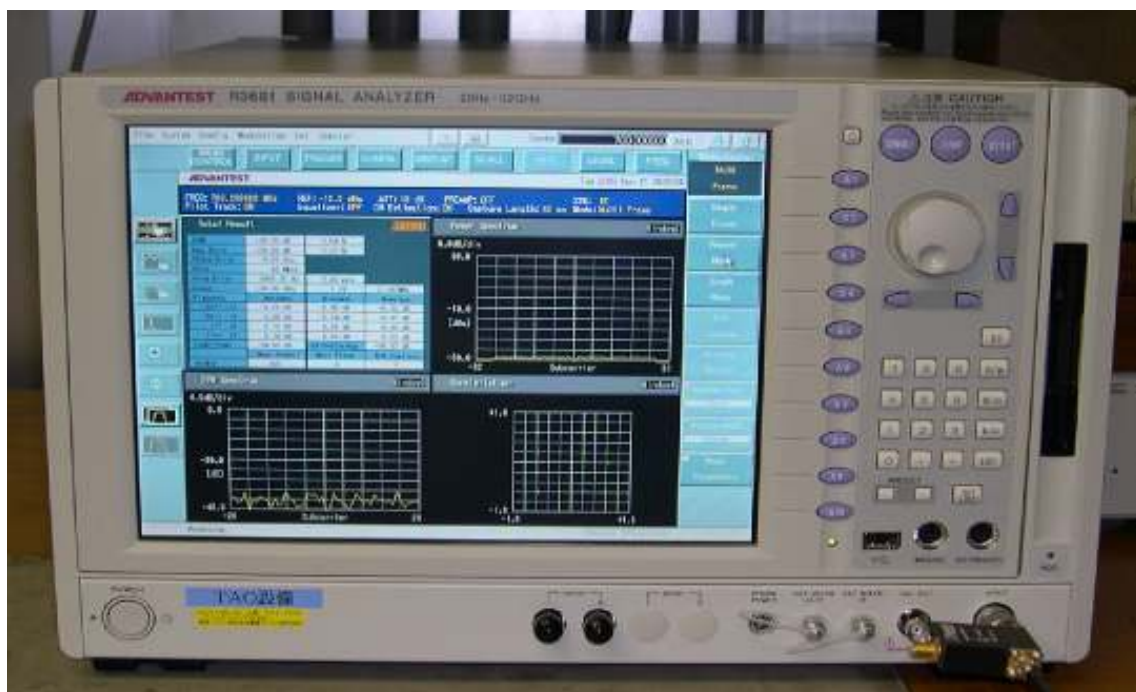


図 5-1-5-1 シグナルアナライザ

主な性能等は下記の通りである。

- ・品名型各／メーカー：R 3 6 8 1／株式会社アドバンテスト
- ・測定周波数範囲：2 0 H z ～ 3 2 G H z
- ・平均表示雑音レベル：- 1 5 8 d B m (t y p . 1 G H z)
- ・1 d B 圧縮ポイント：+ 1 0 d B m (t y p . 2 0 0 M H z ～ 3 . 5 G H z)
- ・3 次相互変調歪み (T . O . I) : + 2 6 d B m (t y p . 2 ～ 3 . 5 G H z)

・信号純度（800MHz において）

10kHz offset：-120dBc/Hz 以上

1MHz offset：-140dBc/Hz 以上

10MHz offset：-155dBc/Hz 以上

（２）スペクトラムアナライザ

本設備は、VCOの位相ノイズ測定、或いは、試作した高周波要素回路である増幅器等の入出力スペクトラム解析、および歪み特性の評価等の周波数軸上でのOFDM変調信号特性の測定を目的に購入した設備である。購入設備の写真を図5-1-5-2に示す。



図 5－1－5－2 スペクトラムアナライザ

主な性能等は下記の通りである。

- ・品名型各／メーカー：E 4 4 0 7 B／アジレント・テクノロジー株式会社
- ・周波数範囲：1 0 0 H z － 2 6 . 5 G H z
- ・分解能帯域幅：1 H z － 5 M H z
- ・表示平均ノイズレベル：<= - 1 5 0 d B m
- ・最大達成可能 3 次ダイナミックレンジ
： 1 0 8 d B （+ 1 2 . 5 d B m T O I）

（3）シグナルジェネレータ

本設備は、上記のスペクトラムアナライザと連携して、歪特性、或いは、基準信号源として使用することを目的に購入した設備である。基準信号源としての十分な性能を得るために、周波数範囲は広帯域のものを選択した。購入設備の写真を図 5－1－5－3 に示す。



図 5-1-5-3 シグナルジェネレータ

主な性能等は下記の通りである。

- ・品名型各／メーカー：MG3694A・アンリツ株式会社
- ・周波数範囲：10MHz～40GHz
- ・スプリアス（2.2GHz以下）：-50dBc以下
- ・SSB位相雑音（2.2GHz以下）：-82dBc/Hz@100Hz以下
- ・出力電力（2.2GHz以下）：13dBmMAX

(3) ADS

本年度も設計環境の充実を目的に、RF回路の設計ツールであるADSを購入して、RFフロントエンド部の設計を進めた。品名、メーカー等は、昨年度と同じである。図5-1-5-4にADSのスキマ、シミュレーション結果の表示ウィンドウを示す。

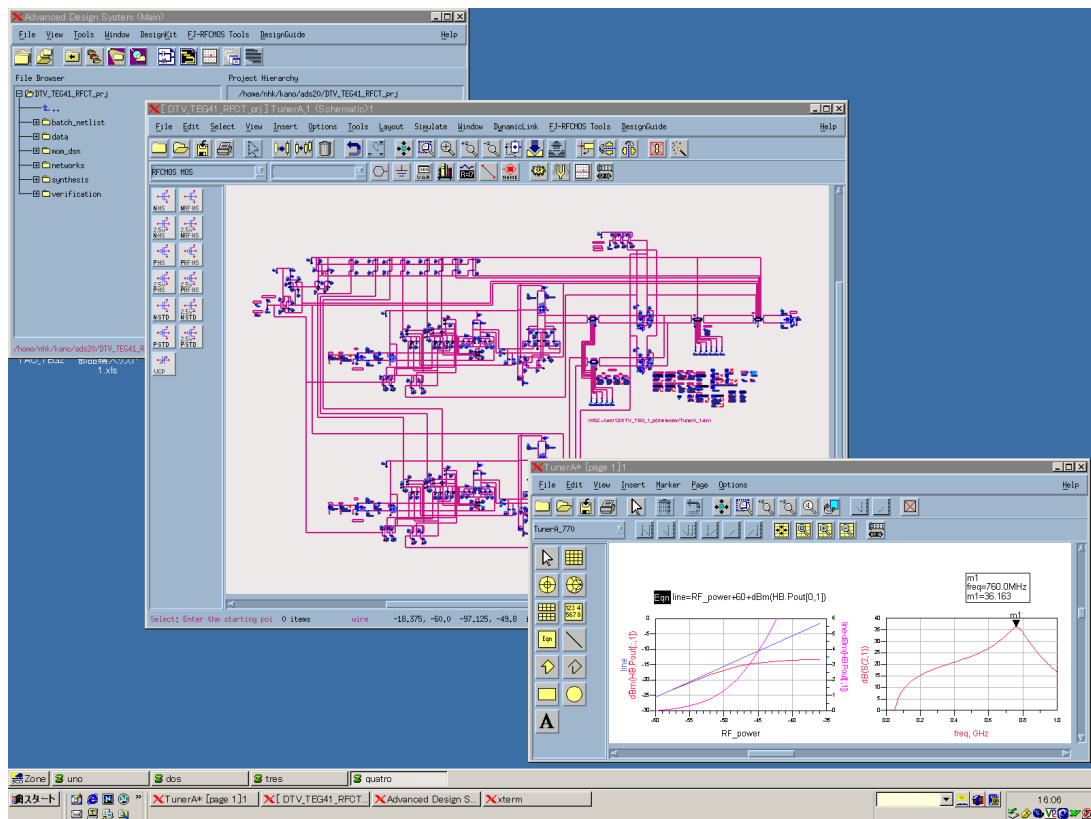


図5-1-5-4 ADS

5-2 OSC1 (周波数発生回路)

5-2-1 TEG1設計目標

本年度の目標は、以下とした。

- (1) 低消費電力化が可能なOSC部 (シンセサイザ) の構成検討と選定
 - (2) 全チャネルに対して4相のローカル信号を提供できる回路の設計と試作
- ※目標消費電力達成、ばらつき変動時動作保障は来期の課題とする。

5-2-1-1 TEG1達成課題

上記目標達成のための具体的な課題として以下の3点を掲げ、各々の課題を達成した。

(1) 必要なローカル信号の検討

将来の地上デジタル放送サービスを想定し、VHF帯周波数に対しては3/7MHz間隔で配置される13セグメントの各セグメントの受信に必要なローカル信号を提供する。また、UHF帯周波数に対しては、13セグメント単位でのサービス予定であることから、受信チャネルは6MHz間隔で配置される中心の1もしくは3セグメントでの受信に必要なローカル信号を提供することとした。

(2) 低消費電力化のための回路共通化検討

14年度の検討成果を更に進め、QDEMの為の4相信号生成回路 (以後IQ生成回路 とよぶ) としては、後述 (5-2-1-2-2) の検討に基づき、Differential+2N分周を採用した。さらに、消費電力や雑音特性を考慮した上でのVCOやPLLの構成を検討し、受信チャネルの適切なグループ化により回路の共通化をすることで、低消費電力化や回路面積の縮小を達成した。

(3) VCOならびにPLL回路の検討

(1)(2) の検討により得られた結果をふまえ、必要な発振周波数やPLL方式、必要なIQ生成部分周比についての検討を進め、最終的なシンセサイザ構成とその構成パラメータを決定した。

5-2-1-2 TEG1設計

5-2-1-2-1 シンセサイザ ブロック構成図

シンセサイザの構成として、図5-2-1に示すものをもとに検討を進めた。本構成とすることで、IQ生成部では分周とIQ生成の2つの役割を担う。このため、PLL部では、比較的高い参照周波数を用いたPLLとすることが可

能になる。また、Quadrature VCOなどの複雑な構成やレイアウトが必要なVCOを用いないで済む。

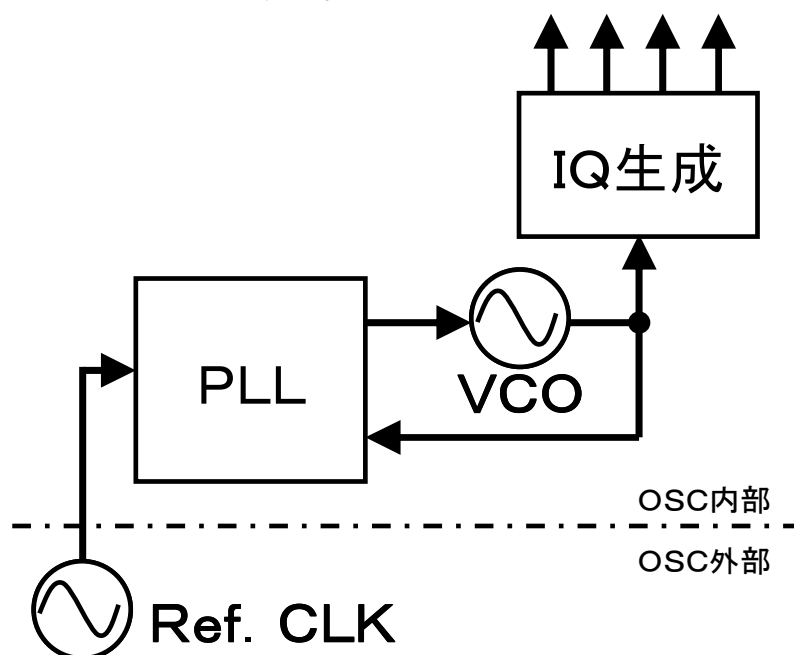


図5-2-1 ブロック図 (OSC部)

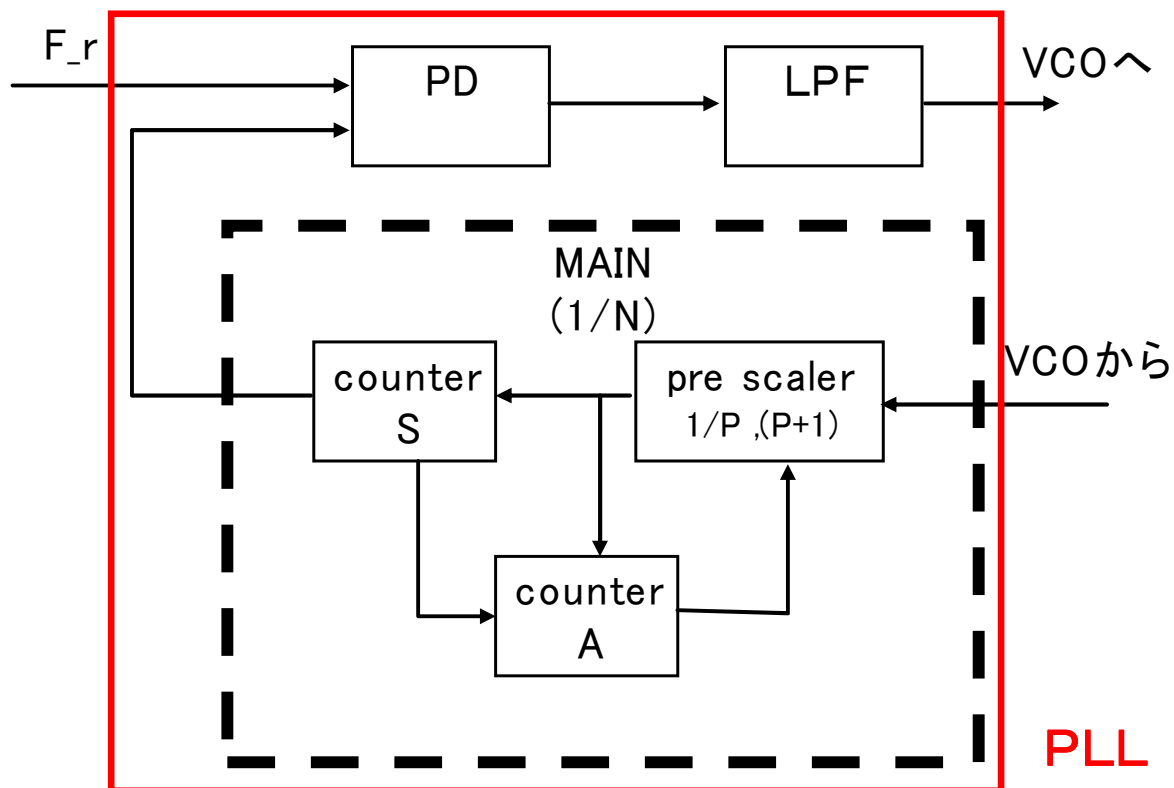


図5-2-2 ブロック図 (PLL部)

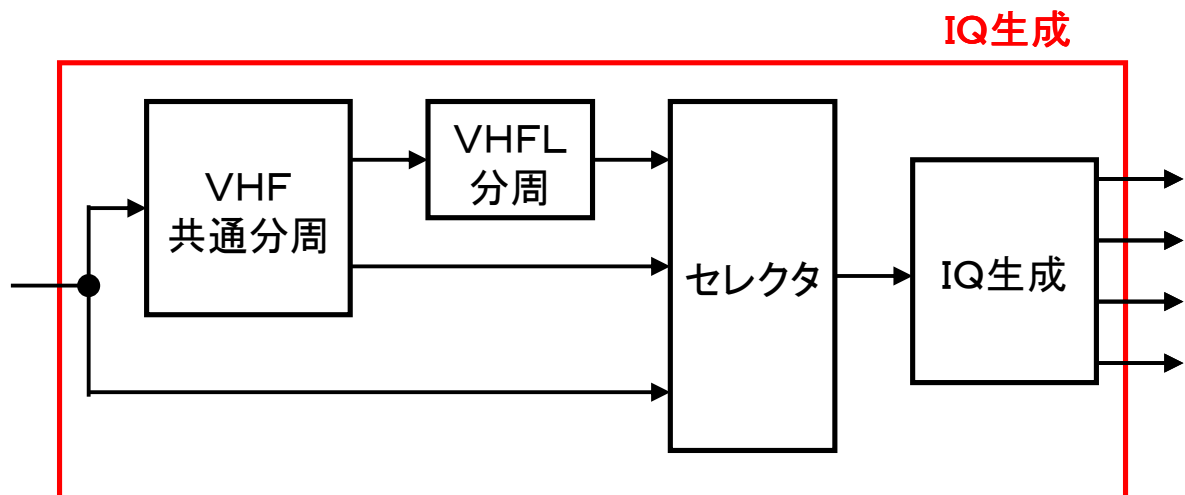


図 5 - 2 - 3 ブロック図 (I Q 生成部)

P L L 部は図 5 - 2 - 2 に示す構成にて検討を進めた。本構成は、一般にパルススワロウ方式 P L L などと呼ばれるものであり、高速動作可能な可変通倍 P L L である。この他にも、スプリアス成分の改善を目指した $\Delta - \Sigma$ 方式 P L L や分数分周 P L L などもあるが、回路規模、低消費電力化という点で優位な本構成を基本構成とした。

I Q 生成部は、図 5 - 2 - 3 に示す構成にて検討を進めた。共通分周部やセクタの入力数などは、採用する構成によりさまざまに変化するが、原理はいずれも同じである。本構成は、T E G 1 にて作成した回路 (3 : 1 セレクト方式) を示している。V C O から入力したクロック信号は、必要なローカル信号周波数に応じて適宜分周され (必要なパスがセクタで選択される)、I Q 生成段にて 4 相の信号が作られる。

なお、実際に生成される 4 相信号の信号間位相差精度は、回路内素子の特性ミスマッチや基準となる V C O クロックの特性により変化してしまう。このため、将来的には I Q 生成部には位相差検出回路や位相差調整回路などの付加も必要となる可能性があるが、本課題に関しては来期以降に検討する。

5-2-1-2-2 PLL設定検討（分周設定、ローカル信号オフセット）

本シンセサイザの設計にあたり考慮した7つのパラメータを図5-2-4に示す。以下に、それぞれについての簡単な説明を示す。

VCO部に関しては、発振周波数と発振範囲の選定が必要になる。雑音特性の良いLC共振器型VCOを使用する場合、発振周波数が低すぎるとインダクタ値が大きくなり、チップ内インダクタを使用できなくなるデメリットがある。逆に、発振周波数が高すぎると、発振利得の不足や他の回路の動作速度不足が起きてしまう問題がある。また、VCOの発振範囲を広く確保しようとする、周波数調整に用いる可変容量値が大きくなり、回路の消費電流増大やVCO利得の変化が大きくなるなどの問題を引き起こしてしまう。さらに、これらのパラメータは他のIQ生成部やPLL部の方式、分周比に直接影響を及ぼしてしまう点も設計を難しくしている。

PLL部に関しては、位相比較周波数（Ref. CLK）の高低や、先述のとおり分数分周PLLなどのPLL構成の選択が必要となる。Ref. CLKはPLL内のループフィルタの帯域に直接影響を与えるために、PLLの雑音抑圧特性を大きく変えてしまう。さらに、PLLのループフィルタのチップ内蔵化の為に、位相比較周波数を高くしたいという希望がある。一方で、PLL方式の差は、回路規模の増大による消費電流の増加や予期しないスプリアス成分の漏れ込みを引き起こすため、これらを考慮した全体調整が必要である。これらのパラメータは、PLLがロックできる周波数間隔や雑音抑圧特性の変化としてシンセサイザ全体の特性に影響を及ぼす。

IQ部に関しては、分周器を共通化して回路規模を小さくする検討が必要であるが、一方で過度に共通化すると、VCOの発振範囲が実現不可能なほどに広くなってしまう。

また、4相の信号を作り出す方式により、必要な消費電力や回路規模に大きな差が生じてしまう。4相の信号を生成する方法として、以下の3つを比較し、a)を採用することとした。

- a) Differential + 2N分周による4相信号の生成
- b) Quadrature VCOによる4相信号の生成。
- c) ポリフェーズフィルタ等を用いた分周しない（入力周波数と出力周波数の等しい）4相信号の生成。

b) の方式では、所望のローカル信号周波数が $90\text{MHz} \sim 700\text{MHz}$ と低周波数で、かつ広い可変幅であるために、これを作成するための VCO 回路の規模や面積の増大が問題となる。また、高周波数で 4 相信号を作成した後に、それぞれのパスで分周をする構成も考えられるが、この場合には各分周回路間での位相ずれが発生し、構成のメリットが小さくなる。

c) の方式は、単一の周波数あるいは狭い範囲の周波数帯においては広く用いられている方法であり、また位相精度も良いことが知られている。しかし、今回のように $90\text{MHz} \sim 700\text{MHz}$ と非常に広い周波数範囲では、多段化に伴う回路損失や回路面積などが問題となってしまう。

さらに、Low-IF 受信方式では、シンセサイザの最終出力であるローカル信号の周波数と、受信する信号チャネルとの間に一定のオフセット周波数が必要となる。通常、この周波数は単一のものをを用いるが、これを後段回路の工夫により複数の周波数から選択できるようにすることで、シンセサイザに求められる周波数設定間隔が緩和され、回路構成の単純化や低消費電力化が可能となる場合がある。従って、このローカル信号のオフセットもシンセサイザを検討する際の一つのパラメータとなる。

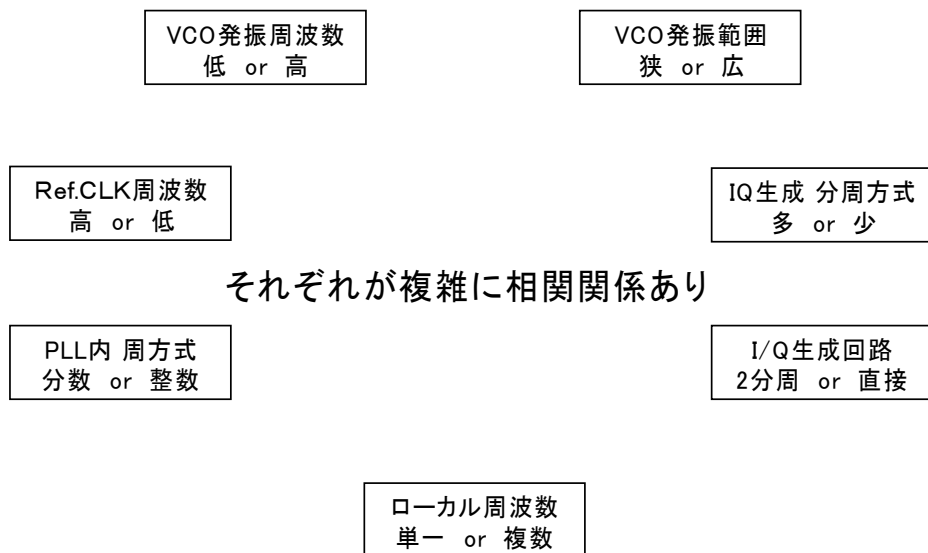


図 5-2-4 OSC 部構成検討各パラメータの影響

上記の検討を踏まえ、図 5-2-5 のシンセサイザ構成のもと、表 5-2-1 の各パラメータ間での影響を考慮した検討を進め、最終的な構成を表 5-2-1 に示す (A) とした。参考までに、他の主たる構成も同表中に示す。

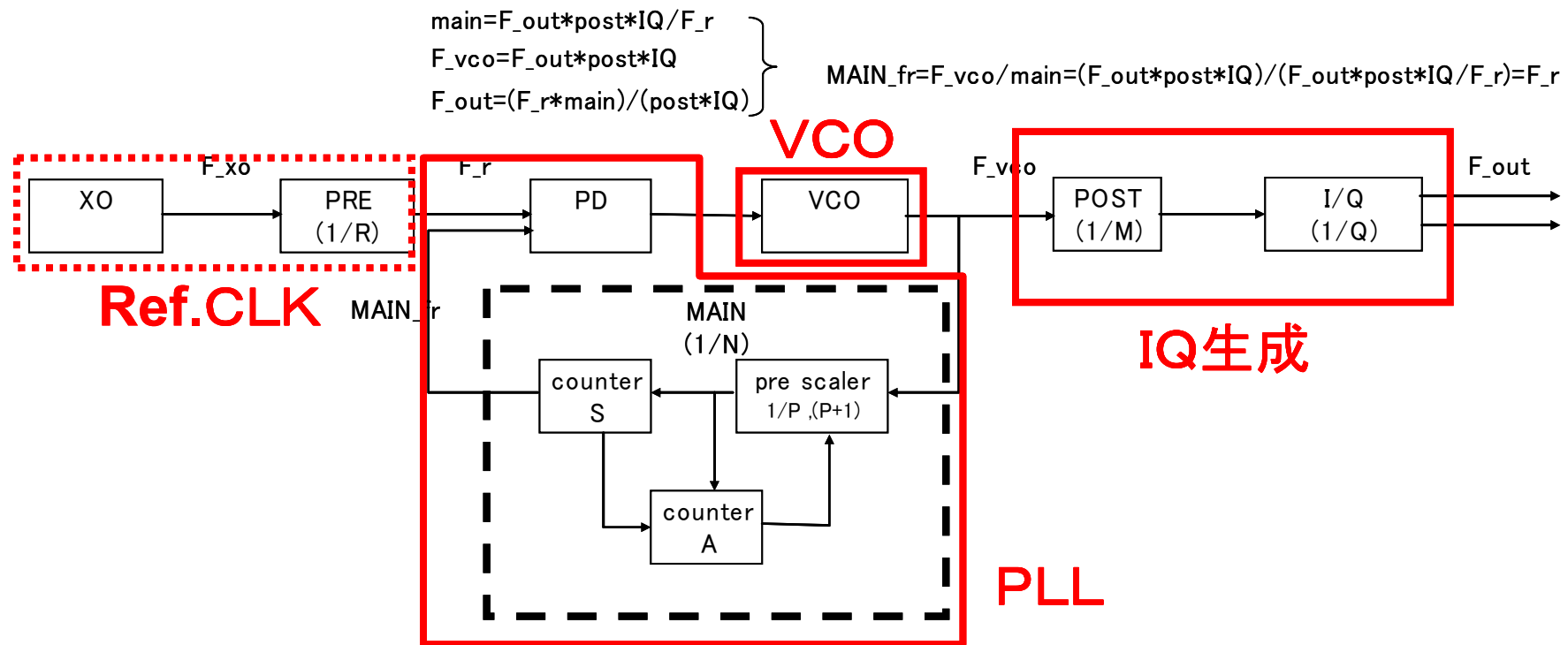


図 5 - 2 - 5 検討したシンセサイザ構成とパラメータ

表 5－2－1 シンセサイザ構成検討パラメータ

No.	記号	名称	TEG1 設定
1	F _{xo}	基準CLK源周波数	6MHz
2	F _r	PLL位相比較周波数	6MHz
3	F _{vco}	VCO発振周波数	1.9G～3.1GHz
4	F _{out}	I/Q信号周波数	90M～700MHz
5	R	参照CLKパス 分周比	1
6	N	PLL 分周比	整数
7	M	I/Q生成前段 分周比	2～14(3段階)
8	Q	I/Q生成後段 分周比	2

表 5－2－2 構成検討結果

No.	target	pre (R)	post (M)	I/Q (Q)	F _r	PLL 分周方式	LO信号 オフセット	VCO 周波数	VCO 発振範囲
A	VHFL	1	14	2	6MHz	整数	複数	1.9～3.1GHz	170%
	VHFH		7						
	UHF		2						
B	ALL	1	1	1	0.14MHz	整数	単一	0.09～0.7GHz	780%
C	VHFL	1	28	2	4MHz	整数	単一	4.5～6.8GHz	150%
	VHFH		14						
	UHFL		6						
	UHFH		4						
D	VHFL	1	16	2	4MHz	分数	単一	1.9～3.5GHz	190%
	VHFH		8						
	UHF		2						
E	VHFL	1	28	1	2MHz	整数	単一	2.2～3.4GHz	160%
	VHFH		14						
	UHFL		6						
	UHFH		4						

注) 表中の2重枠部(灰色部)が実現困難と判断したパラメータ

(A) TEG1構成

回路特性、実現性などの点で総合的に最適な構成と判断。

ローカル信号オフセット周波数を複数(選択式)とする構成を採用し、PLLに求められる発振周波数間隔を緩和して構成の簡略化を実現。(オフセット周波数を複数のものから選択するシステム構成はH15年度に特許出願済)

(B) 直接発生

受信チャネルの中心周波数が約800%もの可変幅を必要とするため、このようなVCOの実現は困難と判断。LC共振器型VCOではこのような低周波数発振ではL、Cともに大きすぎる。また、雑音特性の面で不利なRing VCOなどを用いるにしても、これだけの可変幅を有するためにはスイッチなどを組み合わせた大規模な回路になると判断した。

位相比較周波数が低い点も雑音特性上で不利である。

(C) 高周波VCO採用

低消費電力化の面での制限がなく、VCO後段の回路動作も6GHzの信号入力に対して十分に高速であれば、最も望ましい形態である。しかしながら、現実の問題として、他回路の高速回路動作などの点に問題があるため、不可とした。

(D) 分数分周方式PLL採用

PLL部回路規模増大による消費電力増加の可能性がある、また雑音特性の面でも不利と判断した。

(E) 非分周方式(差動-4相生成回路)

4相信号の作成に分周器を用いない本方式は、構成としては単純で魅力的であるが、先述の理由により、今回の非常に広い帯域における精度の良いIQ信号生成は実現困難と判断した。

5-2-1-2-3 VCO設計

VCOには、雑音特性と集積性の点から、チップ内スパイラルインダクタを用いたLC共振器型VCOを採用した。

回路構成を図5-2-6に示す。ジッタ低減のために、VCOの制御電圧一周波数変換利得を小さくすることが望ましく、可変容量はバラクタを調整する微調部と6ビットの固定容量を切替える粗調部とで構成している。

なお、インダクタ、バラクタ、容量、Trなどは各々を個別に評価、モデル化を行い、精度の良い特性シミュレーションを可能としている。この結果、シミュレーションの段階での特性推測と実際の回路特性とは10%を超えない範囲で適合するようになっている。

実際のVCO回路では、回路内素子(トランジスタ、容量など)の素子特性ばらつきが存在する。最終的には、これらが存在しても必要な発振範囲を確保できなくてはならないが、TEG1ではTYP条件による動作確認を目標とし、VCOのより広い発振範囲設計は来年度以降の課題とした。

今回の設計において予測した、VCOの発振特性(電圧一周波数変換特性)を図

5-2-7に、VCO自走時のスペクトル特性を図5-2-8に示す。

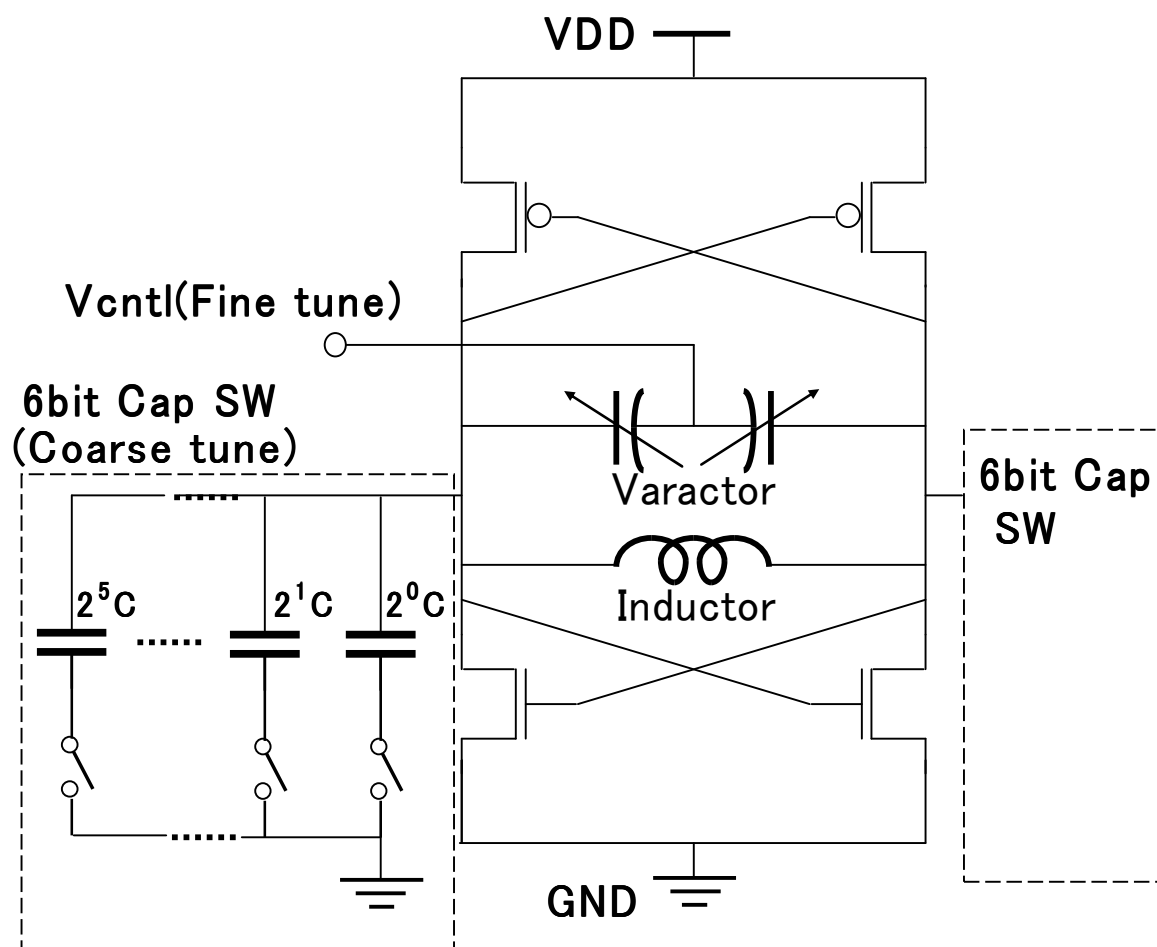


図 5-2-6 VCO回路構成

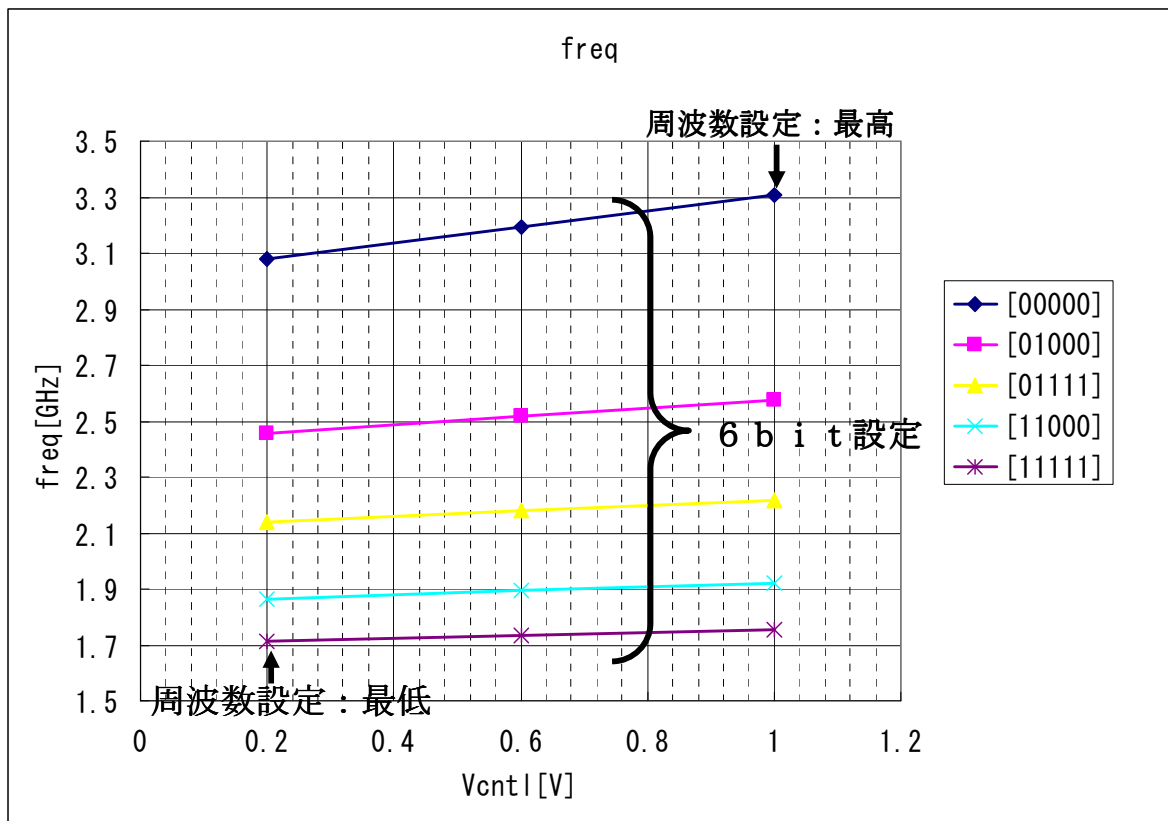


図 5-2-7 VCOの発振特性(シミュレーション)

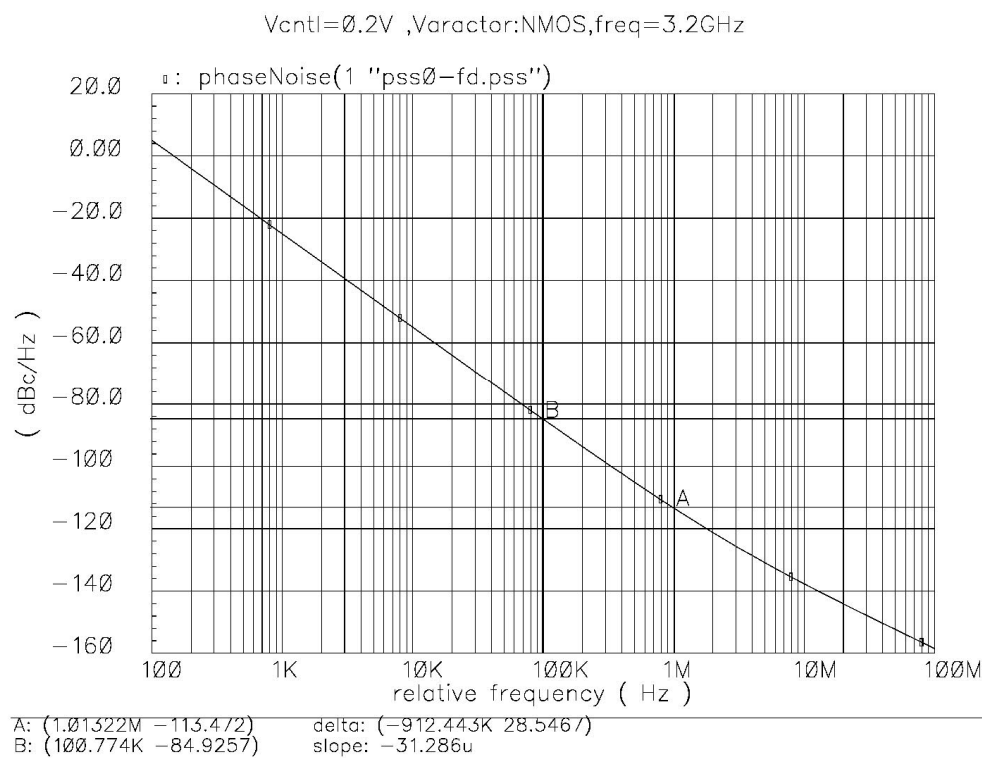


図 5-2-8 VCO自走時のスペクトル特性(シミュレーション)

5-2-2 TEG1評価

回路を試作して評価を行い、

- (1) 全チャネルに対して4相信号を提供可能
- (2) VCOスペクトル良好
- (3) 消費電流大(来期課題)

を確認した。

本年度目標であった全チャネルに対する4相信号の提供が可能であることを確認し、設計の有効性を確認することができた。

5-2-2-1 TEG1チップ写真, 評価ボード写真

図5-2-9に今回作成したTEG1のOSC部拡大写真を示す。PLLのフィルタ容量とVCOのインダクタが大きな面積を占めている。

また、図5-2-10に評価のために新規に作成した評価ボード写真を示す。

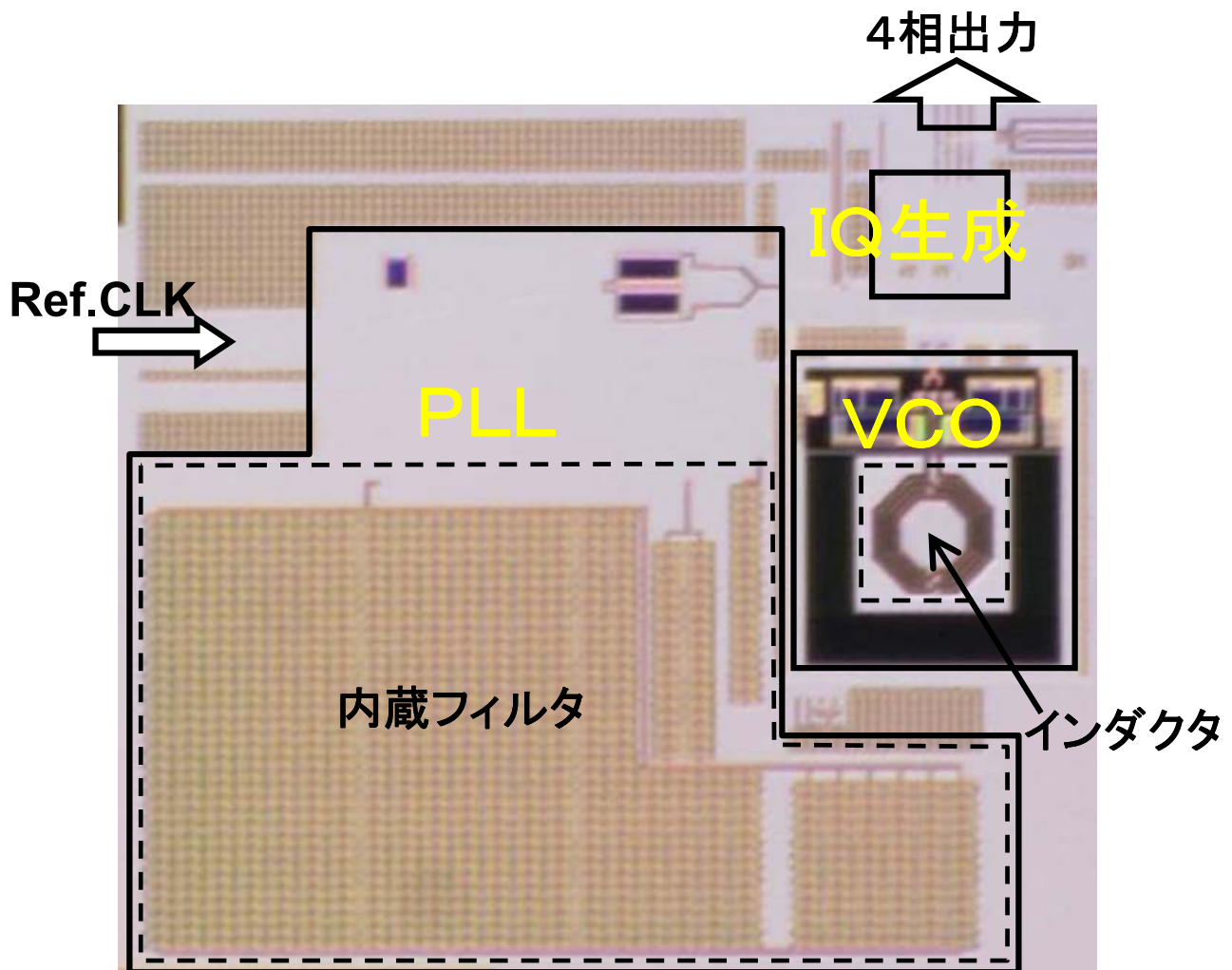


図5-2-9 チップ写真 (OSC部)



図 5－2－10 評価ボード写真（OSC用）
OSC内にて使用する個別回路も評価可能

5-2-2-2 シンセ評価

5-2-2-2-1 各部電流

TEG1での各回路ブロックでの消費電流を評価した結果を表5-2-3示す。先述のとおり、本回路は最終的な消費電流の到達目標には達しておらず、また、待機モード時の回路動作停止機能も搭載していない。

現在はOSC部のみで18～21mA（25mW）もの電力を消費しており、これらの低減が来期以降の課題である。通常、回路は高速動作するにつれて消費電力はより大きくなる傾向にあるが、今回採用しているVCOの構成では、逆に低周波数側で消費電流が増える。粗調用の容量が追加されることで発振回路の負荷インピーダンスが低くなるためであり、回路全体での消費電流設計を難しくしている。

表 5－2－3 消費電流 単位 [mA]

条件A：VHFL

周波数設定	PLL	VCO	I/Q生成	全体
最低	7.0	6.0	5.5	18.5
中間	7.0	6.0	6.0	19.0
最高	7.0	5.5	6.0	18.5

条件B：VHFH

周波数設定	PLL	VCO	I/Q生成	全体
最低	7.0	6.0	6.5	19.5
中間	7.0	6.0	6.5	19.5
最高	7.0	5.5	7.0	19.5

条件C：UHF

周波数設定	PLL	VCO	I/Q生成	全体
最低	7.0	7.0	7.0	21.0
中間	7.0	6.0	7.5	20.5
最高	7.0	5.5	7.5	20.0

5-2-2-2-2 ロックCLKスペクトル

図 5－2－1 1 に示す系により、VCOアナライザを用いたスペクトル測定を行った。測定結果を図 5－2－1 2 に示す。VCOアナライザは入力信号のキャリア周波数を基準（0 Hz）に、各オフセット周波数でのC/N比（キャリア電力／ノイズ電力比）を計測する測定器である。

今回、作成したチップは基準クロックをボード外部より入力するものとしたため、これをシンセサイザより与えた。また、電源や、各設定端子の電位や設定コードは、電源ユニットおよびパターン発生器を用いて与えた。評価には、VCOアナライザの他、スペクトラムや周波数を簡易に確認するためにスペクトラムアナライザも適宜用いた。

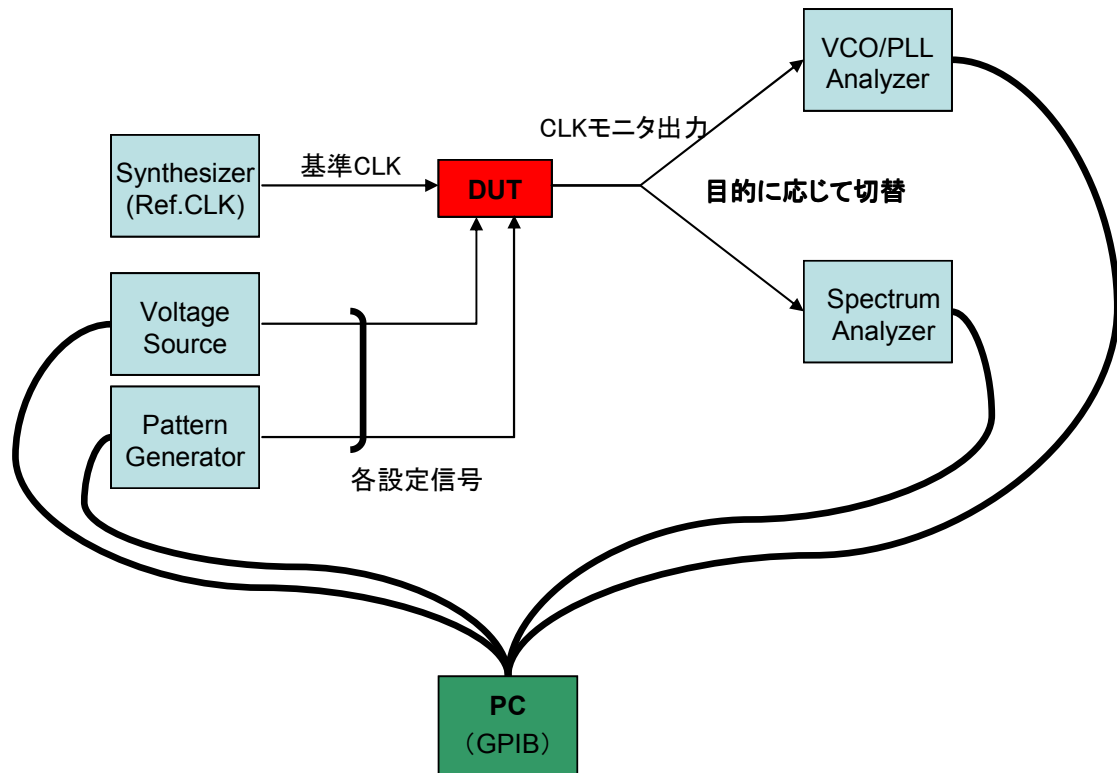


図 5－2－1 1 スペクトラム評価系

使用測定器：

- ① Synthesized Signal Generator (Agilent 81130A ほか)
- ② DC Voltage Current Source/Monitor (ADVANTEST R6142, R6243 ほか)
- ③ VCO/PLL Analyzer (Agilent 4352B)
- ④ Spectrum Analyzer (Agilent 8565E)

P L L 出力は 1 k H z 以下で基準クロックの雑音による盛り上がりがあるが、1 k H z 以上では典型的な P L L のロック時のスペクトルとなっており、フィルタ帯域内での雑音抑圧効果が確認できる。

なお各データは、基準クロック “r e f” (ピンク) のスペクトルに対し、本 P L L では 4 0 0 通倍でロックをかけているため、等価的な基準クロックスペクトルが “+ 2 0 1 o g 4 0 0” (黄色) となる。

また、“V C O 2 . 4 G H z” は V C O の自走時スペクトラムである。

これら、基準クロックと V C O 自走時のスペクトラム、ループフィルタにより、P L L の出力としては “P L L 2 . 4 G H z” (青色) のスペクトラムとなることは、理論的推測とも合致する。

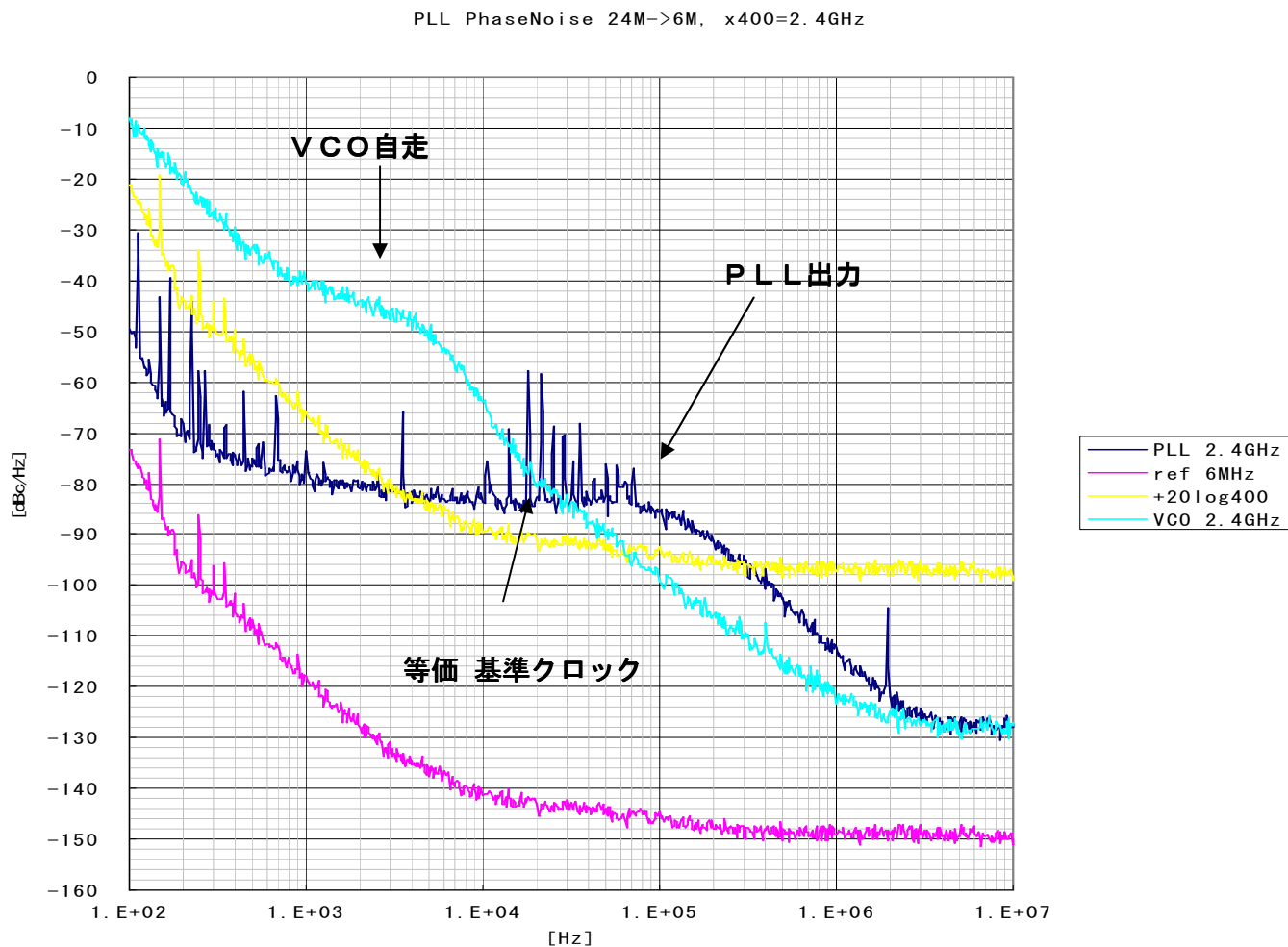
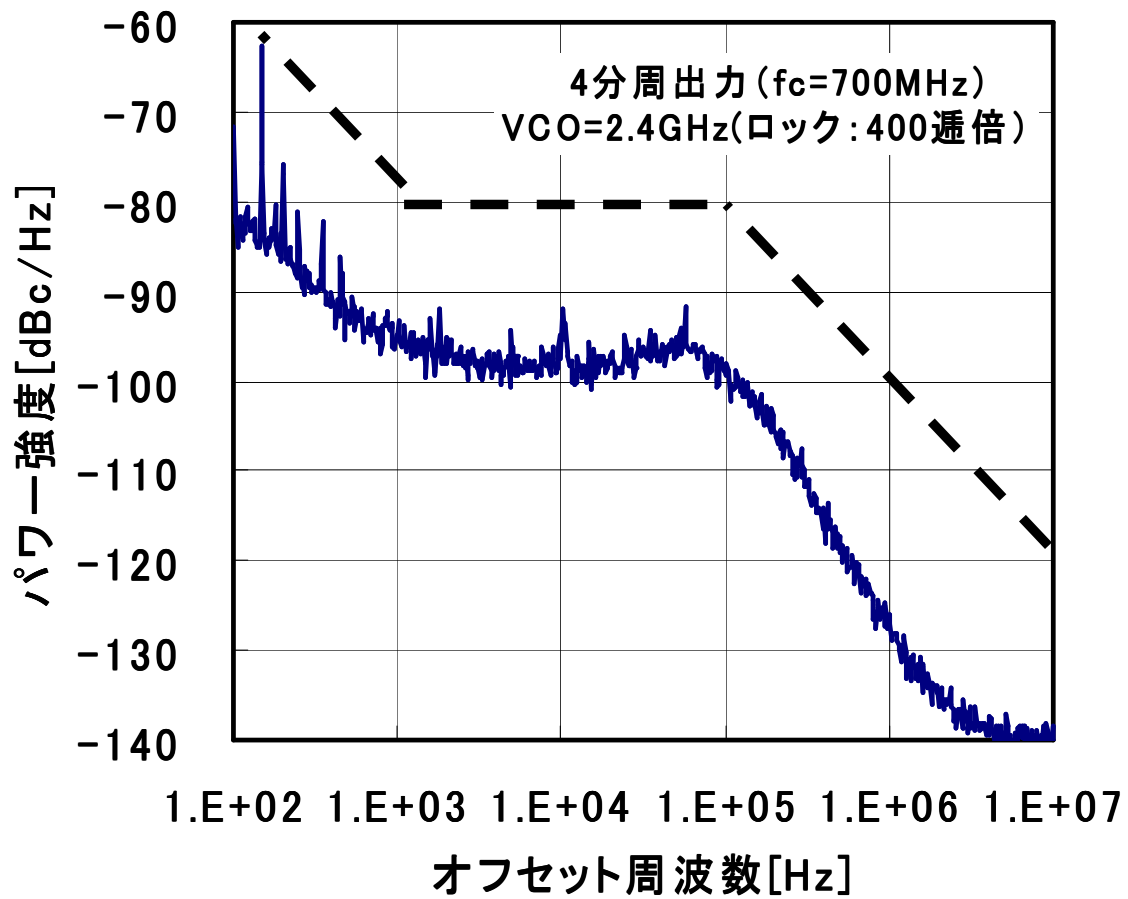


図5-2-12 スペクトラム測定結果（PLLロック時）

なお、このクロックスペクトルは、図5-2-13に示すように、現在のシステム設計要求に対して、幾分余裕のあるものとなっている。来期は、スプリアス成分の影響検討や全体仕様からの規定マスク見直す予定であり、低消費電力化を考慮しながら、特性の調整を行っていく。



5-2-2-2-3 I Q信号生成部動作

図5-2-11に示した同じ系により、I Q信号生成部の分周動作確認を行った。評価は、PLLをある値（図の例では400通倍）でロックさせ、この状態でI Q分周回路内のパスを切り替えて所望の分周動作が行われていることをスペクトラムアナライザにより確認した。測定結果を表5-2-4に、その時の各スペクトルを図5-2-14～17に示す。

表5-2-4 スペクトラム測定結果（PLLロック時）

	周波数 (MHz)	分周比
PLL出力 (VCO)	2400.0	1/1 (基準)
I Q出力A	85.7	1/28
I Q出力B	171.4	1/14
I Q出力C	600.0	1/4

図5-2-14のPLL出力スペクトラム波形において、中心周波数から±6 MHzの周波数にスプリアス成分が見られる。これは、位相比較（6 MHz）によるものと考えられる。I/Q生成部では、このPLL出力を各設定に基づいて分周する。

図5-2-15、16、17のいずれの分周設定においても、正しく分周動作がされていることが確認できる。また、同じ周波数の元クロックを使用している、ローカル信号のC/N比には分周の影響による差が現れることも確認できる。各スペクトラムは、RBW=100 kHzにて測定したものである。

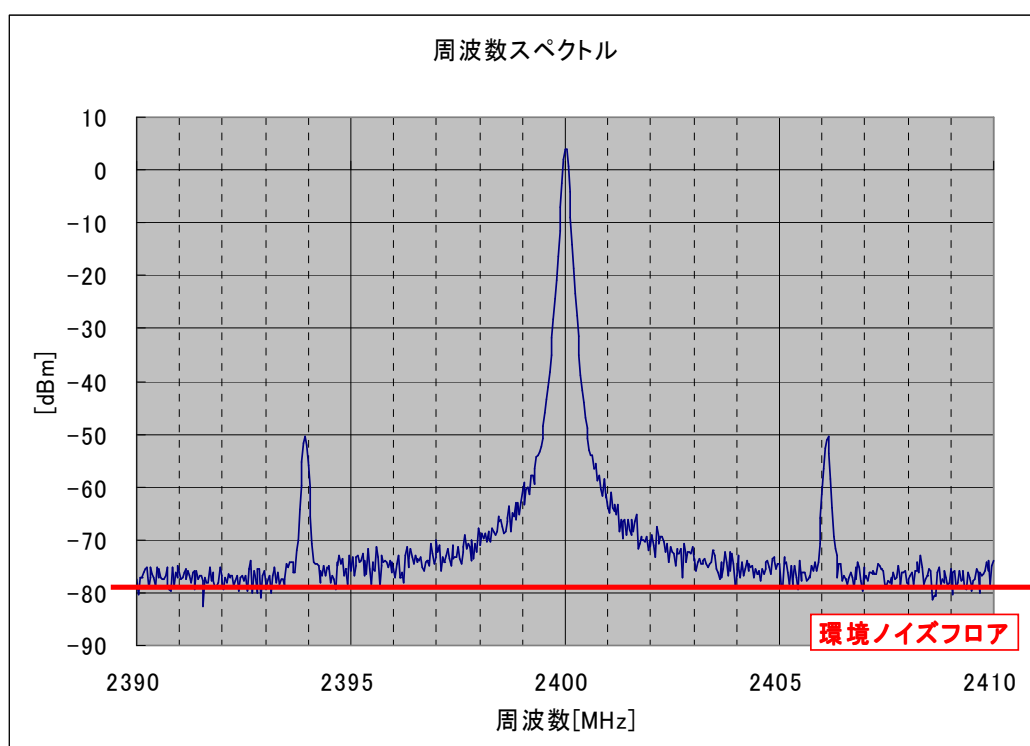


図5-2-14 PLL出力（VCOモニタ出力）

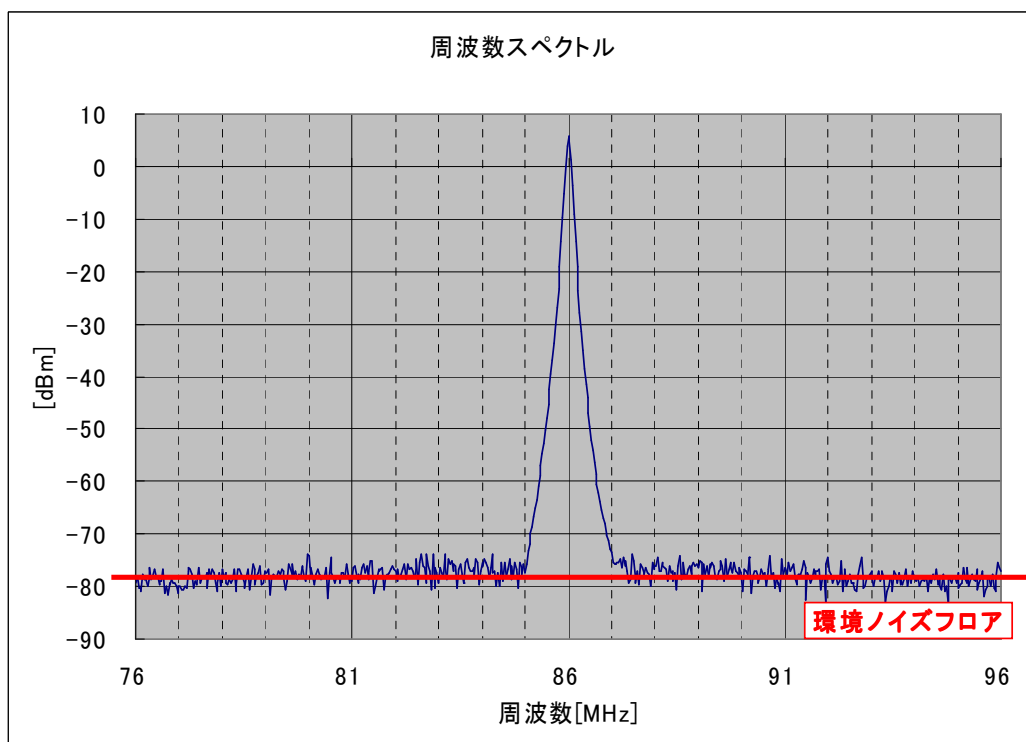


図 5-2-15 IQ出力A (VHFL 28分周)

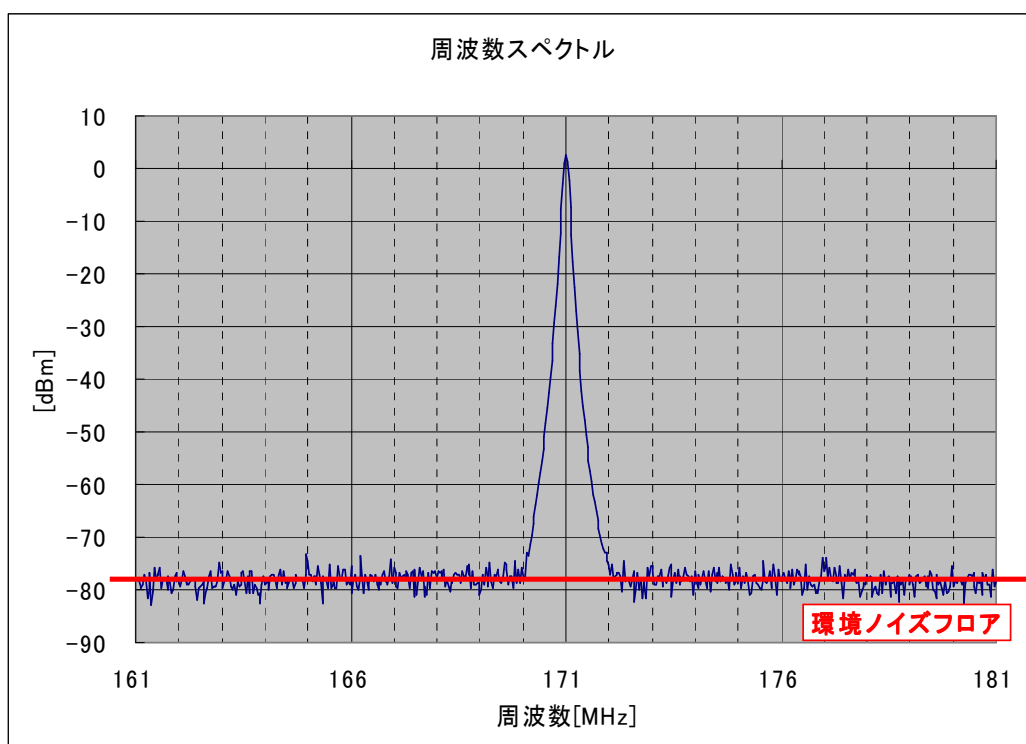


図 5-2-16 IQ出力B (VHFH 14分周)

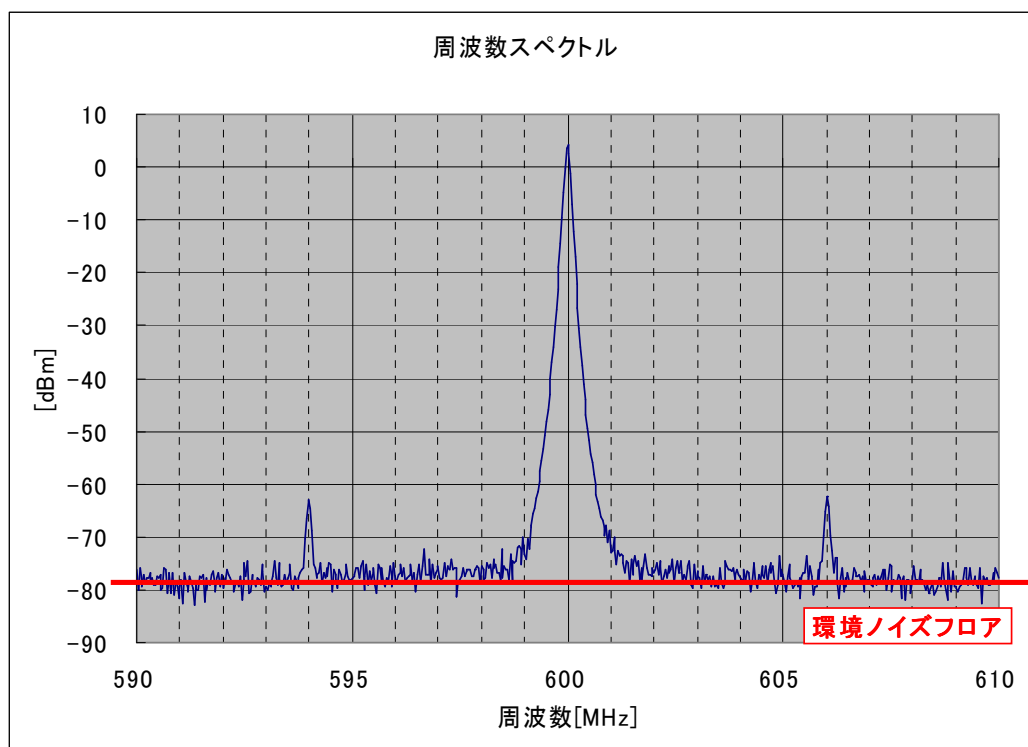


図 5-2-17 I Q出力C (UHF 4分周)

5-2-2-3 VCO

5-2-2-3-1 発振特性

図 5-2-18 に示す系により、VCO 回路の温度および電源変化による発振特性への影響を評価した。恒温槽内に評価ボードを入れ、下記の設定条件を振って、電圧－周波数特性を取得した。VCO の発振周波数を制御する粗調用 6 bit 信号と微調用 1 信号、および回路電源は全て GPIB 制御したプログラマブル電源を用い、一括測定できる自動測定プログラムを新規に作成して、評価の大幅な効率化を図った。測定結果を表 5-2-5、図 5-2-19 に示す。絶対周波数に関しては、設計値に対し、僅か 7 % 程度のずれで発振できている。

★温度 (T_a) : -40℃, 25℃, 85℃

★電源電圧 : TYP (1.2V), +10%, -10%

図 5-2-19 において、低周波数側の発振特性カーブの間隔が、高周波数側のそれに比べて狭くなるのは、粗調用の固定容量が大きくなる低周波数側で、微調用のバラクタの容量値が相対的に小さくなってしまうためである。構成もしくは選択制御の方法に改善の余地がある。

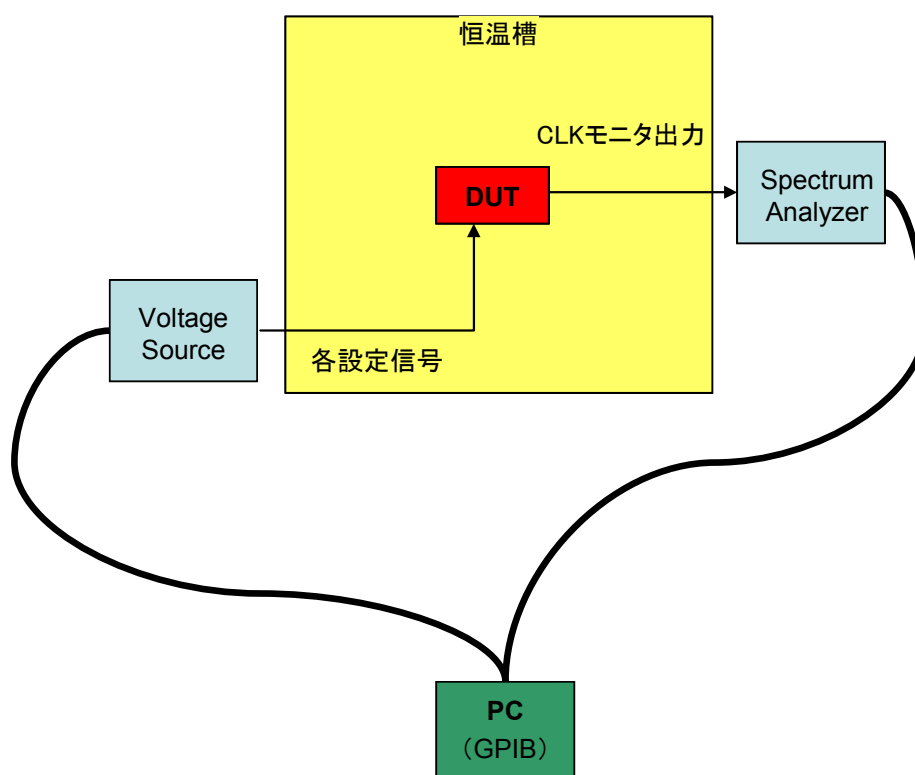


図 5 - 2 - 1 8 発振特性評価系

使用測定器：

- ① DC Voltage Current Source/Monitor (ADVANTEST R6142, R6243 ほか)
- ② Spectrum Analyzer (Agilent 8565E)
- ③ 恒温槽 (TABAI ESPEC MC-710)

表 5 - 2 - 5 発振特性（電源、温度変化時） 単位 [GHz]

		- 1 0 %	T Y P (1 . 2 V)	+ 1 0 %
最低 周波数	- 4 0 °C	1 . 6 7	1 . 6 6	1 . 6 6
	2 5 °C	<u>1 . 6 7</u>	1 . 6 7	1 . 6 7
	8 5 °C	1 . 6 6	1 . 6 5	<u>1 . 6 5</u>
最高 周波数	- 4 0 °C	3 . 0 5	3 . 0 2	<u>2 . 9 9</u>
	2 5 °C	<u>3 . 0 9</u>	3 . 0 7	3 . 0 5
	8 5 °C	3 . 0 3	3 . 0 2	3 . 0 0

周波数設定電圧 V_{CNTL} は電源電圧 / 2 とした

V-F特性

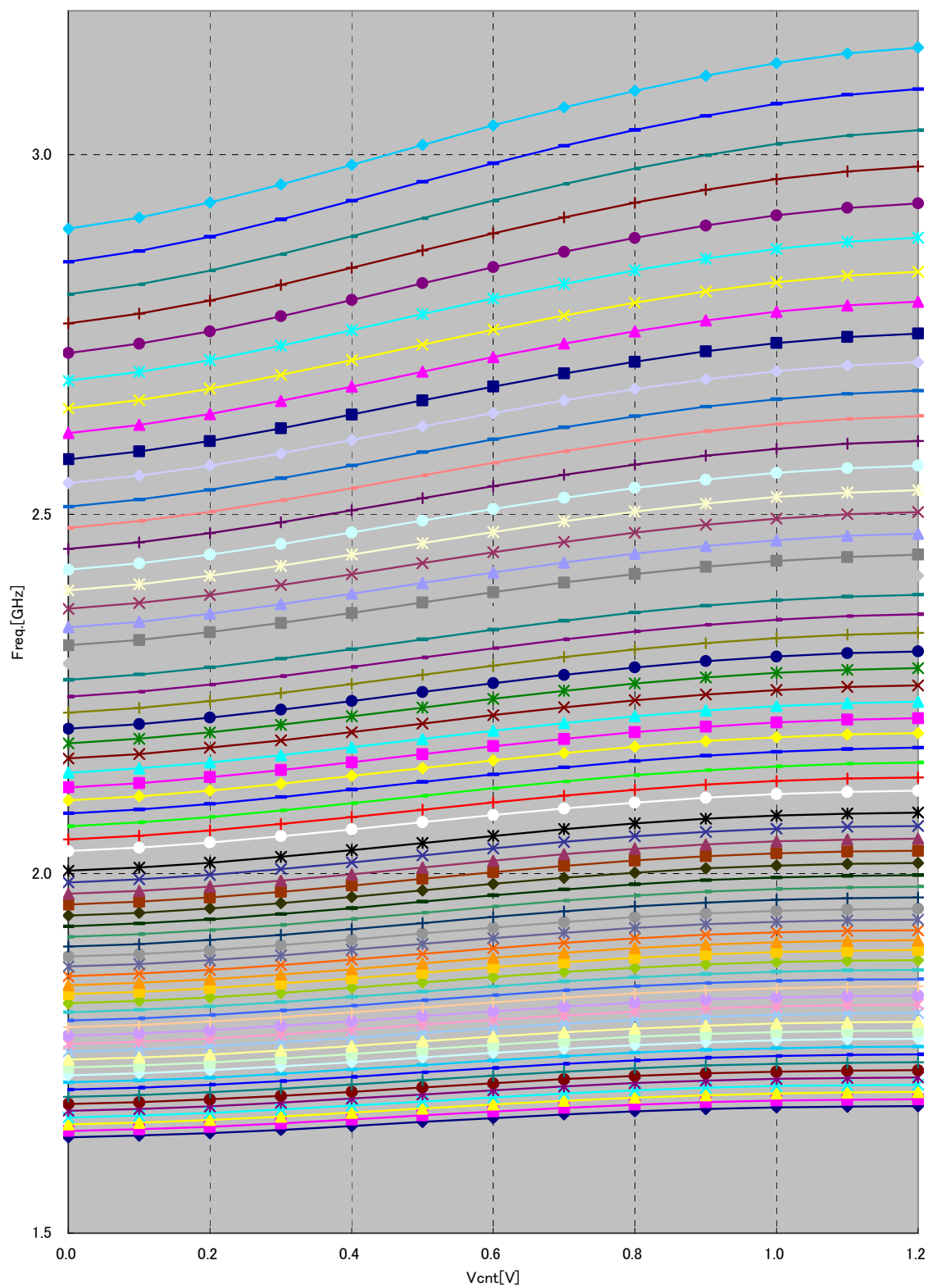


図 5 - 2 - 1 9 発振特性 (TYP 条件)

5-2-2-4 I Q

5-2-2-4-1 4相出力波形

図5-2-20に示す系により、サンプリングオシロスコープを用いて4相信号間の位相差測定を行った。0, 90, 180, 270度の各ローカル信号の位相は、Ref. CLKを基準に同一電気長を有する測定パスを繋ぎ変えて測定することで評価可能である。

TEG1では、回路構成の完全対称化や、等長レイアウトなどの基本的な対策は施しているが、回路内の素子の特性ばらつきの影響をキャンセルする工夫は施されていない。位相差検出および調整回路の検討は、来期以降の課題である。

評価結果を図5-2-21に示す。各クロックの立ち上がりエッジは、赤丸に示すように、正しく90度の位相差を保持して出力している。

なお、立ち上がりエッジと180度ずれ信号の立ち下がりエッジが重なっていない理由は、出力クロックのデューティが50からずれてしまうためである。このデューティずれは、後段のミキサ回路において利得低下を引き起こしてしまうため、この点についても今後、必要に応じて対策を施す予定である。

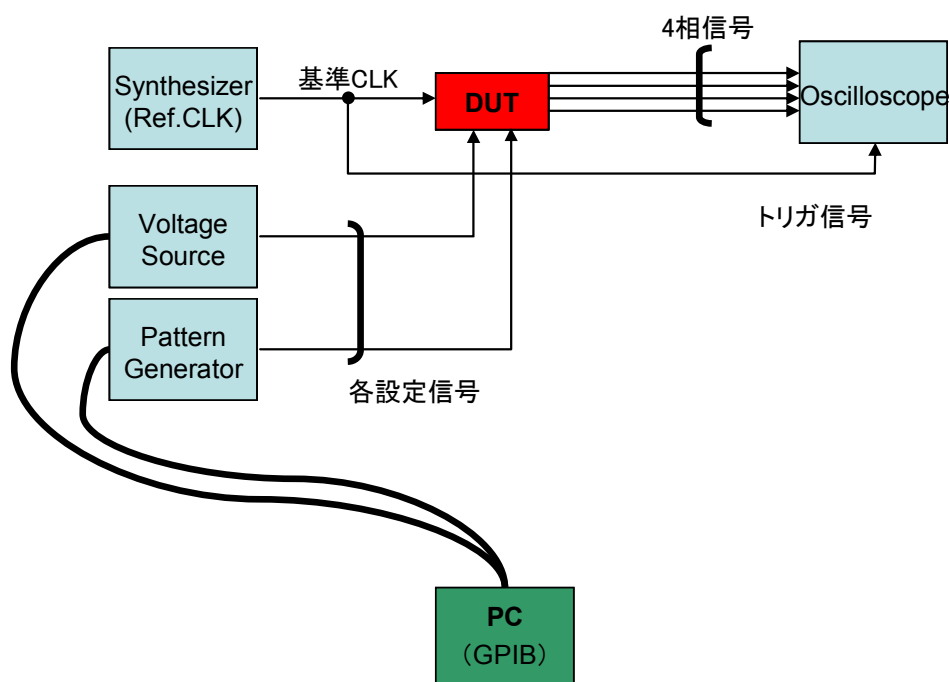


図5-2-20 I Q評価系

使用測定器：

- ① Synthesized Signal Generator (Agilent 81130A ほか)
- ② DC Voltage Current Source/Monitor (ADVANTEST R6142, R6243 ほか)
- ③ Wide Bandwidth Oscilloscope (Agilent 86100A & Module83484A)

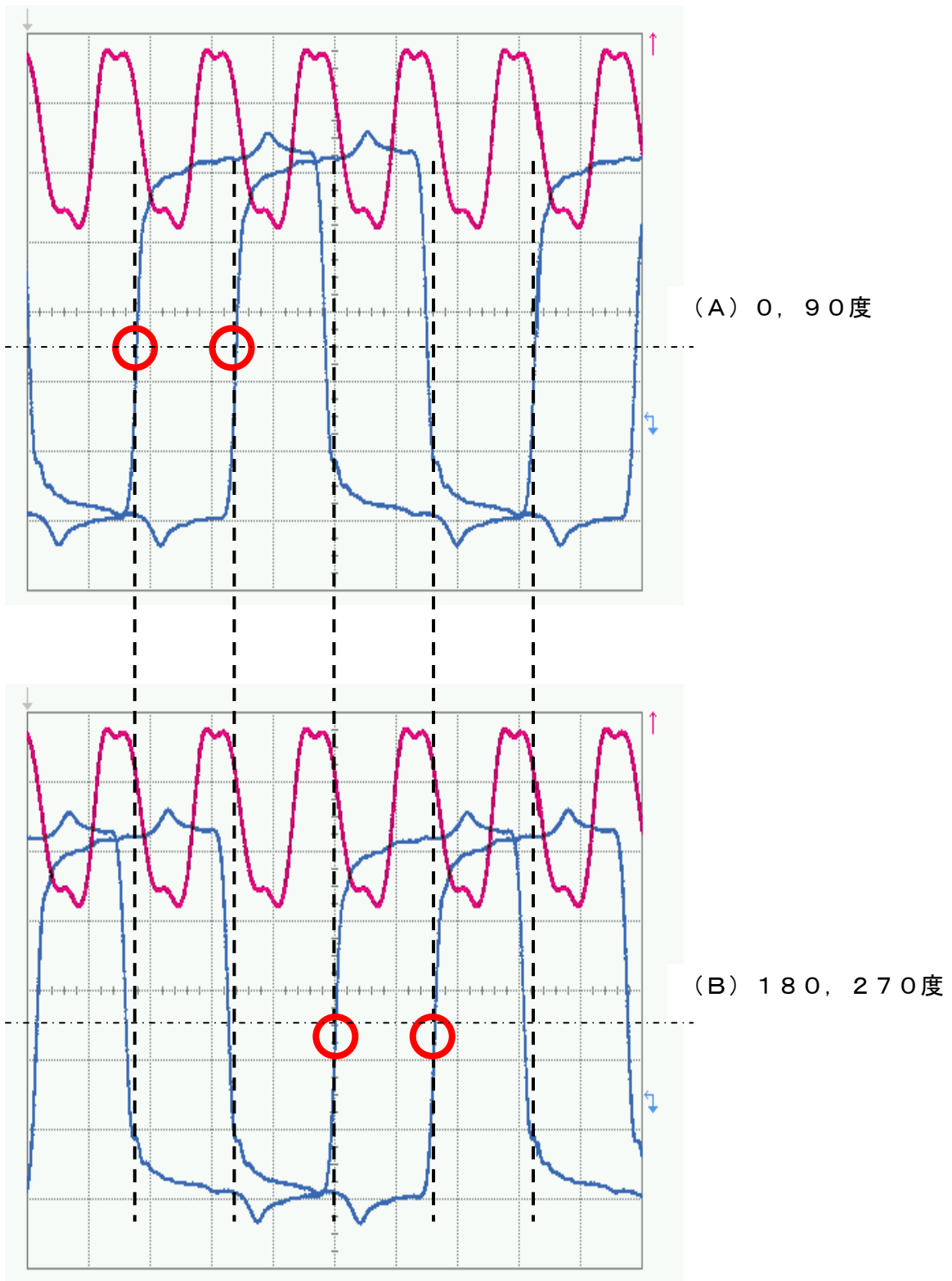


图 5 - 2 - 2 1 4 相出力間位相差測定結果

5-2-3 課題および16年度の予定

本年度は、回路構成の検討、パラメータ選定、さらに電流等の特性は未達ではあるものの、VHFからUHFの全チャンネルでの必要ローカル信号の生成が可能なシンセサイザの試作に成功した。

現在の課題を以下に整理する。来期はこれらのうちの(1)～(4)の課題に関しての検討を進める。

(1) 低消費電力化

システム全体での電力配分により、現在のOSC部に許容する消費電力は13mWを目指している。従って、TEG1の実消費電力25mWを約半分に低減させなくてはならない。一方で、例えばVCO部の電流を減らすことは雑音特性の悪化につながり、また、バッファ部の電流を減らすことは寄生容量が相対的に大きくみえるために回路速度の低下を引き起こしかねない。このような回路特性への影響を考慮し、必要な特性の確保をして50%の低電力化を図る。

また、携帯端末への適用を考え、非使用時(待機時)の電力セーブ機能も追加する。

(2) ばらつき、変動時の動作補償

実際の製品化を考えると、使用環境、作製プロセス条件の変化が存在しても、回路が正しく動作するような保障設計が必要である。しかし、例えばトランジスタの特性変化は回路速度の低下を、容量値のばらつきはVCOの発振周波数の変化を引き起こす可能性がある。TEG1においては、この点に対する考慮はされていない。

設計段階から各パラメータを振ることで上記のような回路特性への影響を予測し、常に必要な性能を満たして正しく動作する回路を設計する。

(3) チャンネル選択時の自動受信設定機能付加

実際の製品においては、ユーザは希望の受信チャンネルを入力するだけで使用する。しかし、TEG1では評価のため、外部から各信号を個別に入力しており、実製品とは大きく形態が異なる。

今後、VCOの粗調設定やIQ生成部の分周設定、PLLのパラメータ設定などを内部で自動処理する制御ブロックの開発を行う。

(4) 4相信号位相調整回路付加

OSC部の出力である4相の信号は、先述のようにチップ内での素子の特性ばらつきなどで位相差が90度からずれたり、波形のデューティが50%からずれる可能性がある。上記(2)にも関連するが、このような場合にも、必要な位相差、デューティを補償するためには、位相差やデューティの検出と修正を可能にする回路が不可欠である。

これらの回路の新規検討、開発を行う。

(5) 精度の良い位相差測定方法の確立

4相信号を作る場合、これらの信号が実際に何度の位相差を持っているのかを評価する方法は、非常に難しい問題である。今回採用した、オシロスコープによる方法では、より精度の高い位相差測定には適さないことや、測定に繋ぎ変えなどの手間がかかってしまう課題がある。

簡易で精度の高い測定をいかにして実現できるかの検討を行う。

(6) 他方式OSCとの比較検討

本年度に行った基本構成の検討において、特性あるいは実現性の面で問題ありと判断した他のOSC構成の見直しを行う。各システムの問題点をさらに深く検討し、問題の解決策を見出す。

5-3 I F 部（ミキサー，ADC）

14年度の検討結果に基づき、15年度はI F 部（ミキサー、ADC）の試作および評価を行った。以下、5-3-1節では検討したI F 部の構成と仕様について、5-3-2節では試作回路について、5-3-3節では評価結果について述べる。

5-3-1 ブロック構成と仕様について

5-3-1-1 構成

Low-I F方式では、ミキサーミキサーに入力されるのは希望波のみではなく、イメージ周波数信号および近接妨害波も入力される。したがって、I F 部では、イメージ周波数信号および近接妨害波を考慮する必要がある。近接妨害波としてアナログTV放送波を考えた場合、I F 部に要求されるダイナミックレンジは70 dB以上に増大してしまう。このため、ミキサー→アクティブ・アナログ・フィルタ→ADCという一般的なI F 部の構成では、アクティブ・アナログ・フィルタの消費電力が50 mWを超えてしまう。低電力なI F 部を実現するためには、フィルタのデジタル化が必須であり、I F 部をミキサー→ADC→デジタル・フィルタの構成とした。この構成では、ADCに必要とされるダイナミックレンジも70 dB（～12 bit）となり、フラッシュ型やパイプライン型で低電力化を行うのは困難であるため、 $\Sigma\Delta$ 型で低電力化を狙う。

15年度に試作したTEG1 I F 部の構成を図5-3-1に示す。I F 部は4相ミキサーおよびADCで構成される。

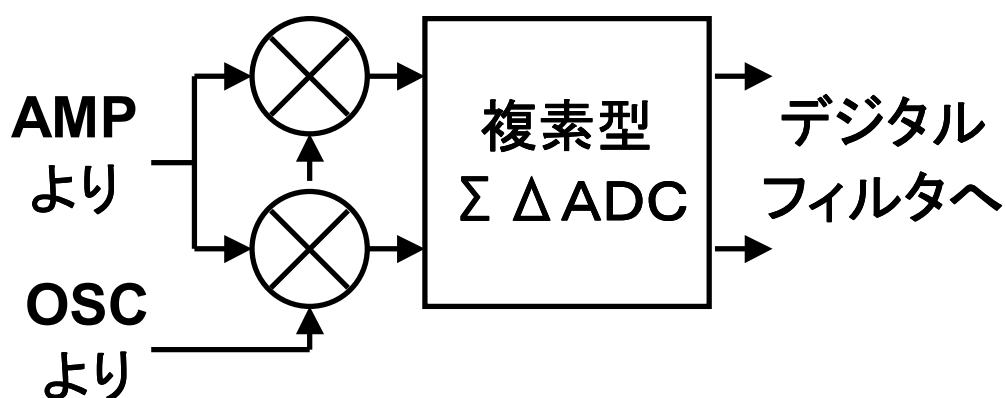


図5-3-1 TEG1 I F 部構成

AMPより入力される高周波の受信信号は4相ミキサーによりOSCからの4相ローカル信号と乗算され、低周波であるIF周波数にダウンコンバートされる。ダウンコンバートされた受信信号は複素型 $\Sigma\Delta$ ADCによりデジタル信号に変換され、デジタルフィルタ処理に渡される。

イメージ周波数信号に関しては、4相ミキサーと複素型 $\Sigma\Delta$ ADCを組み合わせることにより希望信号とイメージ信号を分離した状態でデジタル信号化し、後段のデジタル処理によりイメージ信号の除去を行う。近接妨害波信号に関しては、複素型 $\Sigma\Delta$ ADC内のループフィルタにより減衰した上でデジタル信号化され、後段のデジタル処理により除去される。

5-3-1-2 目標とする仕様

TEG1 IF部の代表的な特性項目の目標値を表5-3-1に示す。

表5-3-1 TEG1 IF部仕様

項目	目標値	備考
信号帯域幅	1.3MHz	3セグメントに相当
中間周波数	857kHz	2セグメントに相当
サンプリング周波数	130MHz	
イメージリーク	-30dB以下	
最大SNR	70dB以上	
消費電力	10mW以下	電源電圧1.2V

信号帯域幅はデジタルラジオの3セグメント放送を受信可能とするために、3セグメント分の1.3MHzとした。中間周波数はOSR（複素型）を100とすることにより量子化ノイズを低減する。イメージリークに関しては、イメージ信号が希望信号と同一チャネル内のセグメントとなるようにLOCALを設定することにより、-30dBで十分である。最大SNRに関しては、近接アナログ妨害波と所要CNを考慮したSNRの値に、1dBコンプレッションポイントへのマージンおよびデジタル部での演算用マージンを考慮して70dBとした。

5-3-2 TEG1設計

5-3-2-1 ミキサー

ミキサー回路を図5-3-2に示す。低歪・低電力に優れたパッシブ型スイッチングミキサーを採用している。RFブロックから入力される差動電圧信号を抵抗で電流に変換し、ローカル信号で駆動される相補MOSスイッチにより極性を切り替えることによりミキシングを行う。このミキサーを2組用いて4相ミキサーとしている。相補MOSスイッチの出力は $\Sigma\Delta$ ADCの入力段であるRC積分器のオペアンプ入力に接続される。RC積分器のオペアンプ入力は仮想接地となるため、スイッチの入出力端子の電位変動は小さく、スイッチの非線形性による歪を低減できる構成となっている。

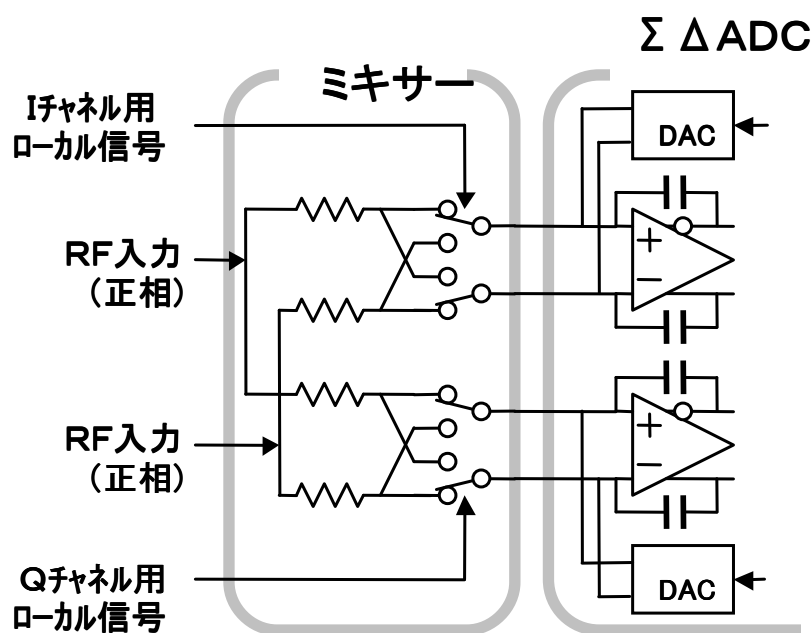


図5-3-2 ミキサー回路

5-3-2-2 $\Sigma\Delta$ ADC

$\Sigma\Delta$ ADCの構成を図5-3-3に示す。サンプリング前のフィルタが不要である連続時間型 $\Sigma\Delta$ ADCを採用している。また、また、ループフィルタを複素型とすることにより、希望帯域の量子化ノイズを低減している。

以下では $\Sigma\Delta$ ADCを構成する回路について述べる。

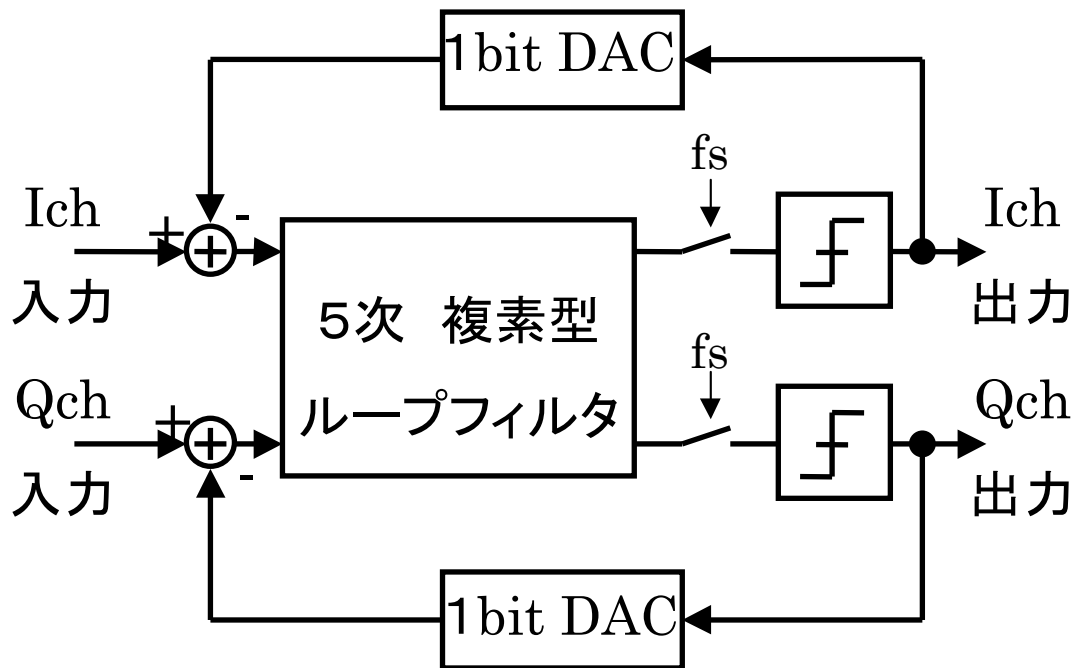


図5-3-3 $\Sigma\Delta$ ADC構成

ループフィルタ：

ループフィルタの構成を図5-3-4に示す。ループフィルタには連続時間型5次複素型フィルターを採用しており、通過帯域近傍では5次の遮断特性を示し、通過域での量子化ノイズ低減を狙う。また4次の零点を付加することにより、高周波側では1次の遮断特性となり、ループ全体の安定性を向上させる。ループフィルタの初段にはRCアクティブ積分器を用いて低ノイズ化し、2段目以降はG_m-C積分器を用いて低電力化している。初段RCアクティブ積分器の入力において、前述のミキサの出力電流および $\Sigma\Delta$ ループの帰還電流を加算する構成である。

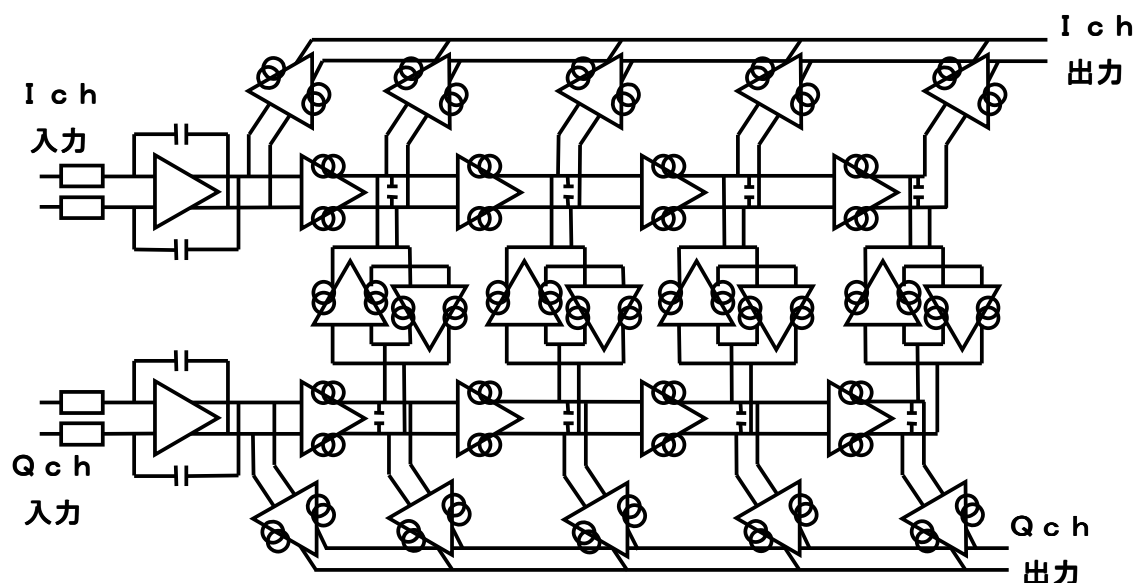


図 5 - 3 - 4 ループフィルタ構成

オペアンプ：

ループフィルタの初段のRCアクティブ積分器に用いるオペアンプ回路を図5-3-5に示す。標準的な差動入力部により同相成分を低減しながら差動成分を電圧から電流に変換する。クロスカップル型の負荷により、出力同相インピーダンス低く保ちながら、出力差動インピーダンスを高めている。

Gmアンプ：

ループフィルタ内のGm-C積分器、零点を構成するためのフィードフォワードアンプおよび複素型フィルタとしての共振回路に用いているGmアンプ回路を図5-3-6に示す。前述のオペアンプ回路とは差動入力回路の構成が異なり、Gmアンプではソース抵抗劣化型の差動対となっている。この構成ではGmアンプのGm値は抵抗値と連動する。これにより、ループフィルタ全体に渡って、時定数を抵抗×容量で管理することが可能となる。

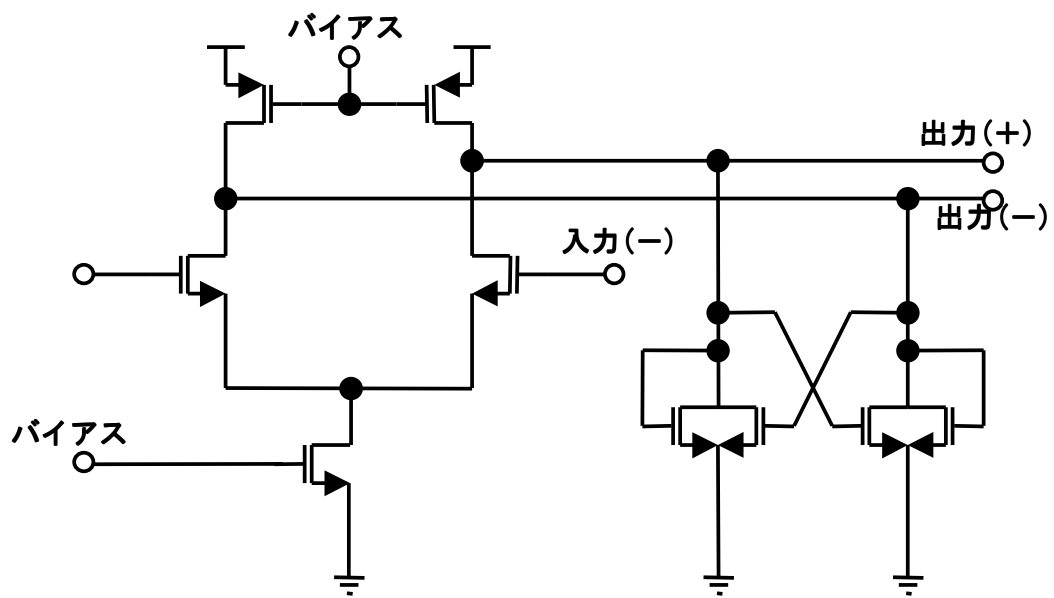


図 5 - 3 - 5 オペアンプ回路

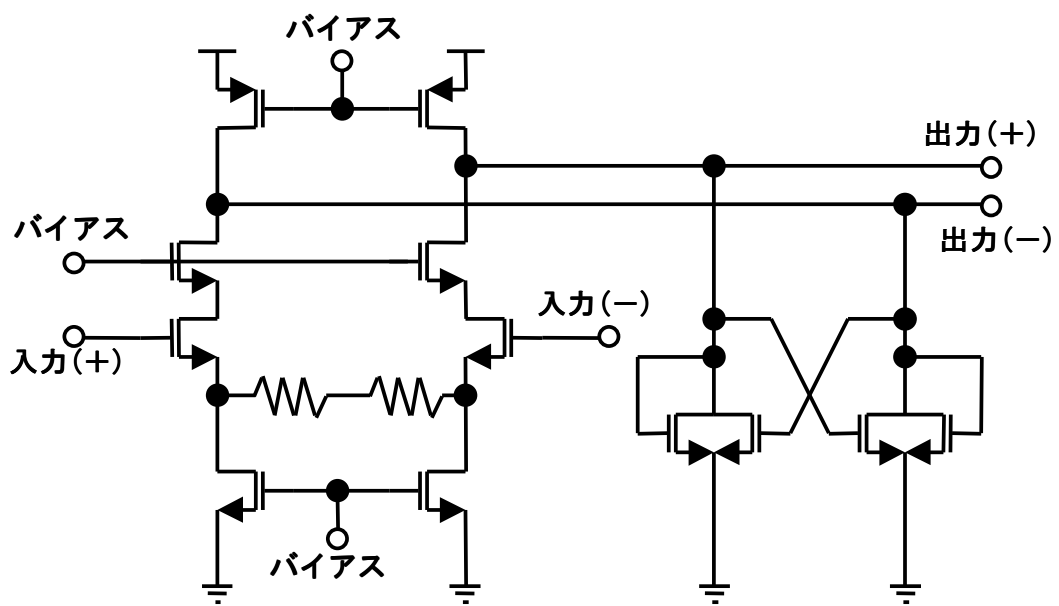


図 5 - 3 - 6 Gmアンプ回路

コンパレータ：

ループフィルタ出力を量子化する1ビットコンパレータ回路を図5-3-7に示す。

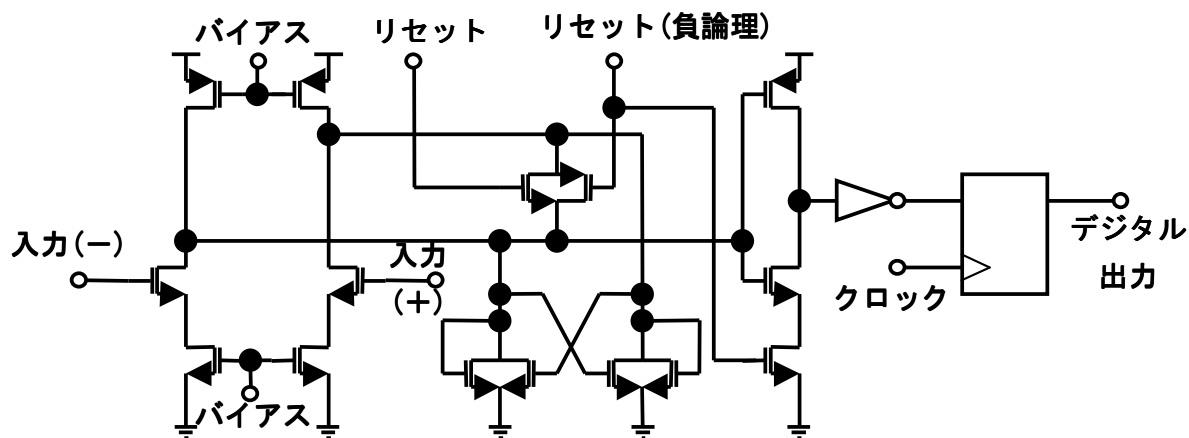


図5-3-7 コンパレータ回路

DAC：

1ビットDAC回路を図5-3-8に示す。コンパレータが出力する1ビットデジタル信号は論理回路により帰還符号選択信号として整形される。帰還符号選択信号はサンプリング周期の半分の期間だけ有効であり、その期間は参照電圧が抵抗を介して出力される。帰還が無効となる半周期の間はリセット信号により差動出力は抵抗を介して短絡される。

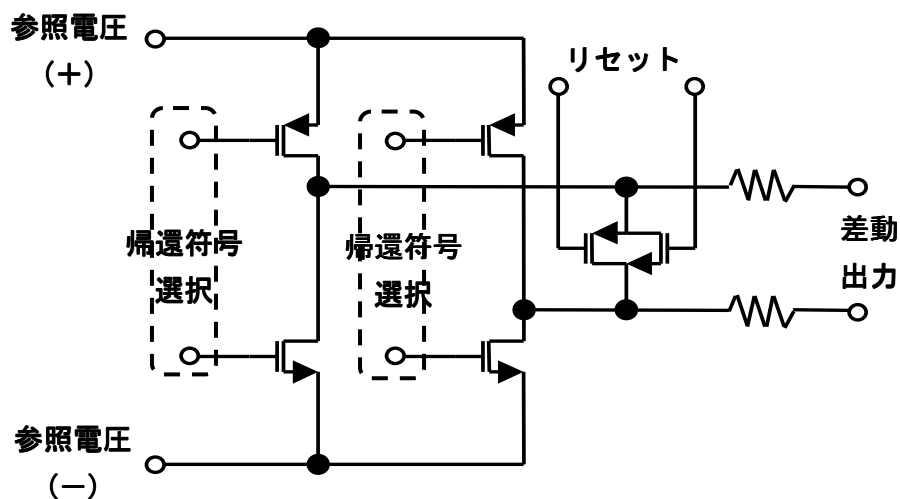


図5-3-8 DAC回路

5-3-2-3 シミュレーション結果

設計した回路の特性を Specre-Verilog によるシミュレーションで評価した。シミュレーションに用いた回路図を図 5-3-9 に示す。

$\Sigma \Delta$ ADC の回路はアナログ回路部分とデジタル回路から構成される。このシミュレーションにおいては、アナログ部をトランジスタモデルと Verilog-A によるビヘイビアモデル、デジタル部を Verilog で記述したモデルを使用した。

入力信号として、VHF 帯を想定して 99MHz、振幅 $1V_{p-p}$ (差動) の正弦波を用いた。これを DC カット用のコンデンサ C_{in} を介してミキサに入力する。ミキサのスイッチは I Q 正負 2 相ずつ、計 4 相のパルス信号源で駆動している。このパルス信号源の周波数と RF 入力信号との周波数の差が、 $\Sigma \Delta$ ADC の入力信号の周波数となる。ここでは周波数の差を 1MHz とするために、パルスの周波数を 100MHz とした。

また、デジタル部を駆動するクロック源は 130MHz のパルス電源を用いた。

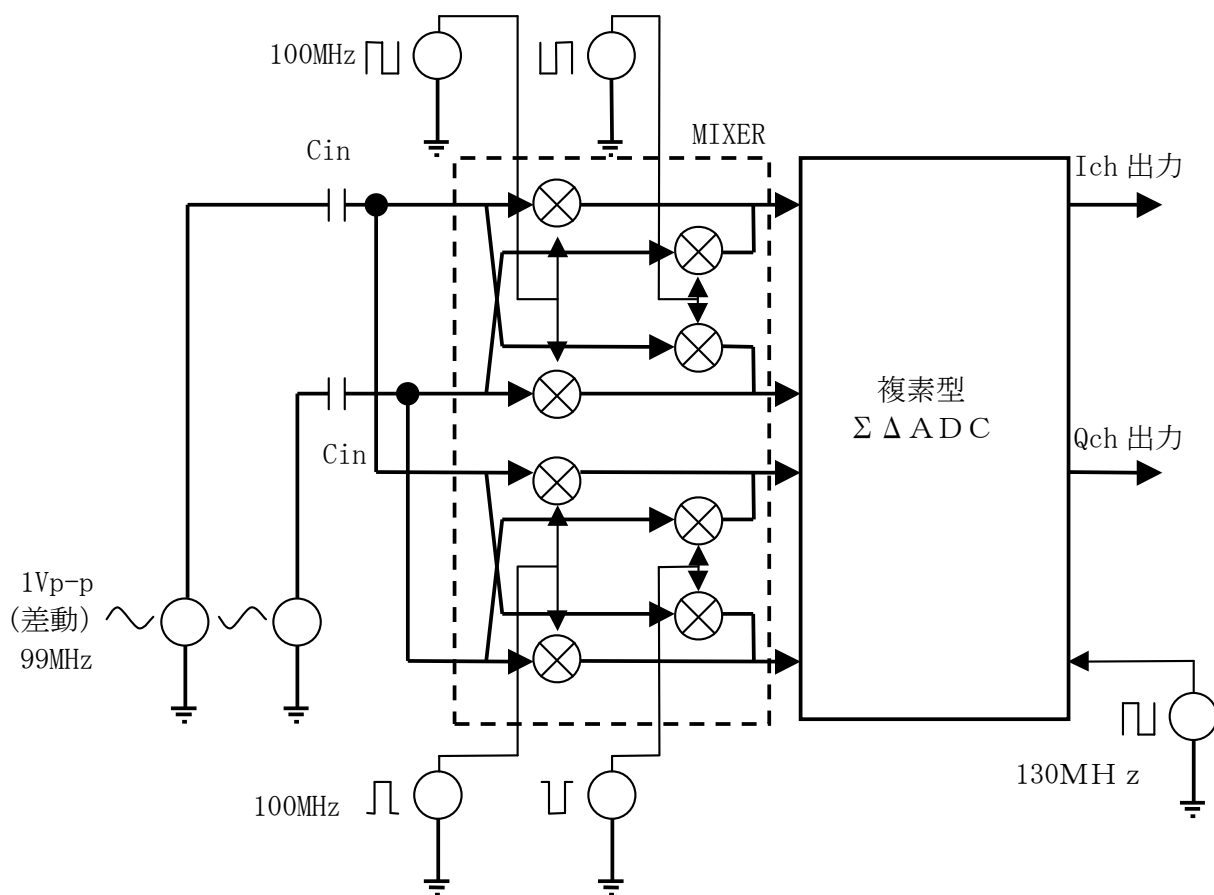


図 5-3-9 シミュレーション回路

以上の条件でトランジェント解析を行い、I c h / Q c h のデジタル出力を、片チャンネル動作時、複素動作時について評価した。

図 5－3－10、11 は入力、出力の波形を示したものである。

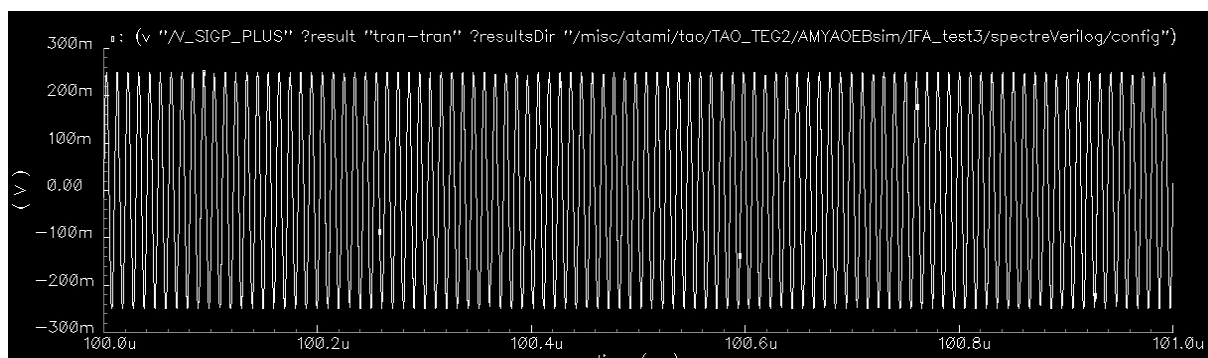


図 5－3－10 入力波形

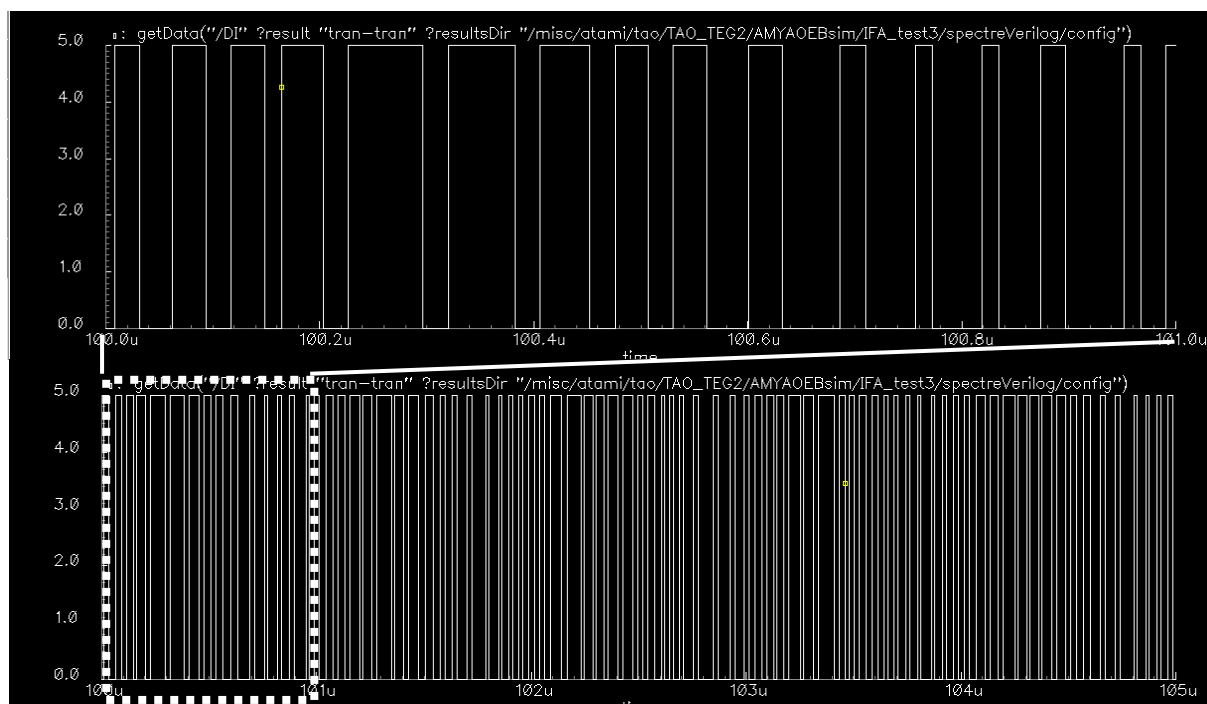


図 5－3－11 出力波形

ここで、出力波形の縦軸が 0V－5V となっているが、これは Spectre-Verilog の表示バグによるものであり、本質的に High/Low の情報以外に意味はない。

出力波形の上のプロットは、入力波形との比較のために時間軸を揃えたものである。両者の比較から、出力が入力信号の周波数よりも桁で長い周期で変動していることがわかる。この周期をより見やすくするために、もう少し長い時間レンジのプロット（図 5－3－11 の下図）を見ると、1 μ s 周期で High の多い期間、Low の多い期間を繰り返していることがわかる。

以上のことから、ミキサーで入力周波数が低い周波数に変換されていること、またその入力が $\Sigma\Delta$ 変調により粗密波として出力されていることがわかる。

このデジタル出力をより詳細に調べるために、デジタル出力に対してFFT処理を行った。はじめに片チャンネルの動作、即ち実数型とみなしたときの $\Sigma\Delta$ 変調動作について確認を行った。片チャンネルのデジタル出力に対してFFT処理を行ったものを図5-3-12、13に示す。ここで、縦軸は1MHzにおける成分の強度を1として規格化し、dBで表示してある。

FFTの分解能は約8kHz(16384points)、窓関数としてBlackman窓を用いた。この窓関数は近接した信号を分離して観測するのには向かないが、サイドロープの減衰特性が良く、 $\Sigma\Delta$ ADC出力のような大きなダイナミックレンジを持つ信号をFFTで解析する際に適している。

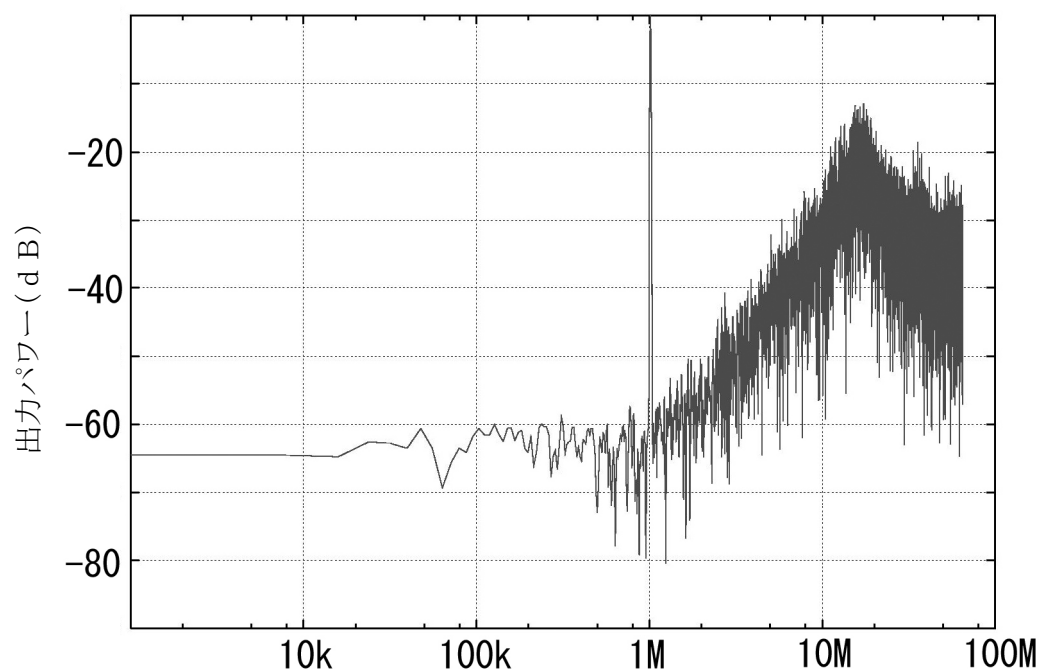


図5-3-12 デジタル出力のFFT結果（片チャンネル、対数プロット）
周波数（Hz）

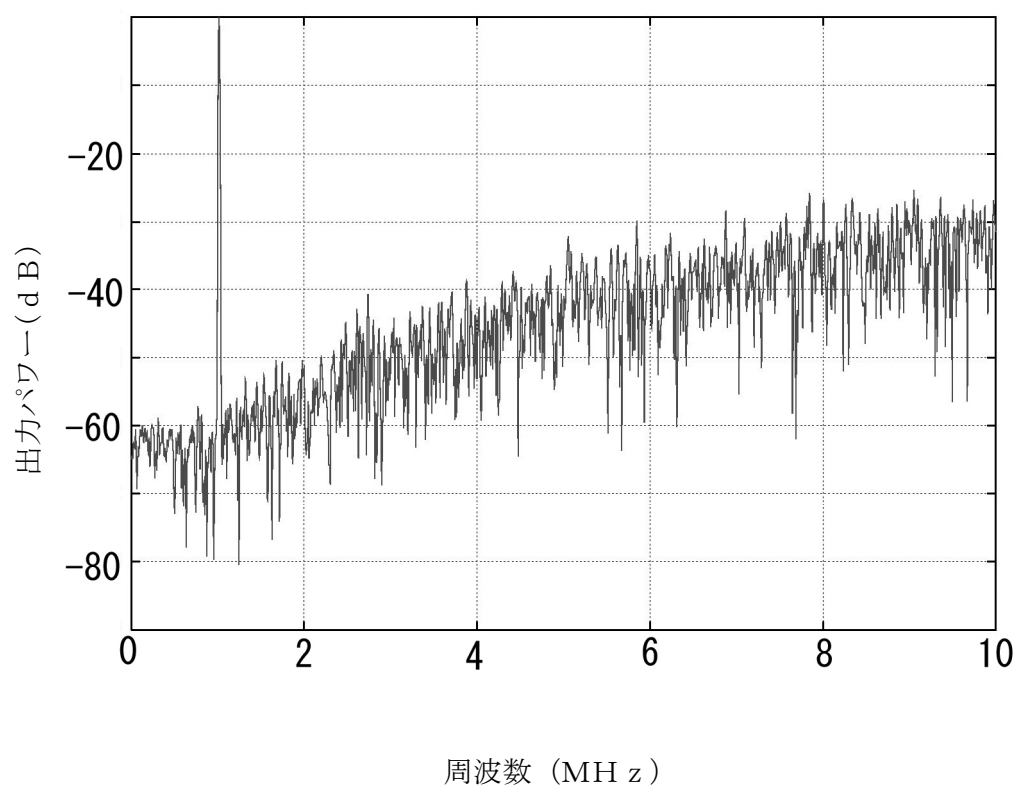


図 5-3-13 デジタル出力のFFT結果
(片チャンネルの通過域、線形プロット)

FFT結果から、ミキシングにより変換された入力信号1MHzが $\Sigma\Delta$ 変調により正しくデジタルコードに出力されていることがわかる。

このスペクトルからSNRを計算すると45dBである。

以上のシミュレーションから、設計した $\Sigma\Delta$ ADCについて、実数型としての動作を確認することができた。

次にIQチャンネルを考慮して複素型としてFFT処理を行った結果のスペクトルを図5-3-14、15に示す。

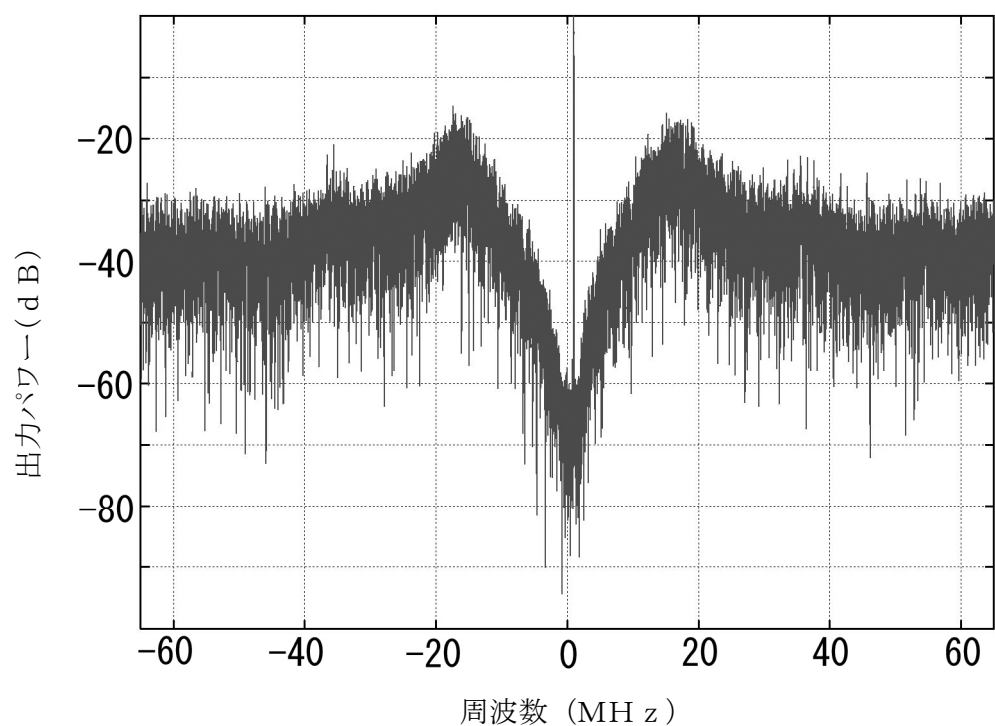


図 5 - 3 - 1 4 デジタル出力の F F T 結果 (複素動作時、広域)

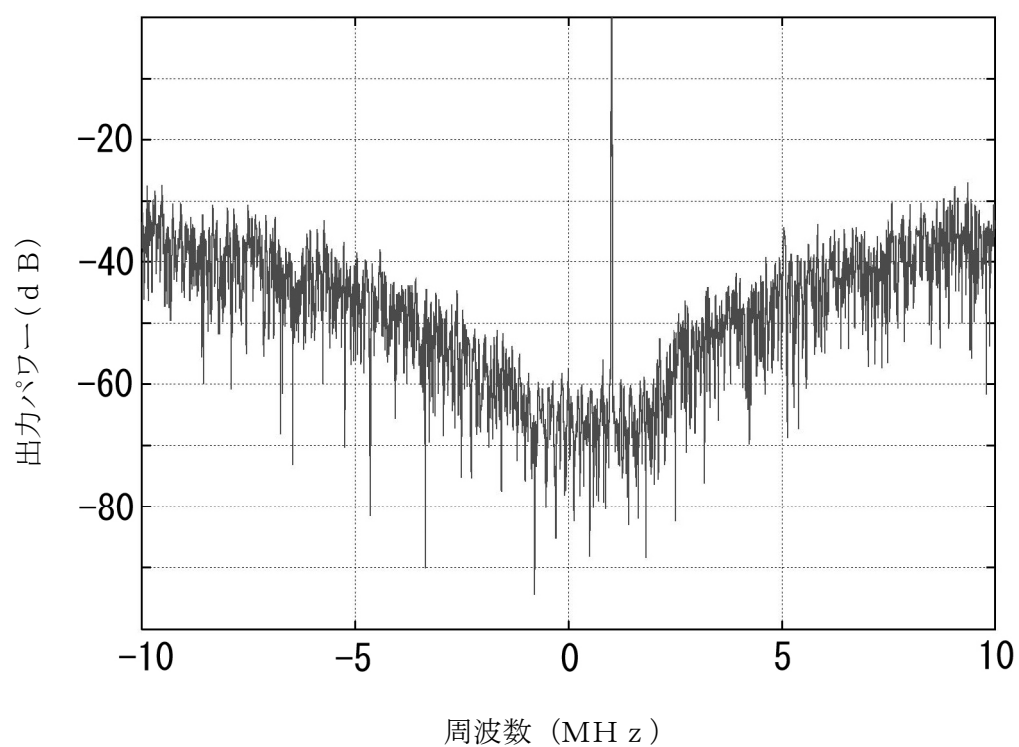


図 5 - 3 - 1 5 デジタル出力の F F T 結果 (複素動作時、通過域)

スペクトルから、信号成分が正の周波数側にのみ出力されていること、ノイズフロアの中心が0Hz よりも右にシフトしていて、正の周波数側でノイズフロアが低くなっていることがわかる。以上、2点から、設計した $\Sigma\Delta$ ADCについて複素型としての動作を確認することができた。

スペクトルからSNRを計算すると50dBである。実数型として動作させたときのSNRが45dBであるから、複素型として動作させることで5dB程度（ビット数に換算して1bit弱）SNRが改善することがシミュレーションから予測できる。

次に、ひずみ特性を評価するために、正弦波を2波入力してシミュレーションを行った。図5-3-15にシミュレーションに用いた回路を示す。

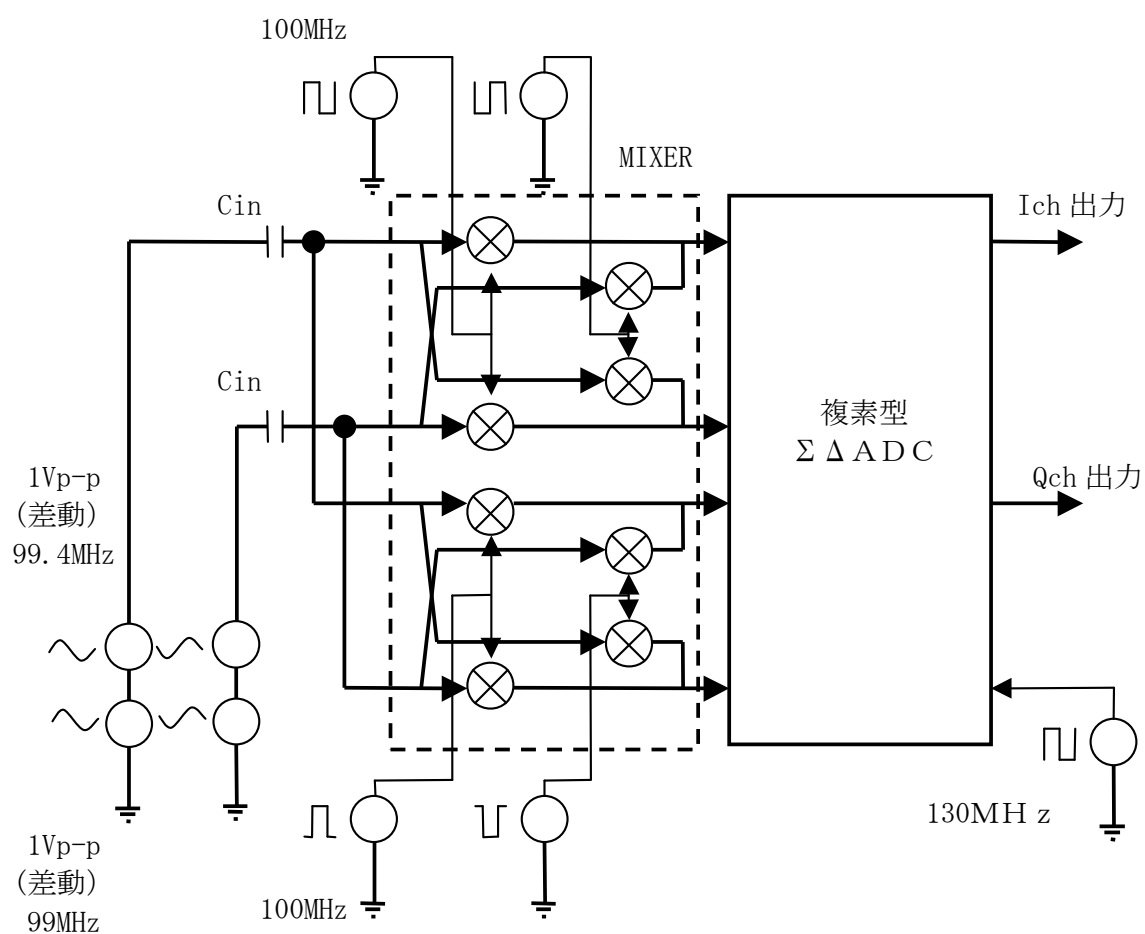


図5-3-16 入力2波でのシミュレーション回路

図 5-3-9 の回路と基本構成は同じである。異なるのは、入力信号に対して直列に周波数の異なる正弦波の信号源を追加したことである。追加した信号源の周波数は 99.4MHz、信号の大きさは 1Vp-p（差動）である。この周波数は、 $\Sigma \Delta$ ADC の入力として考えると 600 kHz に相当する。

図 5-3-17、18 に入力波形および出力波形を示す。

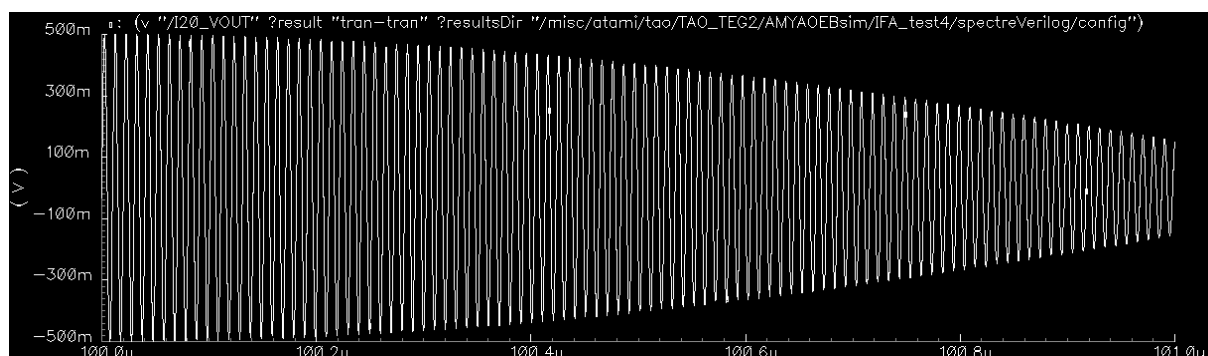


図 5-3-17 入力波形

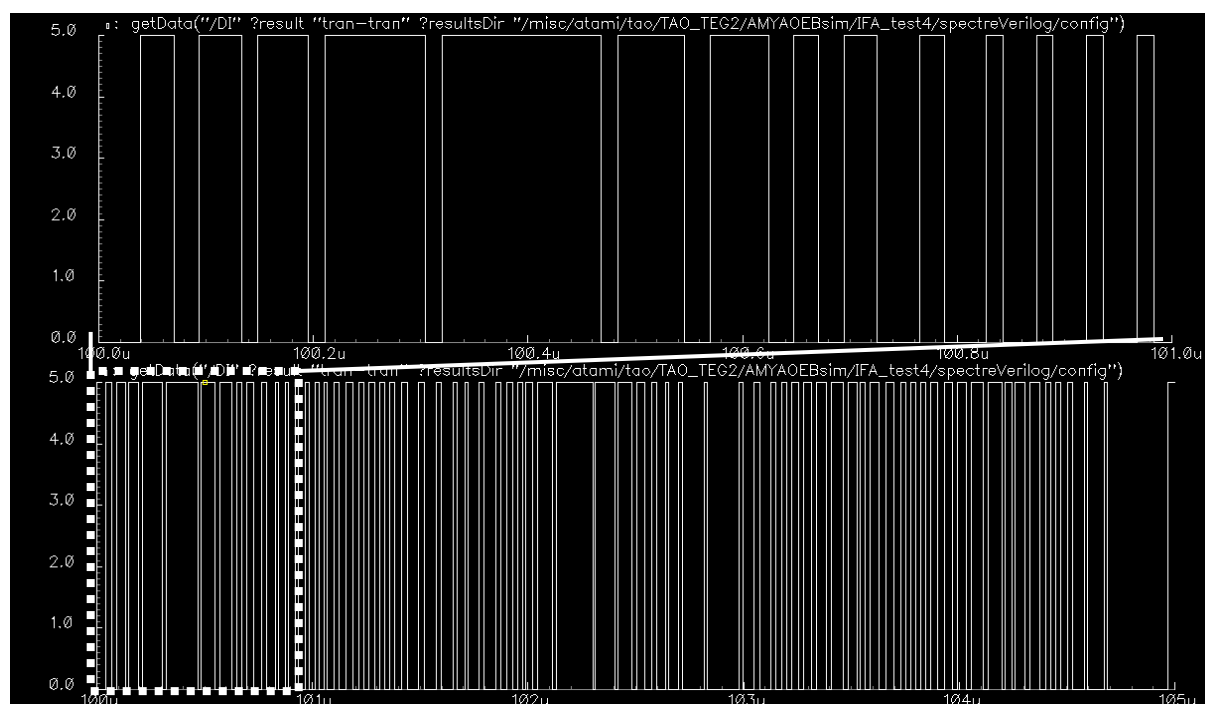


図 5-3-18 出力波形

入力信号の振幅に従って信号の粗密が変化しており、2 波を入力した状態でも、回路が $\Sigma \Delta$ 変調動作をしていることが確認できる。

この片チャンネルのデジタル出力に対してFFT処理を行った。スペクトルを図5-3-19、20に示す。

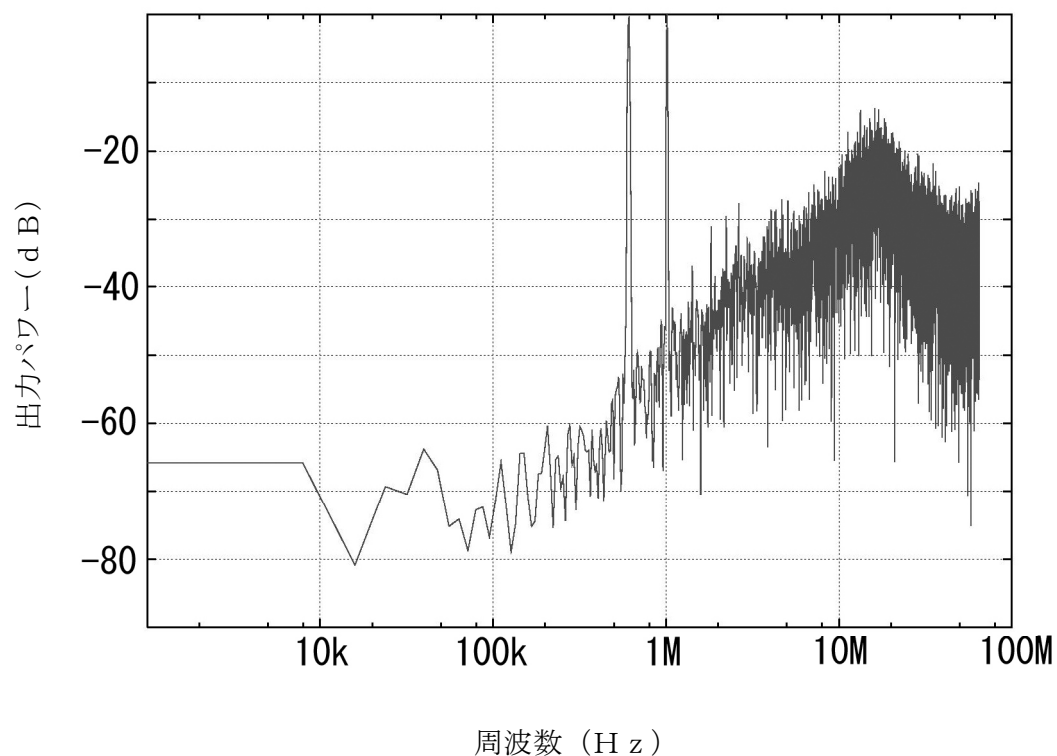


図5-3-19 デジタル出力のFFT結果（片チャンネル、対数プロット）

ここでFFTの条件は、図5-3-12、13と同一の条件である。

スペクトルから、入力した2波（600kHz、1MHz）がデジタルコードとして出力されていることがわかる。

設計した $\Sigma\Delta$ ADCにおいて、差動で1V_{p-p}という値は1波入力で考えたときSNRがほぼ最大となる値である。従って同じ大きさの正弦波の信号源を入力として加えた状況は過大なパワーが入力されていることに相当する。図5-3-19のスペクトルを図5-3-12のものと比較すると、入力が過大となったことでひずみ成分が現れていることがわかる。

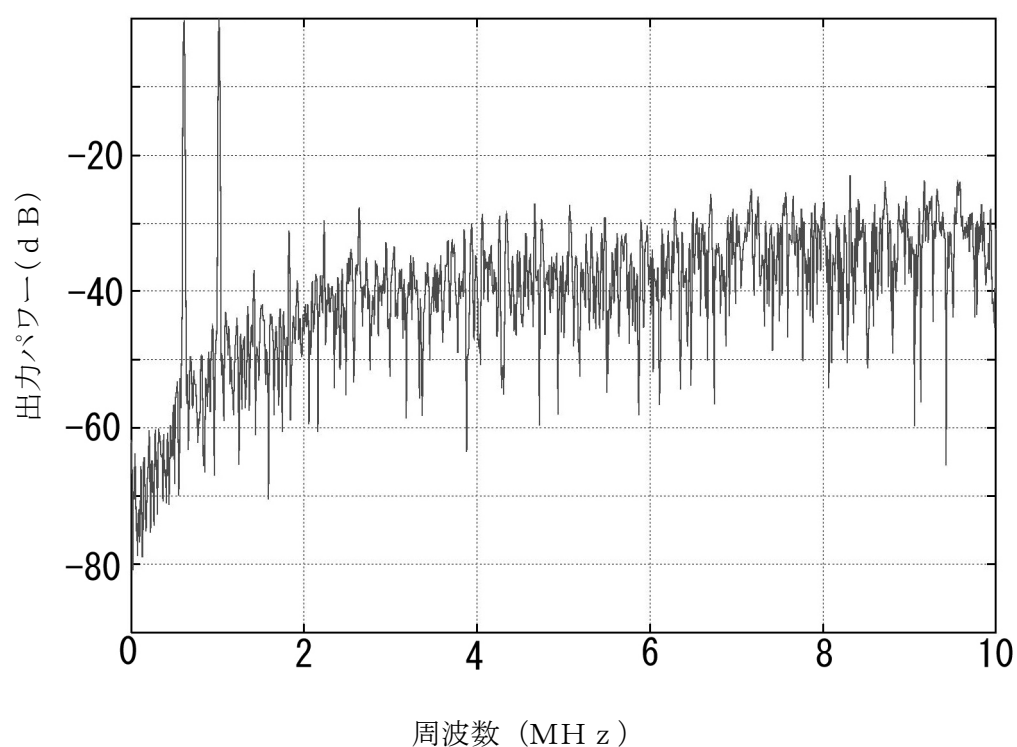


図 5-3-20 デジタル出力のFFT結果
(片チャンネルの通過域、線形プロット)

次に複素型としてみたときの2波入力時の動作を評価する。

IQ両チャンネルのデジタル出力を用いて複素FFT処理を行った。スペクトルを図5-3-21、22に示す。

図5-3-19、20の時と同様に、入力が過大になったことによるひずみ成分が観測できる。

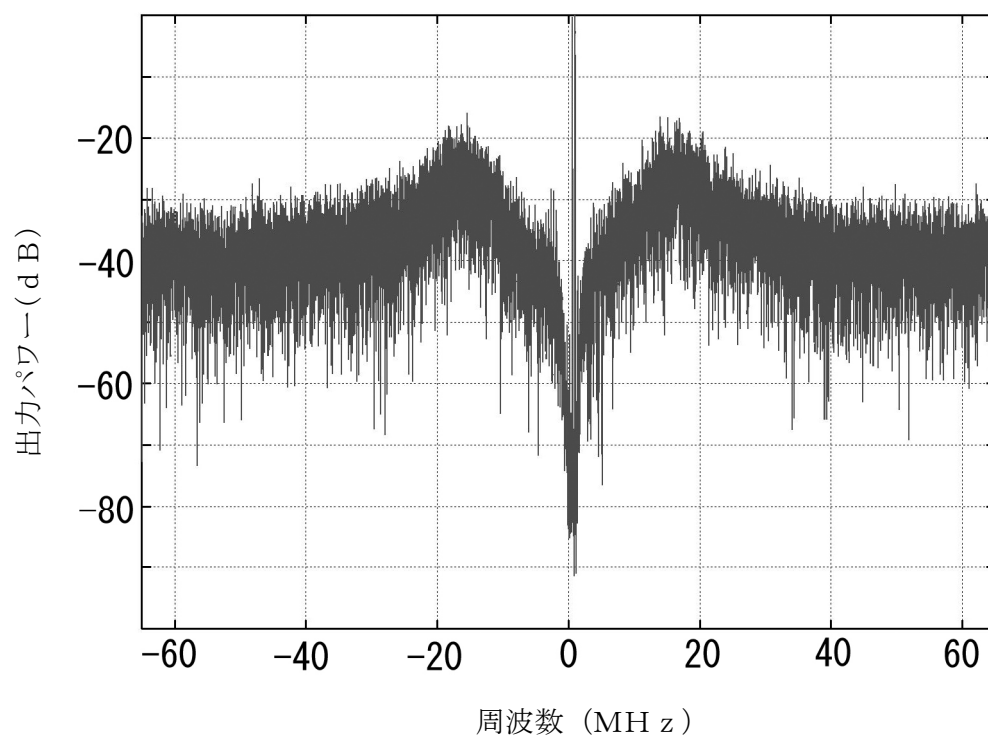


図5-3-21 デジタル出力のFFT結果（複素動作時、広域）

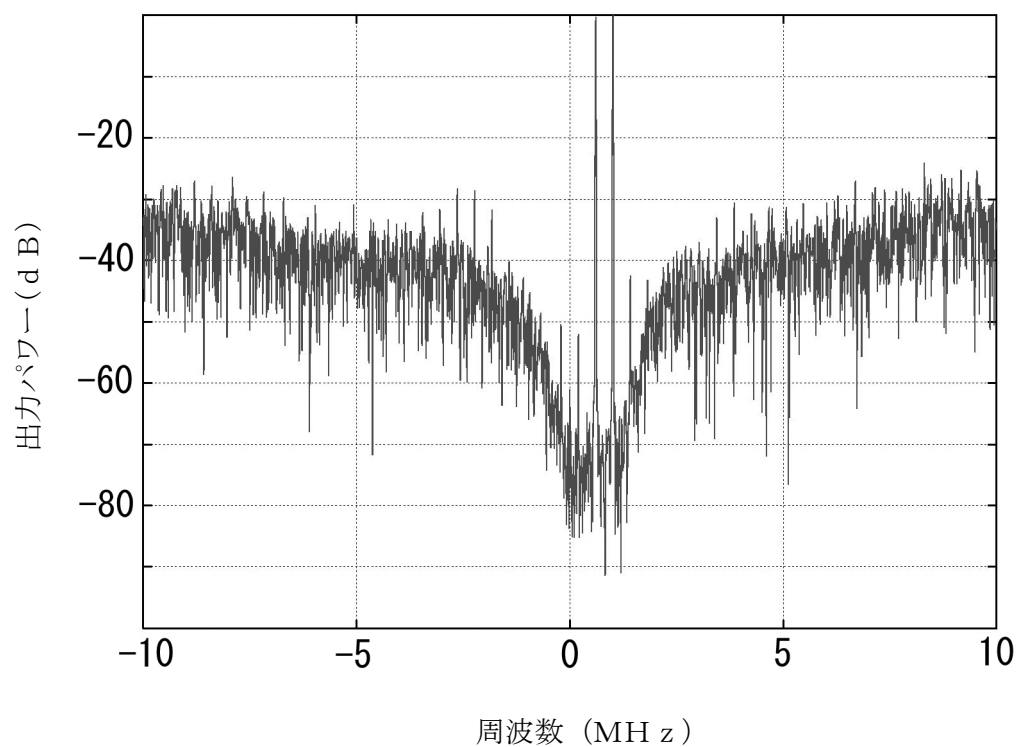


図5-3-22 デジタル出力のFFT結果（複素動作時、通過域）

5-3-3 TEG1評価

5-3-3-1 サンプル

これまでに述べた I F 部回路を当社の $0.11\mu\text{m}$ CMOS プロセスを用いて試作した。動作電圧はアナログ回路/デジタル回路とも 1.2V である。

試作したチップの写真を図 5-3-23 に示す。

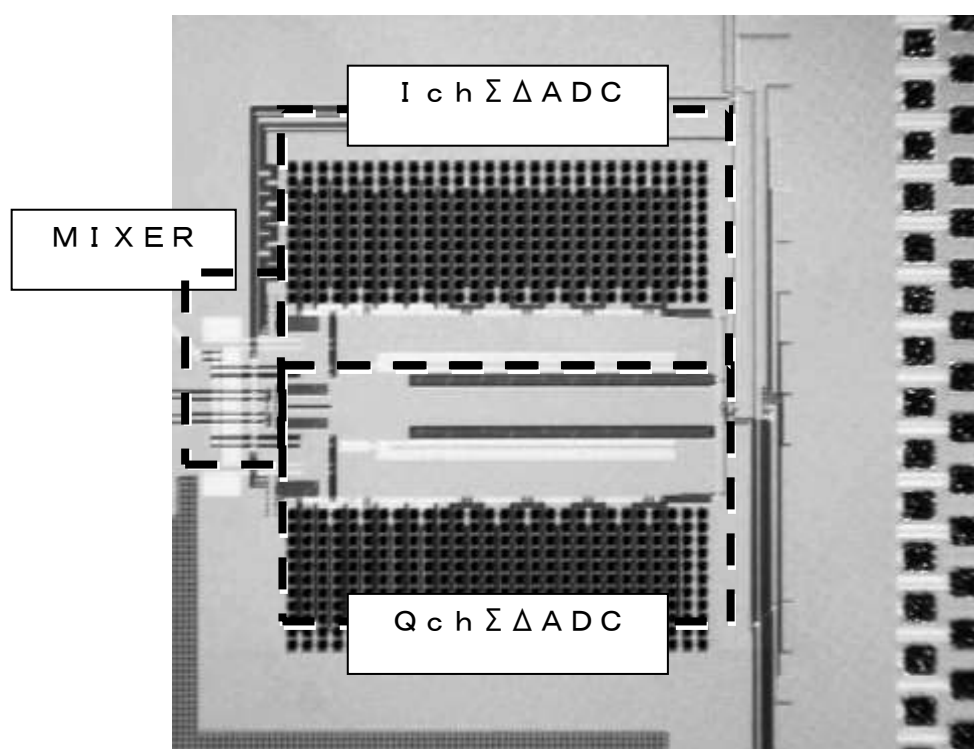


図 5-3-23 試作チップ

5-3-3-2 評価手法

I Fブロックの評価ボードの写真を図5-3-24に示す。

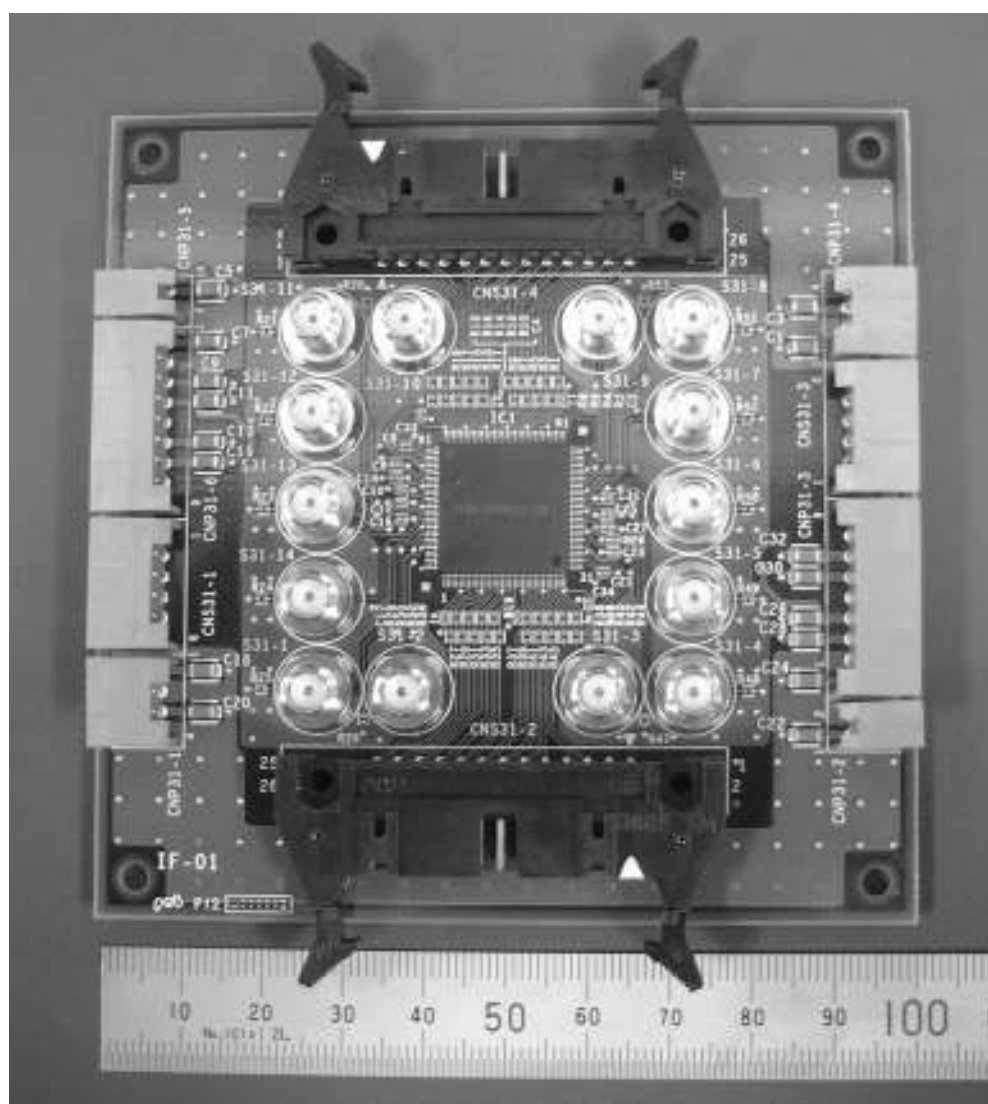


図5-3-24 IFブロック評価ボード
また、評価系のブロック図を図5-3-25に示す。

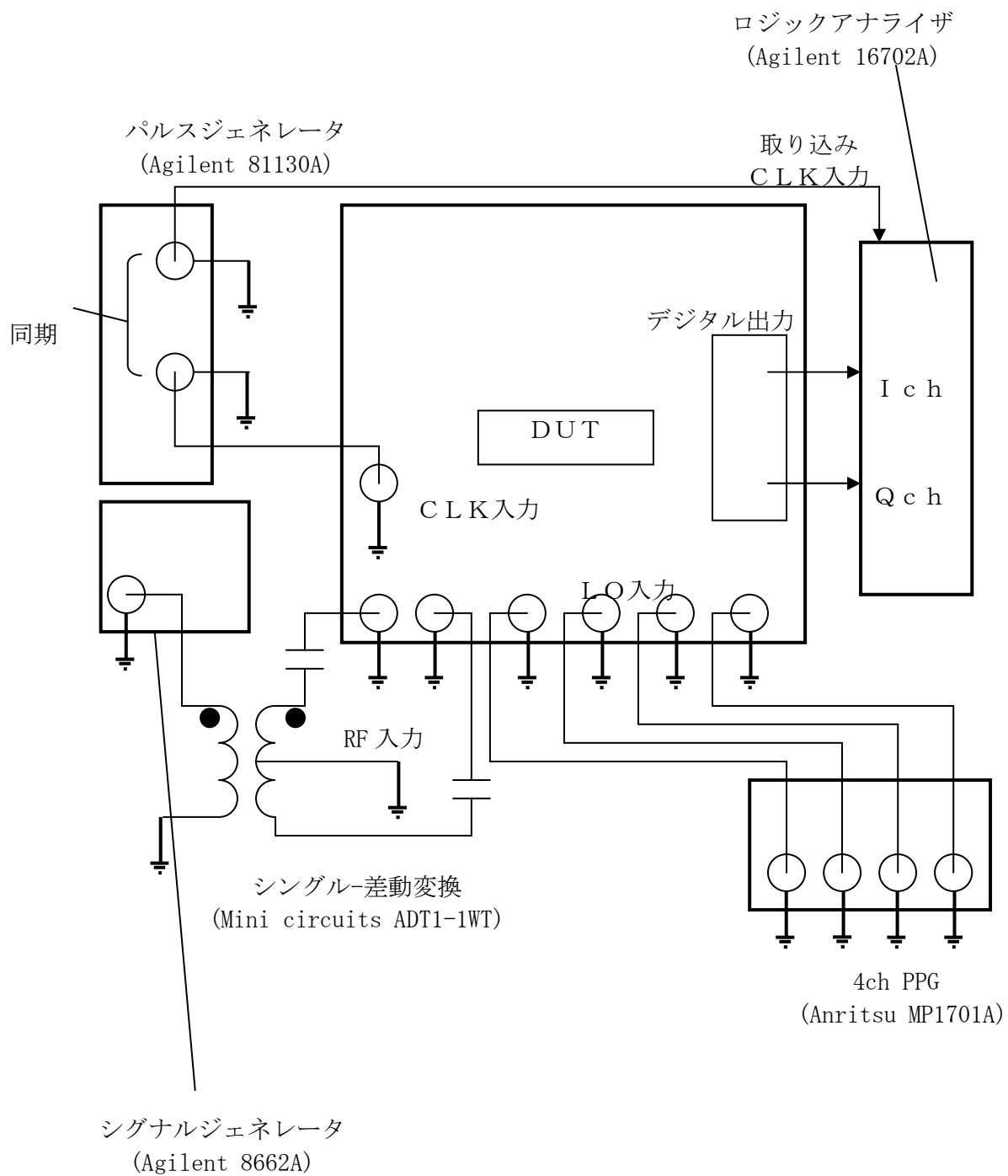


図 5 - 3 - 2 5 評価系ブロック図

5-3-3-3 評価結果

ロジックアナライザで取り込んだデジタル出力にFFT処理を行い、特性を評価した。このとき、RF入力信号の大きさを変えながらSNRを測定し、その最大値を評価した。SNRはFFTのスペクトルから計算している。FFTの分解能は約4kHz (32768points)、窓関数としてBlackman窓を用いた。

SNRが最大となったときのスペクトルを図5-3-26に、入力信号電力の大きさに対するSNRをプロットしたものを図5-3-27に示す。

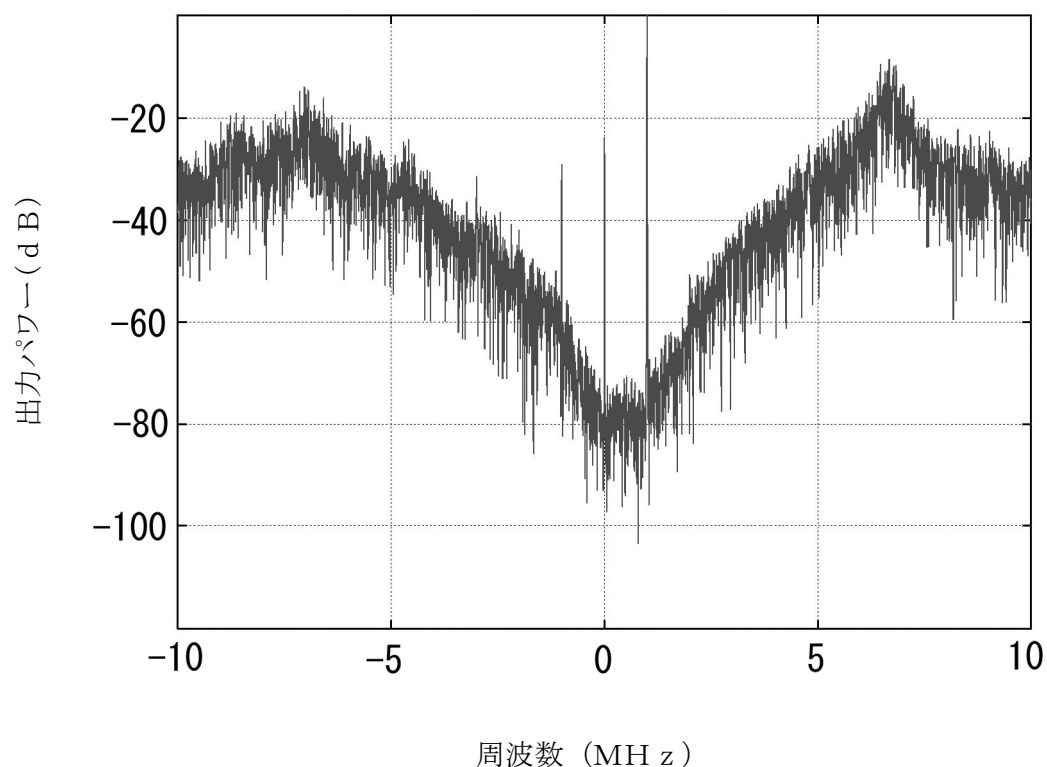


図5-3-26 TEG1実測スペクトル

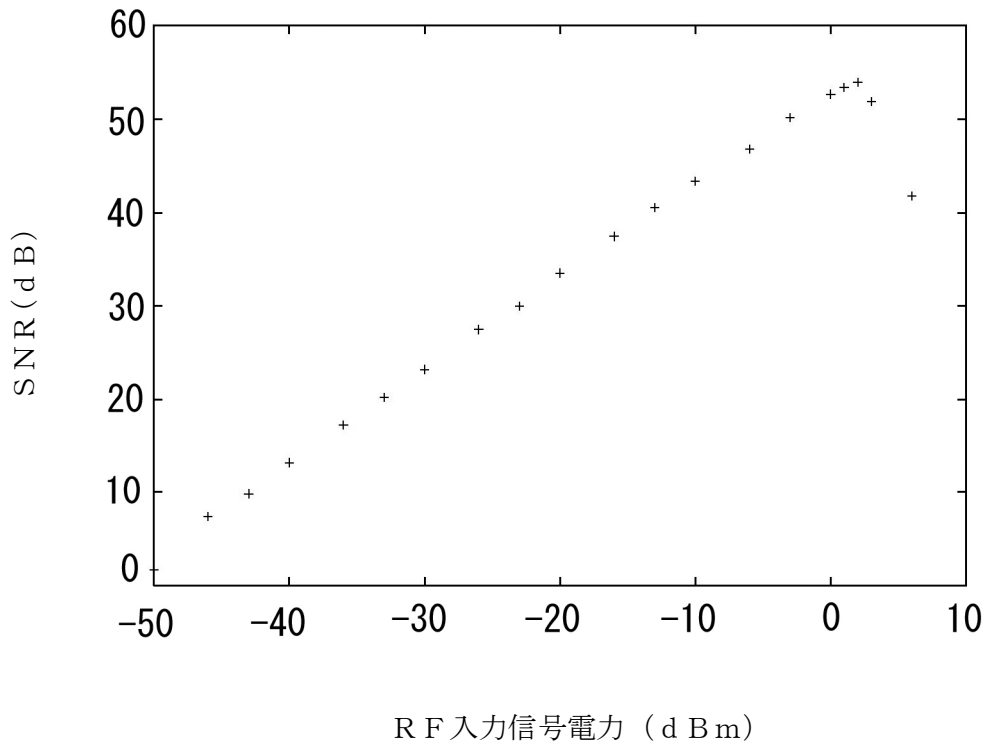


図 5-3-27 RF 入力信号強度対 SNR

図 5-3-26 のスペクトルから計算した SNR は 56dB である。これはビット数換算で 9 bit に相当する。図 5-3-27 から、RF 信号入力が過大にならない範囲では SNR が入力信号電力に従って線形に増加しているのが読み取れる。これは、この入力信号の範囲において、出力される信号の電力が入力に線形に変化しているのに対して、量子化ノイズの電力が一定であることを示している。この $\Sigma \Delta$ ADC の消費電力は 1.2V 動作で 9.7mW である。

以上から、試作した $\Sigma \Delta$ ADC が 10mW 以下という低電力の条件で期待した動作を実現していることがわかる。SNR は 9 bit 相当とまだ不十分であり、これは

TEG2 以降で改善すべき課題である。

5-3-4 今後の予定

TEG1の試作および評価より、本方式のIF部において、9.7mWの消費電力、56dB（9ビット分解能相当）の最大SNRを確認できた。

今後は、TEG1の評価結果に基づき、 $\Sigma\Delta$ ADC内のループフィルタ特性の最適化およびアンプ数の削減を検討し、消費電力の2mW削減、最大SNRの14dB向上を図る。また、合わせて、チューナーLSIへの組み込みも行っていく。

5-4 低消費電力デジタルOFDM回路

5-4-1 RF部とのインタフェースについて

RF部とベースバンド部のインタフェースはLOW-IF方式を採用した。LOW-IF方式はRF部の低消費電力化や小型化に貢献するが、デジタル部では、

- ・イメージ除去、不要周波数帯域除去
- ・ダウンサンプリング、出力ビット数調整
- ・I/Q直交歪みやゲインバランスの補正

等が必要となり回路が複雑になる。

しかし、イメージ除去やダウンサンプリング機能をアナログ部からデジタル部側に移動することで、トータルとして低消費電力化が実現できる。

アナログ部とデジタル部のインタフェース構成は図5-4-1に示す構成になる。RF部の $\Sigma\Delta$ ADCからの出力をデジタル部は受ける。LOW-IF方式のため、ダウンサンプルから周波数シフトまでを、インタフェースとして新規に開発した。それ以降は以前に開発した回路を流用した。

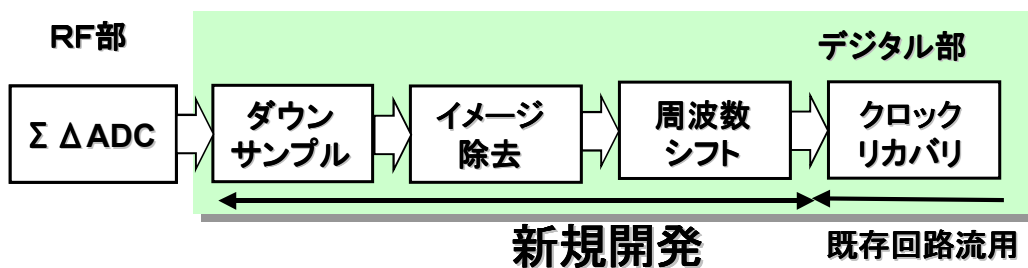


図 5-4-1

5-4-2 インタフェースの構成

デジタル部に新たに追加されたアナログ部とのインタフェースの構成を説明する。

5-4-2-1 ダウンサンプルとイメージ除去

ダウンサンプルとイメージ除去機能の構成を図 5-4-2 に示す。

R F 部からの $\Sigma \Delta$ A D C 信号出力は、1 3 0 M H z の 1 ビットだが、デジタル部とのインタフェース速度が高速であると、デジタル部の動作速度を速めなければならないなどを考慮し、R F 部で 8 ビットの平行信号に変換して取り扱う。デジタル部では、平行信号のまま移動平均フィルタで処理し、デシメーションを行う。入力データは $\Sigma \Delta$ 変調後の信号であるので、この時に高域雑音の除去も同時に行う。

入力 8 ビットは 1 ビットデータを平行化したものなので、数値範囲は正だけとなるがフィルタ全体としての出力は補数符号付なので、入力の D C 成分（直流成分）をカットし、補数符号付のビットに変換する。

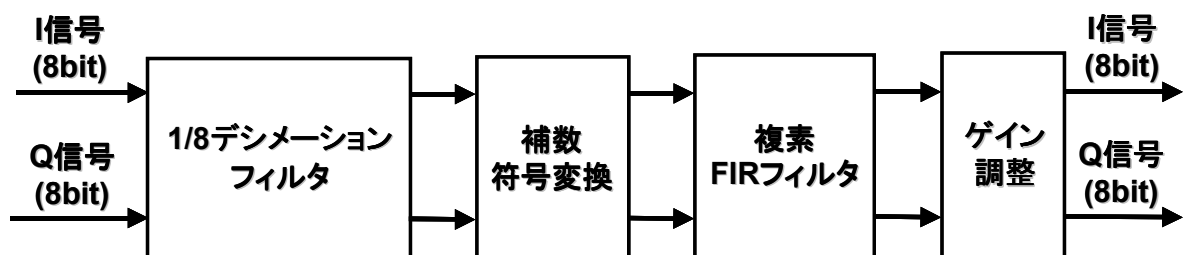


図 5-4-2

2 段目の F I R フィルタで I - Q データを演算することで、正の周波数領域のみを取り出す処理を行う。

最後に出力値を 8 ビットの補数符号付データに変換するため、ゲイン補正を行う。

5-4-2-1-1 1/8デシメーションフィルタ

デシメーションフィルタの構成を図5-4-3に示す。

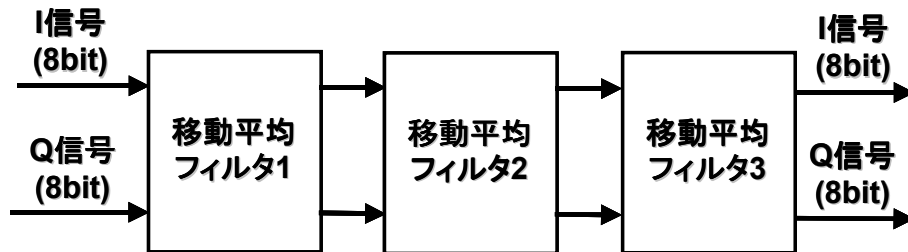


図 5-4-3

デシメーションフィルタは移動平均フィルタ3段で構成する。各々2タップの移動平均フィルタの処理を行ってから1/2デシメーションの処理を行う。

5-4-2-1-2 補数符号変換

$\Sigma \Delta$ ADCからフィルタへの入力、信号成分に対して1/2の直流成分をもった入力となっている。これを移動平均フィルタの出力段でみると、256を中心として振動していることになる(図5-4-4A)

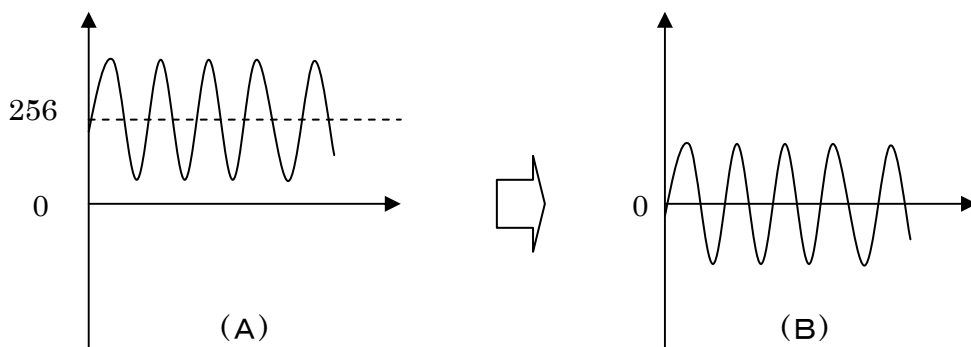


図 5-4-4

補数符号付信号に変換するために、DC成分である256を減算し、信号の範囲を0～511から-256～255にマッピングする。

5-4-2-1-3 複素FIRフィルタ

複素係数FIRフィルタの仕様を以下に、ブロック図を図5-4-5に示す。

- ・フィルタ長 : I (実部)、Q (虚部) それぞれ31タップ
- ・通過域 : $+200\text{KHz} \sim 1.6\text{MHz}$
- ・入力ビット数 : I/Q 各9ビット
- ・出力ビット数 : I/Q 各20ビット

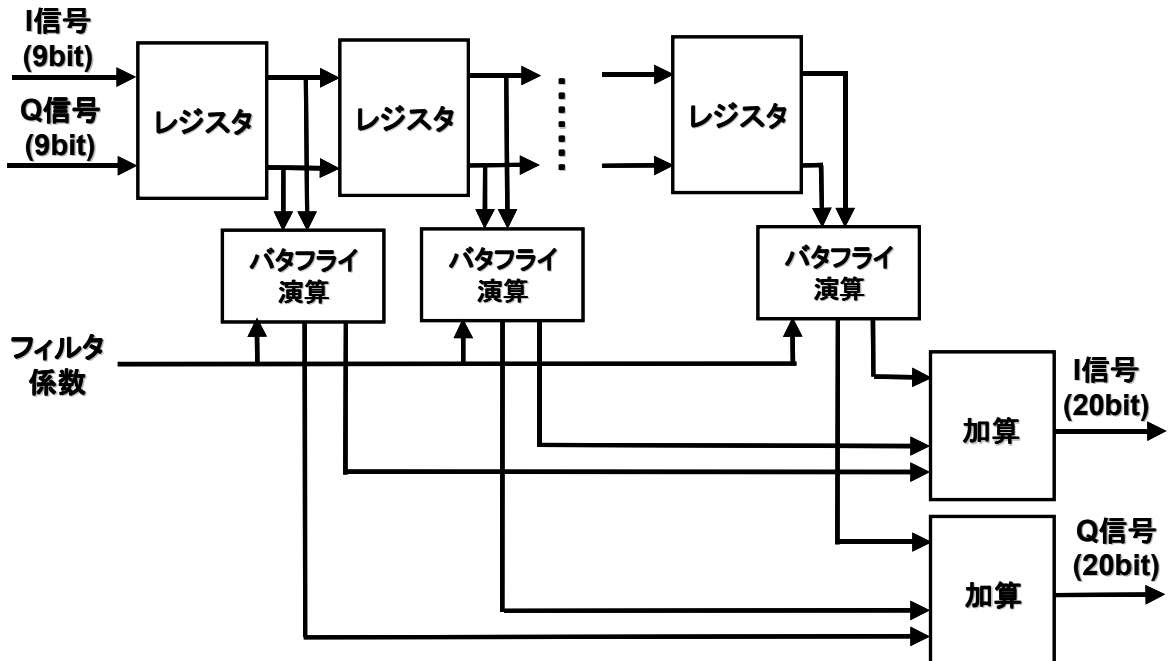


図 5-4-5

入力は補数符号付9ビット、係数は補数符号付8ビットとして実現する。

出力範囲は

$$-256 \sim 255 \times 122 = -31232 \sim 31110$$

より乗算器の出力は最大補数符号付16ビットとなる。

係数の関係から最大値が入力されたとして、計算すると

$$\text{実部の最大値: } 233472 < 2^{18}$$

$$\text{虚部の最大値: } 232448 < 2^{18}$$

正負両方を考慮して出力は補数符号付きの20ビットとなる。

5-4-2-1-4 ゲイン補正

FIRフィルタの出力値20ビットを4096 (2^{12}) で除算することで出力8ビットを得る。

5-4-2-2 周波数シフト

周波数シフトの構成を図5-4-6示す。

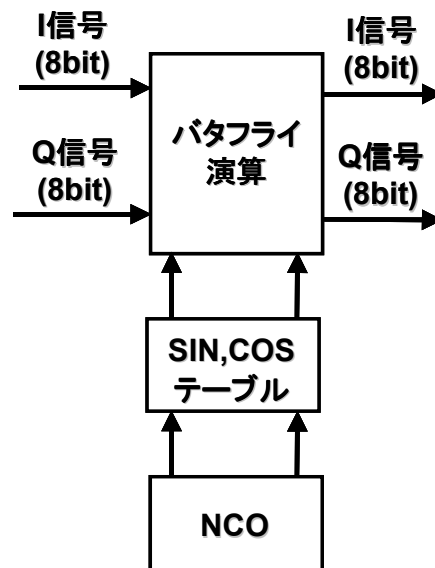


図 5-4-6

本回路は、ある中心周波数を持つLOW-IFの入力信号に対して、中心周波数が0のベースバンド信号に変換する働きを持つ(図5-4-7)

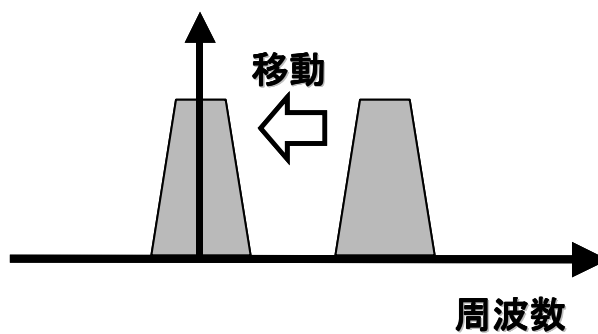


図 5-4-7

入力信号に対して移動する周波数分の掛け算を行うことで、周波数の移動を行う。

今回のインタフェースでは、中心周波数が

- ・ $1 \text{ セグメント} - 1 / 7 \text{ MHz}$
- ・ 1 セグメント
- ・ $1 \text{ セグメント} + 1 / 7 \text{ MHz}$

の3通り取りうるので、NCOの発振周波数が可変となっている。

5-4-3 低消費電力の手法

デジタル回路の低消費電力化に際し、一般的に用いられている方法を説明する。

5-4-3-1 RAMのインヒビット端子の利用

動作時以外はRAMへのクロック供給を停止する。クロックを停止することで、動作電流をほぼ0とし、リーク電流のみとすることができる。一般的にRAMのセルにはインヒビット（IH）端子が備わっており、この端子を制御することで、RAMのクロックを停止したのと同等の機能を実現している。本端子をRAMの動作に応じてこまめに制御することで消費電力の削減が図れる。制御の状況を図5-4-8に示す。

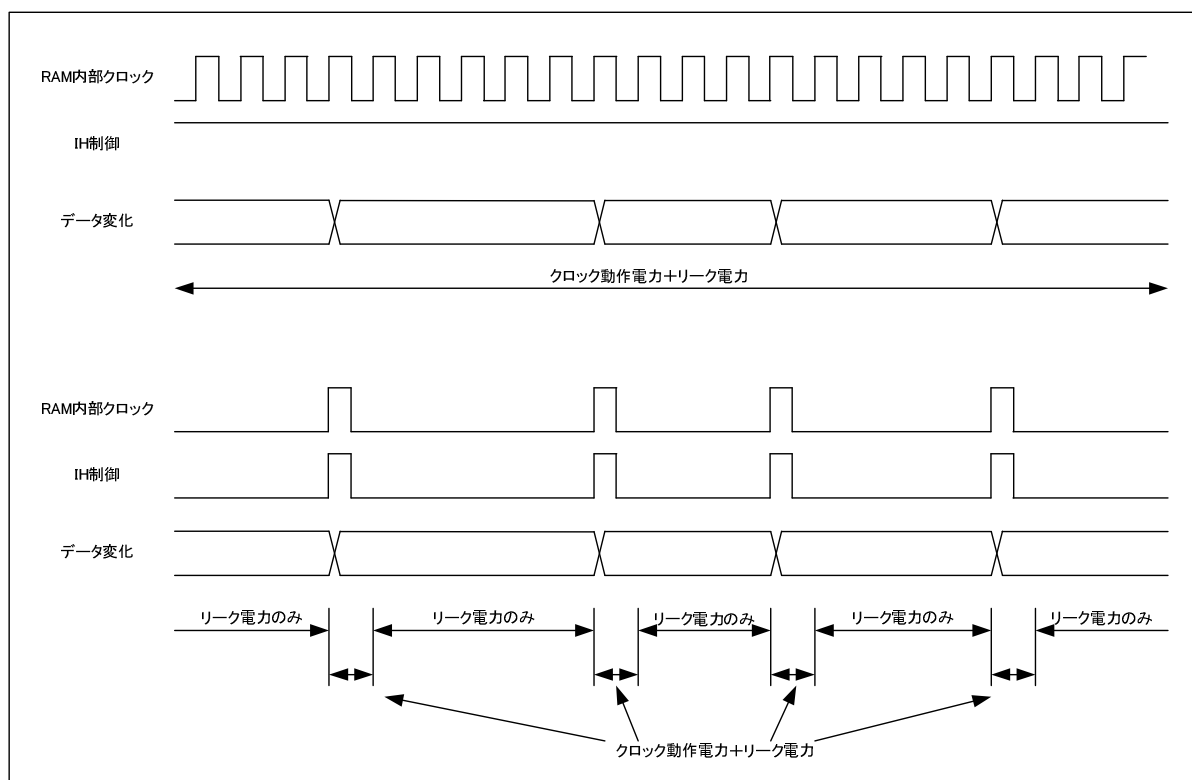


図 5-4-8

5-4-3-2 RAMの分割

図5-4-9で示すように、1個のRAMのサイズを小さくし、5-4-3-1で説明したRAMのインヒビット機能を利用する。このようにすることにより、ある時間に動作するRAMサイズを小さくし、消費電力を削減する。図の場合4分割しているので、 $1/4$ の消費電力になる。

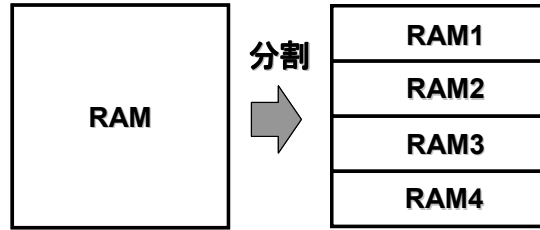


図 5-4-9

しかし、RAMを分割すると、1個のRAMサイズ（実装面積）が大きくなり、また、各々のRAM内部にインタフェース回路が必要となり、この部分の消費電力が無視できなくなる。図5-4-10に、例として、16ビット 4096ワードのRAMを分割したことによる動作時の消費電力と面積の関係を示す。

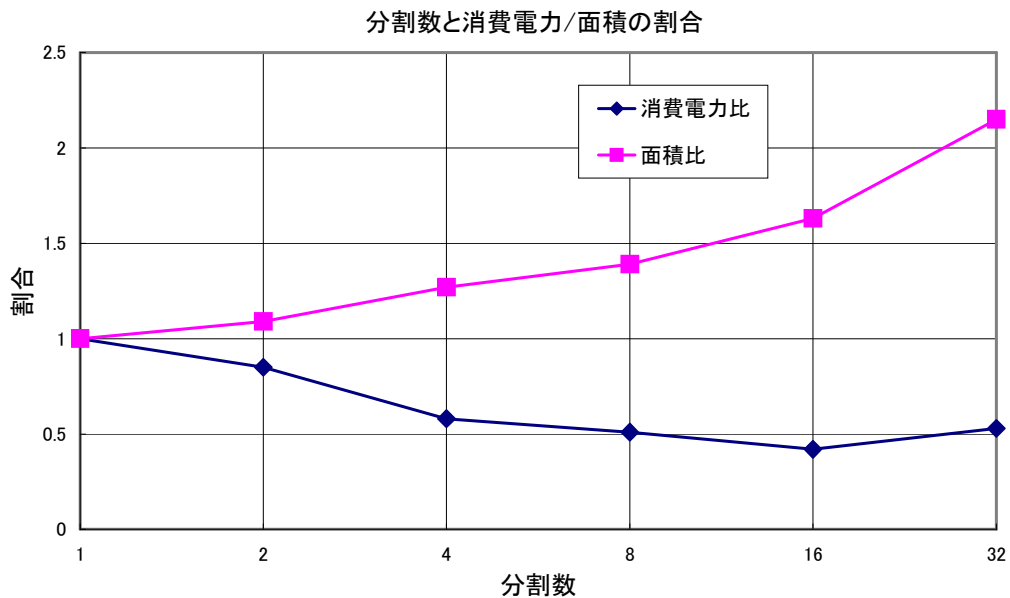


図 5-4-10

このグラフから16ビット 4096ワード構成のRAMは、256ワード構成×16分割の場合に消費電力が最小になる。これ以上の分割は消費電力が増加するうえ、面積も増大するので分割する意味がなくなる。

5-4-3-3 デュアルポートRAMを使用しない

デュアルポートRAM（1RW-1R-RAM、書き込みと読み込みが同時にできるRAM）はシングルポートRAMに比べ、一般に消費電力が大きい。RAMの大きさにもよるが、デュアルポートRAMを2個使用するよりもシングルポートRAMを3個使用した方が消費電力は少ない場合がある。

5-4-3-4 ゲーティング

動作していない回路に対し、クロックのゲーティングを行い、動作を停止させる。

RAMのインヒビット制御と同様、セルのリーク電力のみとなる。

5-4-3-5 動作クロック周波数の低減

動作クロック周波数を落とすことで、一般に消費電力を低減できる。ゲーティングと同様の効果が得られる。設計する回路の性質により、どちらか或いは両方の手法を用いる。

5-4-4 低消費電力の見積り

5-4-3で説明した低消費電力の手法を開発するLSIに適用した場合の消費電力の試算を行った。

- (1) 回路削減
- (2) ゲーティング (RAM分割インヒビット制御含む)
- (3) 動作速度
- (4) RF部とのインタフェースによる回路増

試算では、富士通で以前開発した13セグメント復調LSI/3セグメント復調LSIの回路をベースとし、ロジック部、RAM、I/O部と分け、各々85mW、75mW、20mWをスタート値とした。

(1) 回路削減

回路規模は3セグメント伝送による階層伝送が3から2階層へ減少したこと、FFTのポイント数の減少から、13セグメントに対してロジック部は80%、RAMの容量は38%の規模になる。

$$\text{ロジック} \quad 85 \times 0.8 = 68 \text{ (mW)}$$

$$\text{RAM} \quad 75 \times 0.38 = 28.5 \text{ (mW)}$$

(2) ゲーティング

回路構成により積極的に出来る部分と、わずかしかな出来ない部分がある。回路の性質から、平均全体の25%はゲーティングできる。

$$\text{ロジック} \quad 68 \times 0.75 = 51 \text{ (mW)}$$

$$\text{RAM} \quad 28.5 \times 0.75 = 21.4 \text{ (mW)}$$

(3) 動作速度

ロジック、RAM部は何れも、13セグメントの32MHz動作に対して、8MHz動作設計なので、消費電力は25%となる。I/O部は信号の変化が4MHzに対して500KHzとなるため、12.5%となる。

$$\text{ロジック} \quad 51 \times 0.25 = 12.75 \text{ (mW)}$$

$$\text{RAM} \quad 21.4 \times 0.25 = 5.35 \text{ (mW)}$$

$$\text{I/O} \quad 20 \times 0.125 = 2.5 \text{ (mW)}$$

(4) 回路増

RF部とのインタフェースのため、ダウンサンプルやイメージ除去回路のフィルタによる消費電力の増加は、回路規模から2.5mWとなる。

$$\text{ロジック} \quad 12.75 \text{ (mW)}$$

以上の項目を表 5－4－1 にまとめた。

表 5-4-1

削減手法 (13seg値 mW)	ロジック (85mW)	RAM (75mW)	I/O (20mW)	合計 (180mW)
回路削減	51(80%)	28.5(38%)	20(0%)	99.5
ゲーティング	38.3(75%)	21.4(75%)	20(0%)	79.7
動作速度	9.6(25%)	5.4(25%)	2.5(12.5%)	17.5
回路増	12.1 [+2.5mW]	5.4(0%)	2.5(0%)	20

デジタル部は低消費電力化の手法を取り入れることで、3セグメント受信において、消費電力を20mW以下にする目処をつけた。

ちなみに、ダウンサンプルとイメージ除去をRF部のアナログ回路で実現した場合、50mWの電力を消費するが、デジタル回路で実現すると、わずか2.5mWで可能となる（図5－4－11）

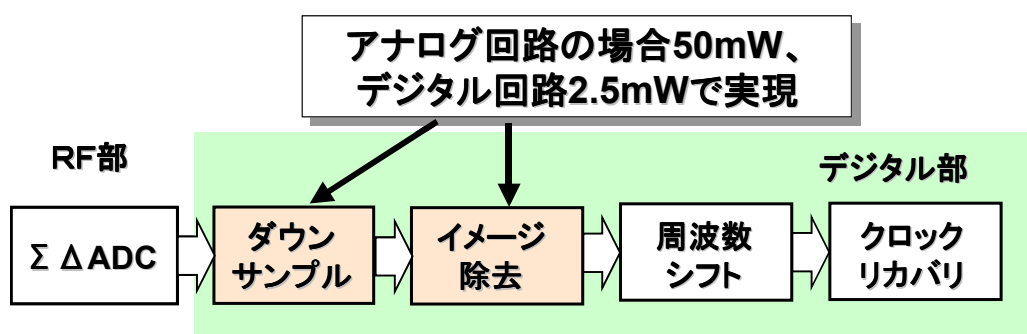


図 5-4-11

5-4-5 評価システム

今回、RF部のTEG開発に伴い、デジタル部のインタフェースをFPGA(Field Programmable Gate Array)を用いて機能試作を行った。その際の復調機能部は富士通で既に開発済みの13セグメントの回路を流用した。図5-4-12にデジタル部の評価システムの写真を示す。デジタルフィルタ部に、ダウンサンプルーイメージ除去一周波数シフト機能を実現している。

本評価システムを用いて、今回採用したRF部とのインタフェースの動作確認を行った。ビットエラーレートが0になることを確認し、インタフェース回路に問題がないことを確認した。

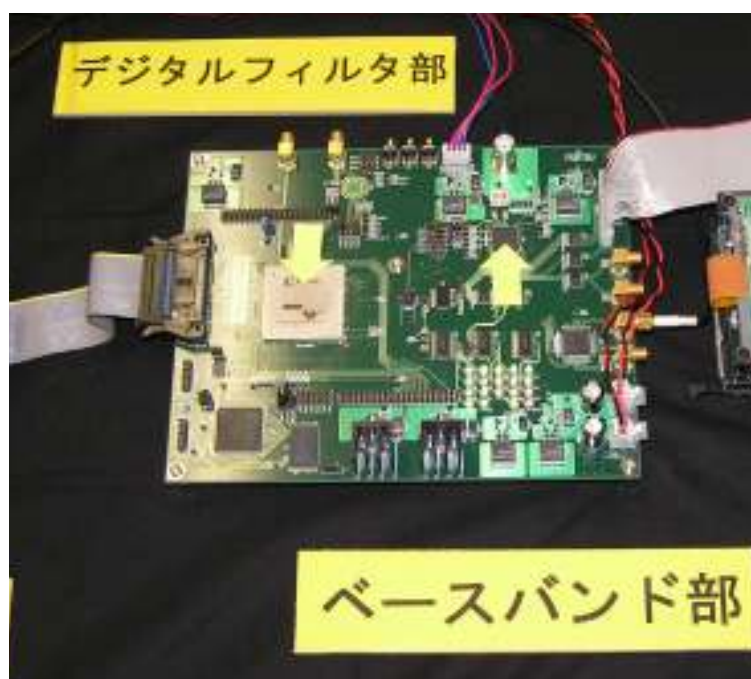


図 5-4-12

5-5 携帯DTV用小型アンテナの試作結果

これまでの検討結果を基に、VHF、UHFそれぞれ、基準アンテナとしてロッドアンテナ、内蔵を意識してヘリカルアンテナ、内蔵アンテナ以外の形態としてストラップタイプのアンテナ（VHF帯はネックストラップ、UHF帯はハンドストラップタイプをイメージ）を試作して評価を行った。下記に詳細を記述する。

5-5-1 アンテナの形状について

各アンテナの形状、寸法等は、図5-5-1に示す。

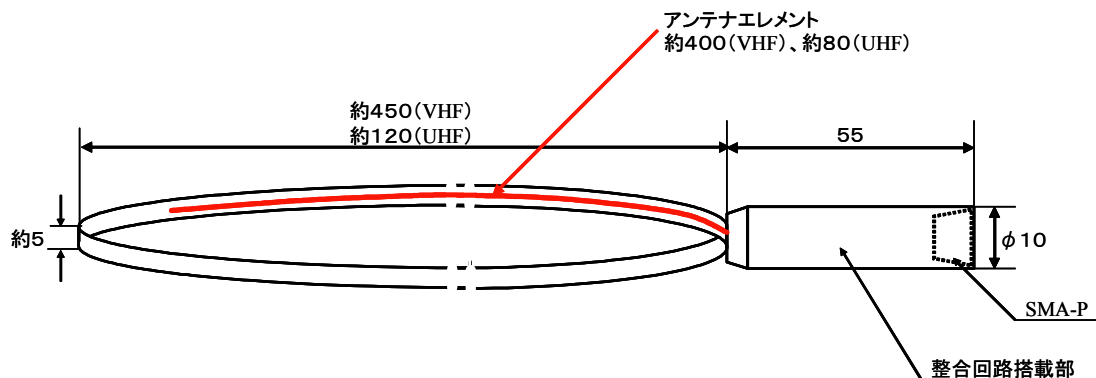
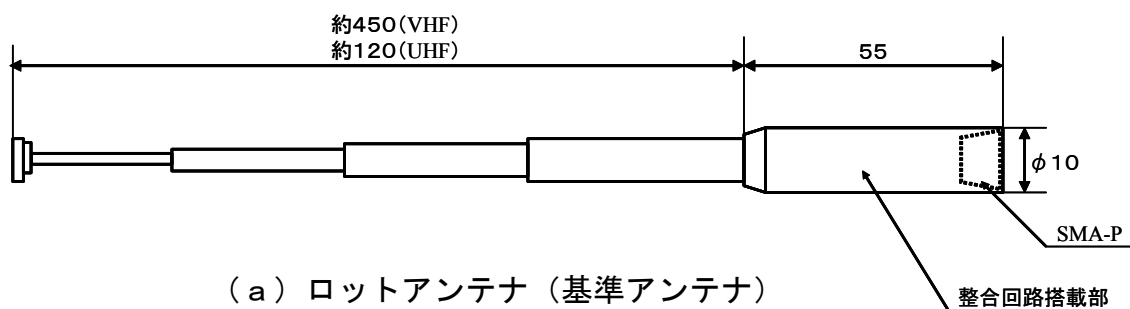


図5-5-1. 各アンテナの形状（単位：mm）

アンテナの寸法は、これまでの試作とCADにより最適な値を求め決定した。更に各アンテナには、受信チップのLNAとのインピーダンス整合を目的に、整合回路を内蔵した。今回の試作では、インピーダンスを50Ωとした。今後、

小型化と広帯域化を意識して最適なインピーダンスでの試作が必要と考える。
図5-5-2に、整合回路の構成図を示す。各パラメータは、実験により最適
値を求め今回の試作に適用した。

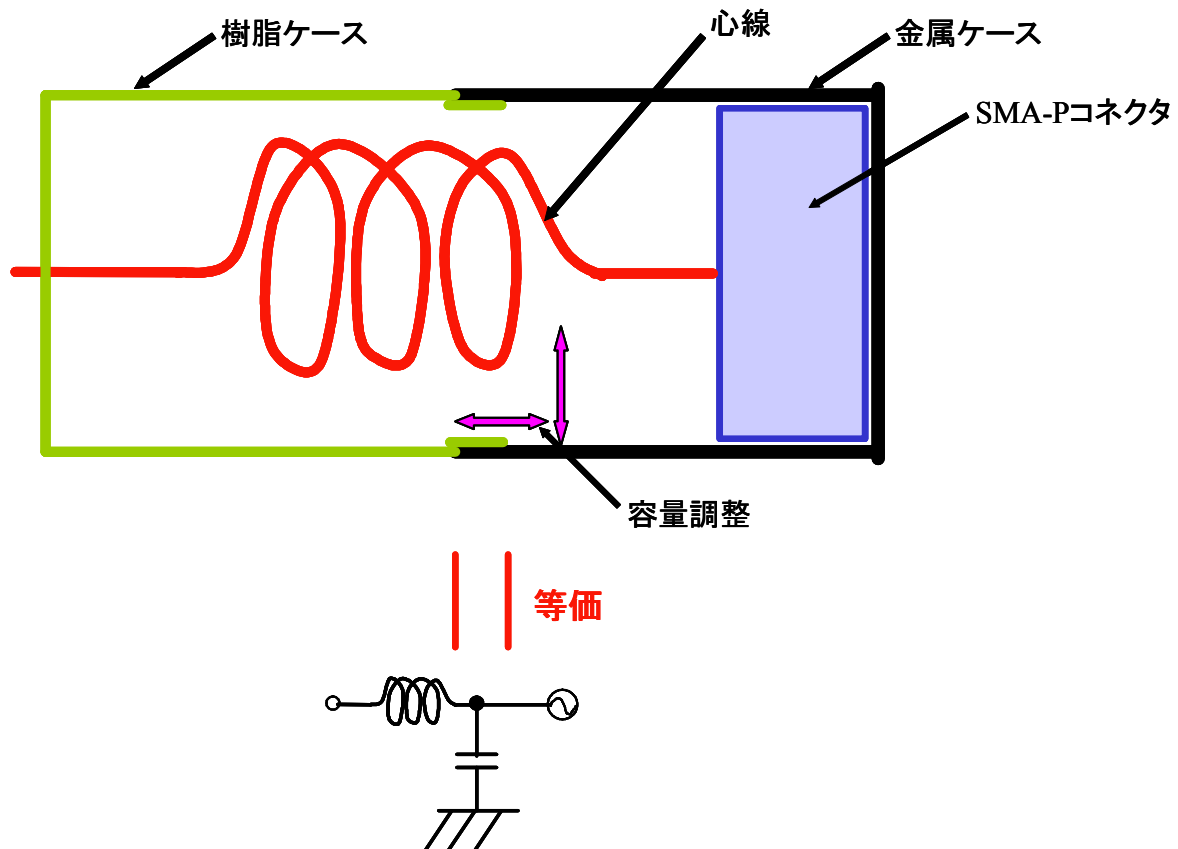


図5-5-2. 整合回路の構成図

図5-5-3から6に試作した各アンテナの写真を示す。



(a) ロットアンテナ (VHF帯)



(b) ロットアンテナ (UHF帯)

図5-5-3. ロットアンテナ

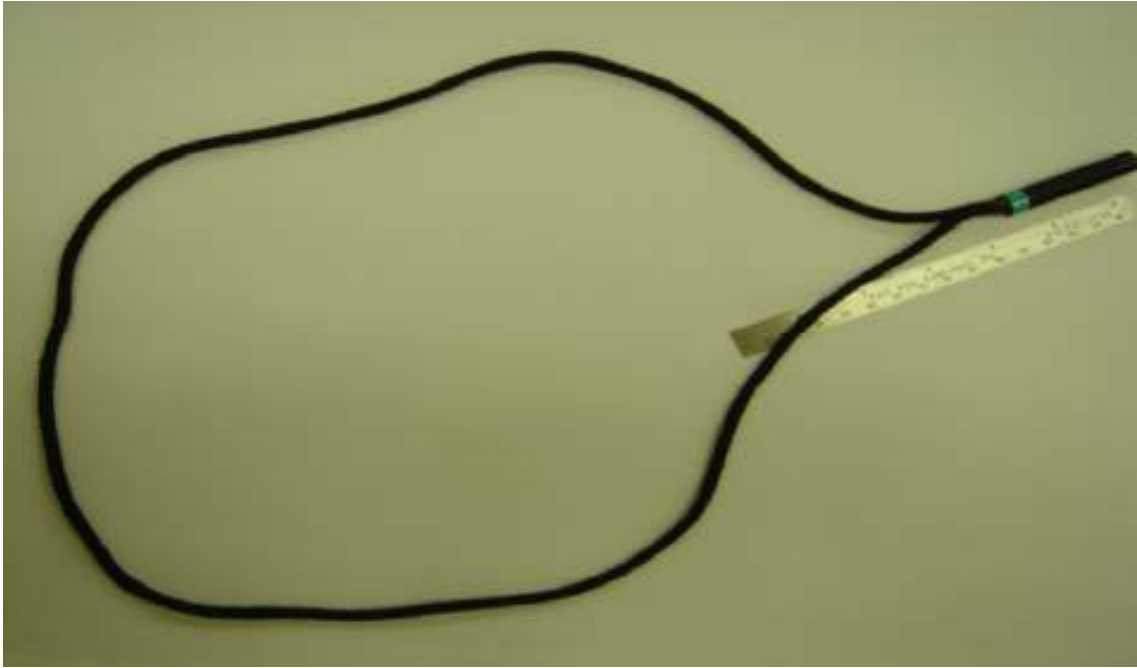


(a) ヘリカルアンテナ (VHF帯)



(b) ヘリカルアンテナ (UHF帯)

図5-5-4. ヘリカルアンテナ



(a) ネックストラップアンテナ (VHF帯)



(b) ハンドストラップアンテナ (UHF帯)

図5-5-5. ストラップアンテナ



図 5-5-6. コネクタ部の拡大写真

5-5-2 評価結果

1) 整合特性

各アンテナの整合特性は、図 5-5-7 に示すとおり、筐体を模擬した 150 × 50 mm の基板に試作アンテナを取り付け、ネットワークアナライザに接続し、リターンロスの測定を行った。その結果、VHF 帯のヘリカルアンテナ以外、整合回路を付加することで、アンテナに形態にもよるが所望の周波数範囲で、-5 dB 以下のリターンロス特性を得ることができた。VHF 帯ヘリカルアンテナの特性が良好な結果が得られなかった原因は、周波数が低いため整合回路を限られたスペースで十分内蔵できなかったためである。各アンテナの特性を表 5-5-1 にまとめる。

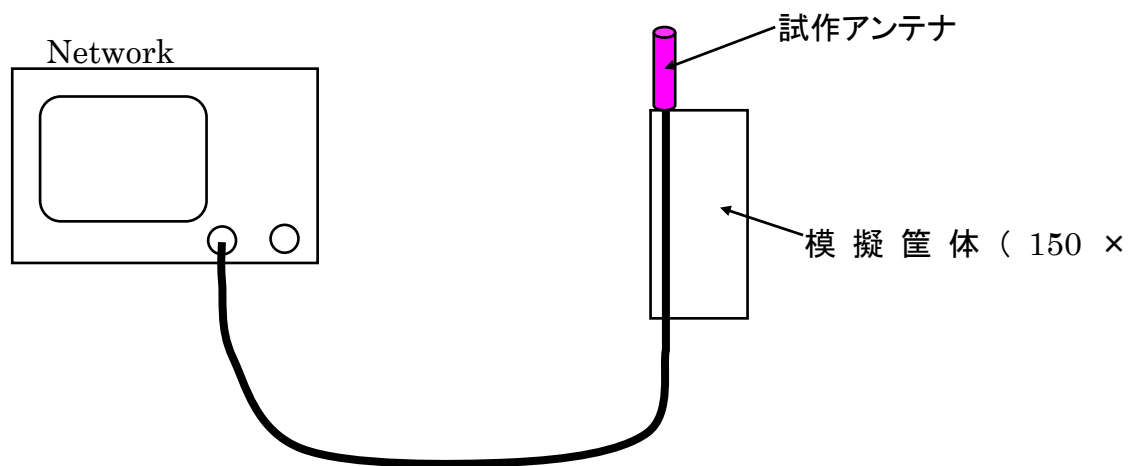


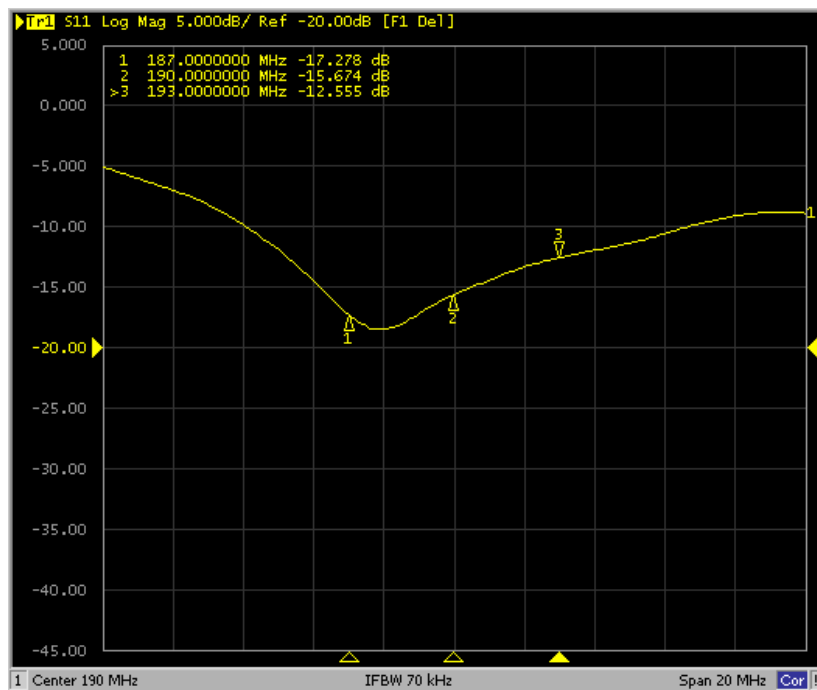
図 5-5-6. 評価系

表 5-5-1. 各アンテナのリターンロス特性まとめ

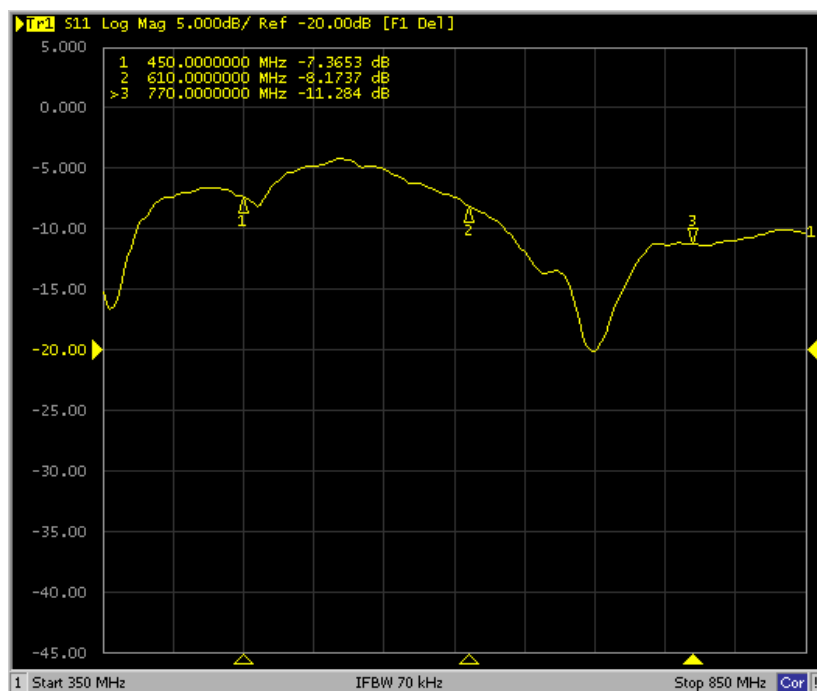
	アンテナ形状	周波数帯	リターンロス範囲
(1)	ロッドアンテナ	VHF 帯	12 dB から 17 dB
		UHF 帯	5 dB から 20 dB
(2)	ヘリカルアンテナ	VHF 帯	2.6 dB から 3.6 dB
		UHF 帯	5.0 dB から 36 dB
(3)	ストラップアンテナ	VHF 帯	17 dB から 32 dB
		UHF 帯	8 dB から 35 dB

これらの結果から、DTVレシーバーの最終形態を考慮すると、VHF帯は、ストラップアンテナ、UHF帯は、ヘリカルアンテナを適用することで機器への内蔵する形態が最適と現状考えられる。

下記に、各アンテナの詳細な評価結果を示す。

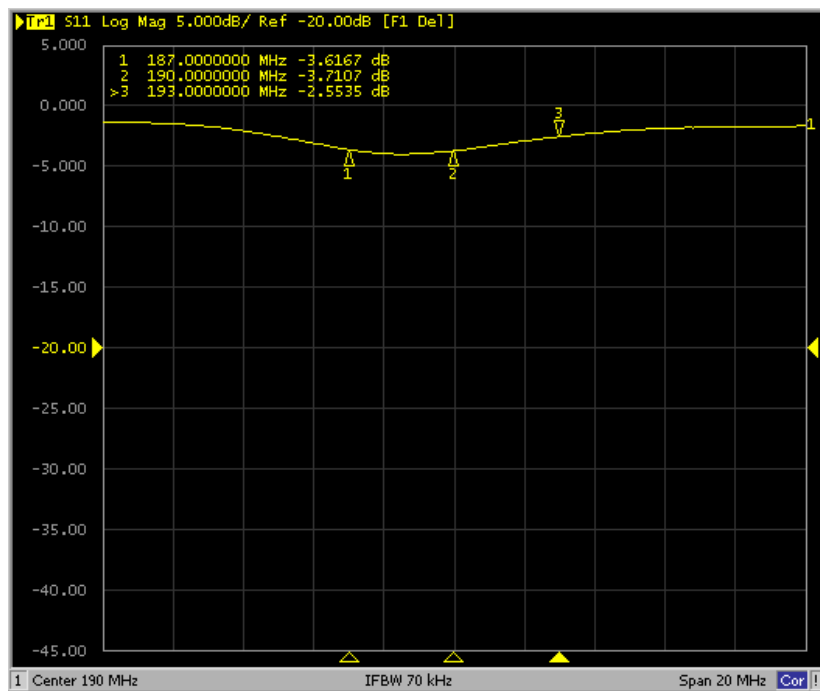


(a) VHF帯

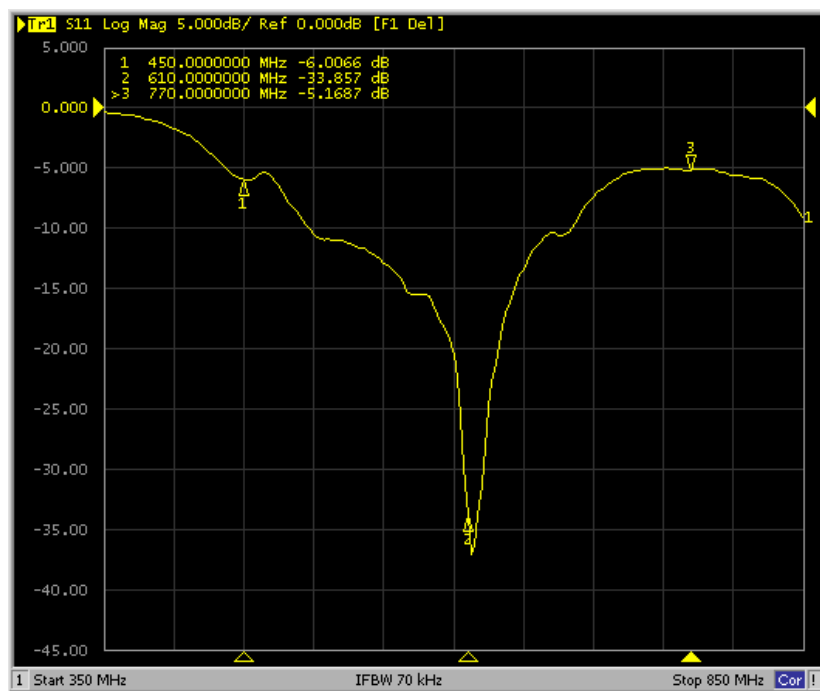


(b) UHF帯

図5-5-7. ロットアンテナ特性

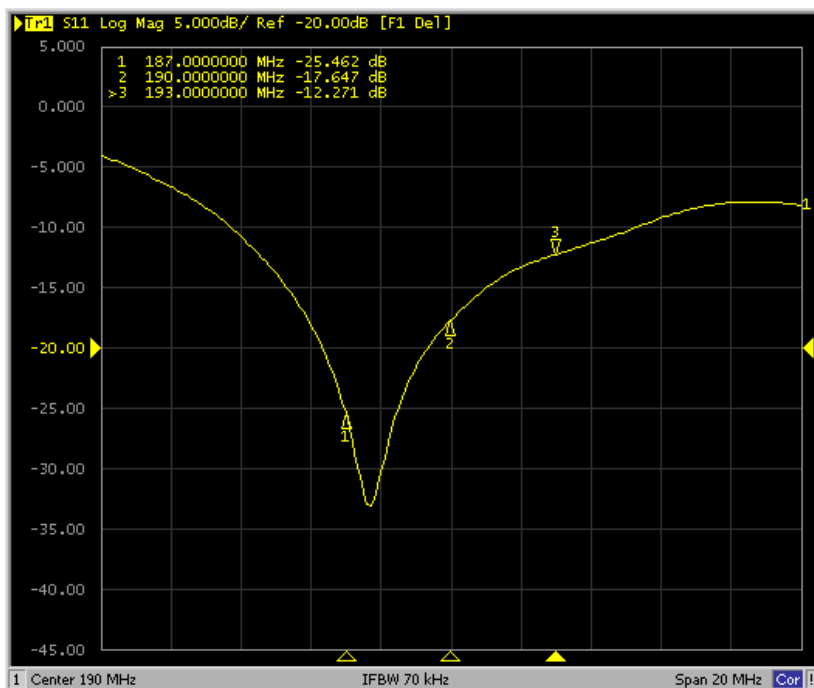


(a) V H F 帯

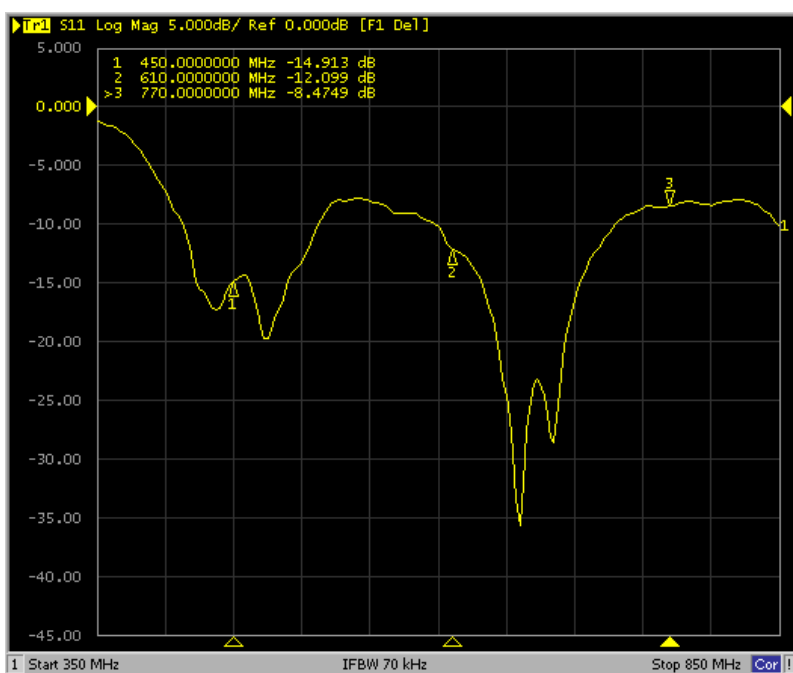


(b) U H F 帯

図 5-5-8. ヘリカルアンテナ特性



(a) VHF帯



(b) UHF帯

図5-5-9. ネックストラップアンテナ

2) 放射パターン特性

各アンテナの放射パターン測定には、下記に示す座標系で評価を行った。最大利得特性から基準アンテナと想定したロッドアンテナとの比較により、機器への内蔵可能なアンテナは、UHF帯のヘリカルアンテナのみで、VHF帯のアンテナは、内蔵を目的としたヘリカルアンテナだけでは、十分な受信特性が得られず、ストラップアンテナとの併用が最適と考える。図5-5-10から各アンテナの放射パターン特性、図5-5-14から、最大利得特性の比較を示す。

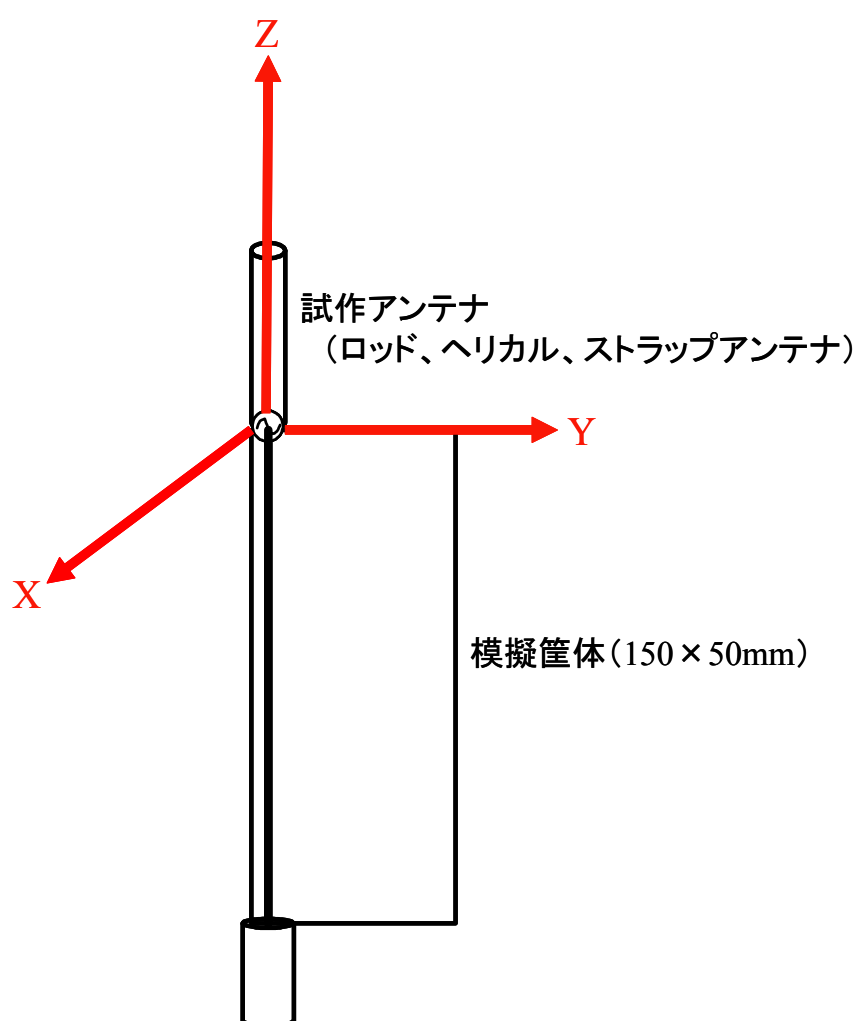


図5-5-10. アンテナ評価座標系

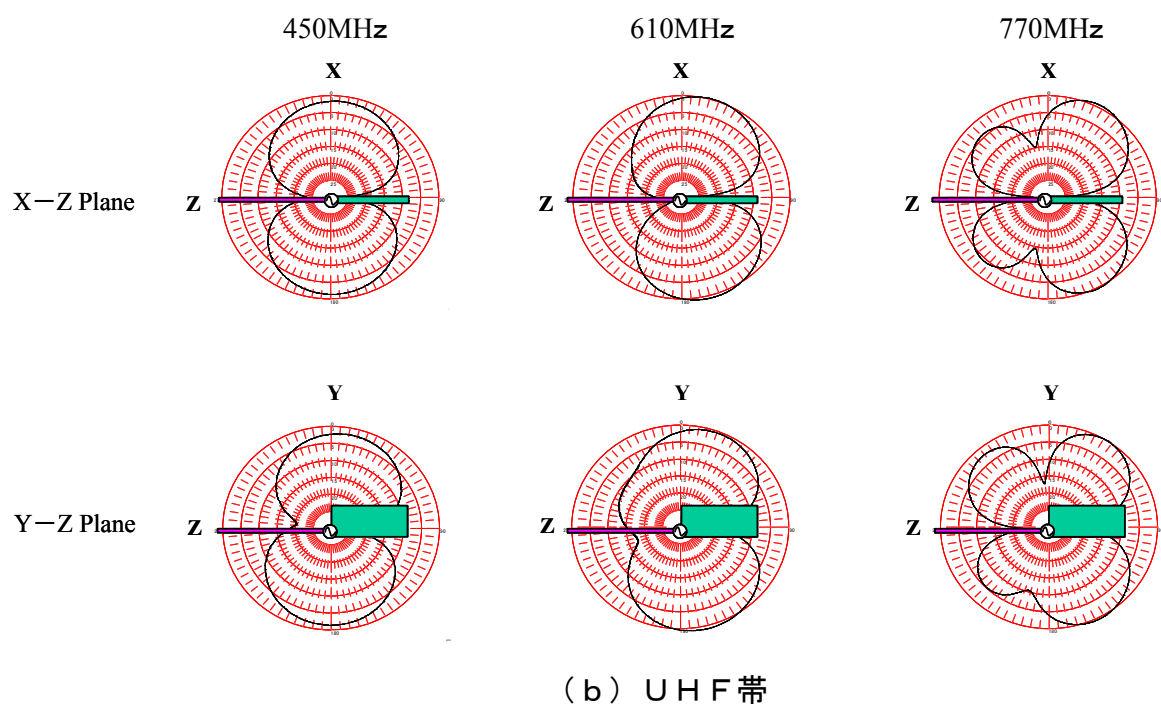
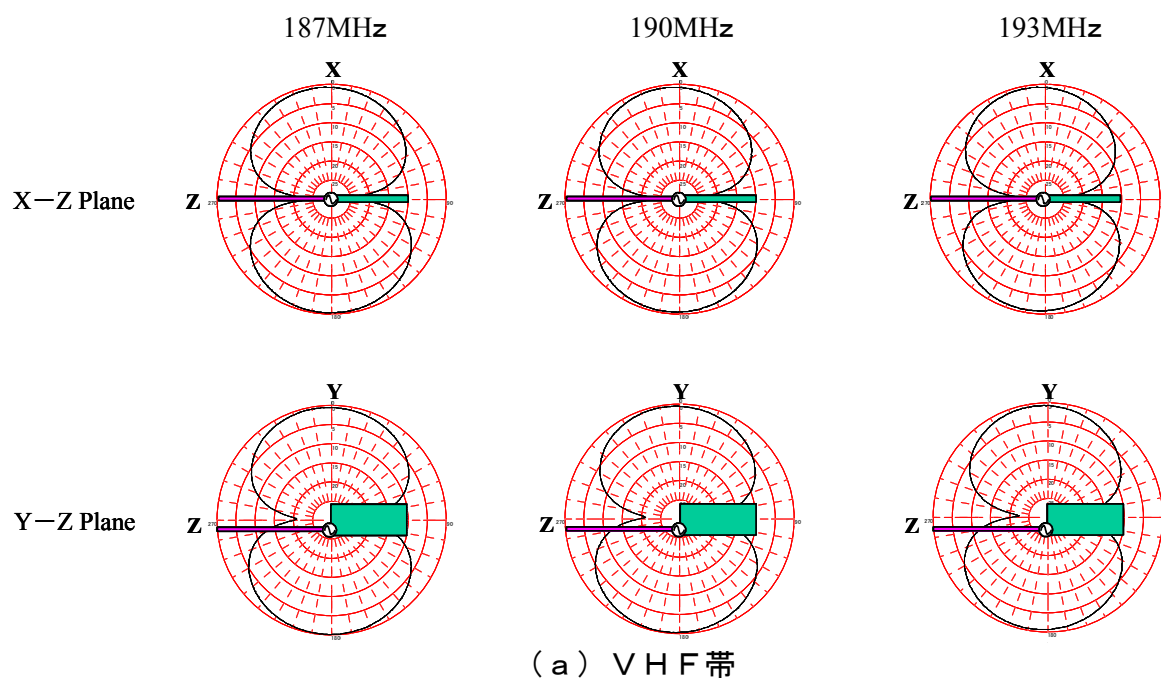


図5-5-11. ロットアンテナの放射パターン

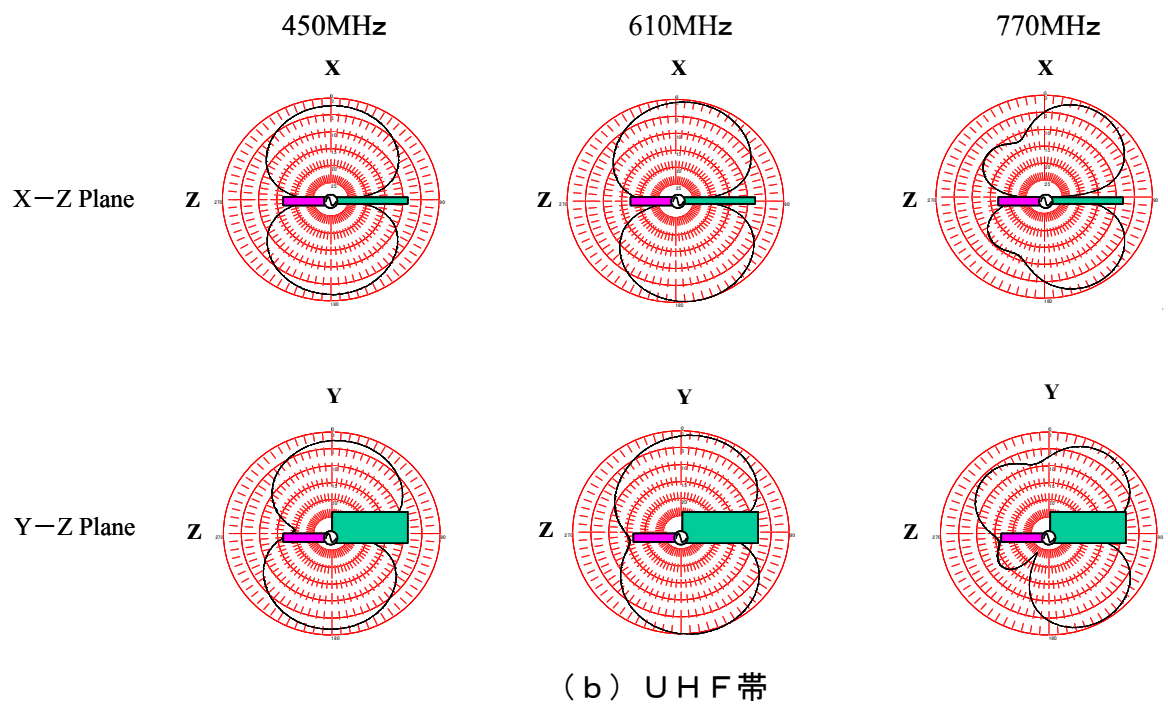
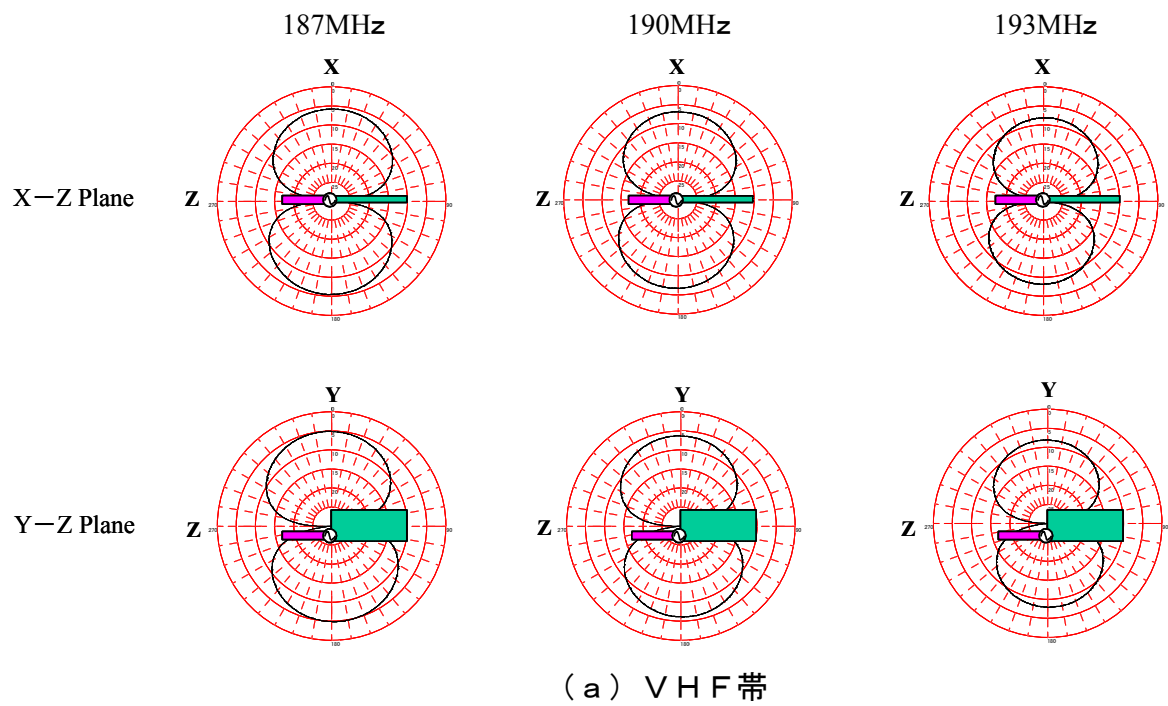


図5-5-12. ヘリカルアンテナの放射パターン

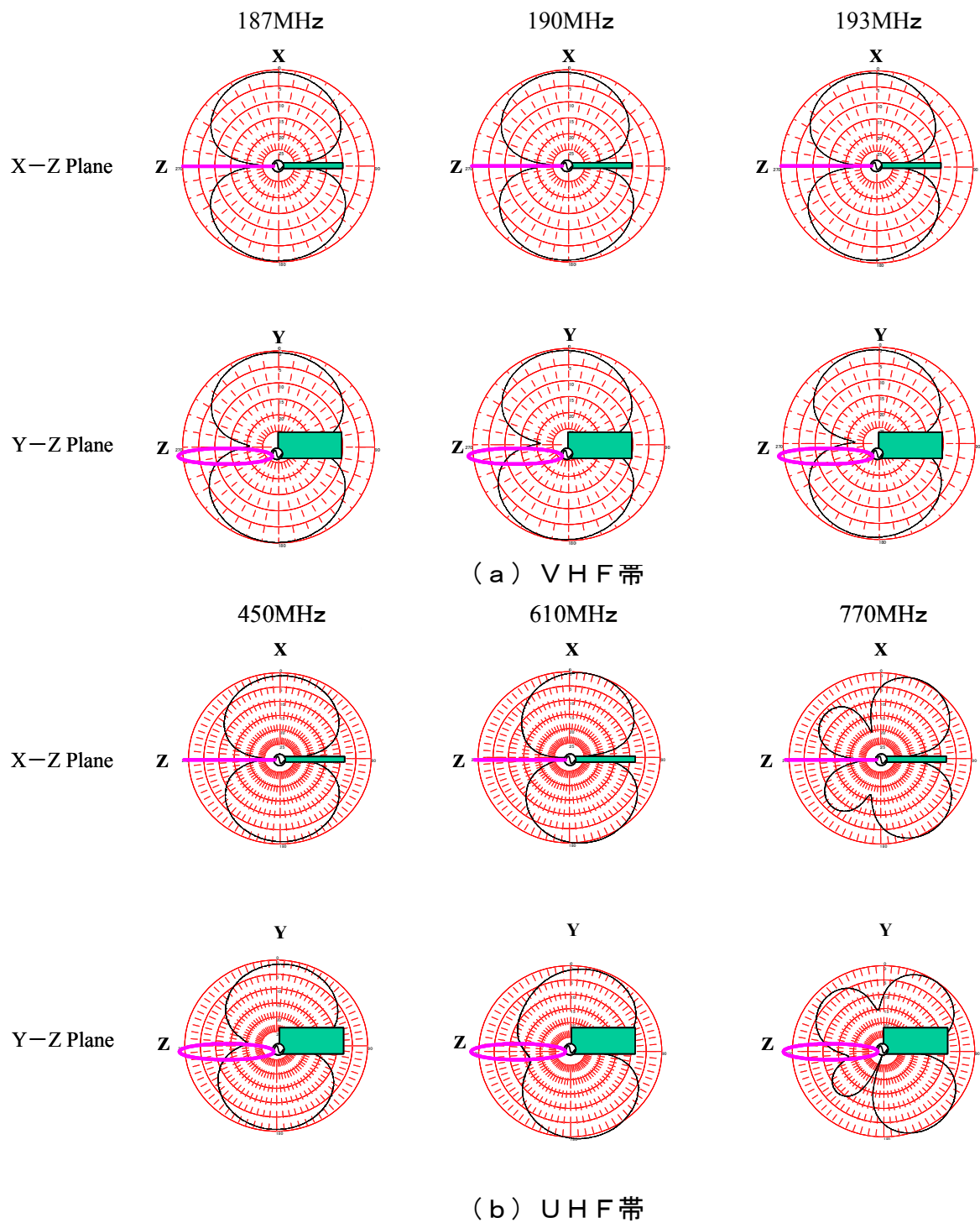


図 5-5-13. ストラップアンテナの放射パターン

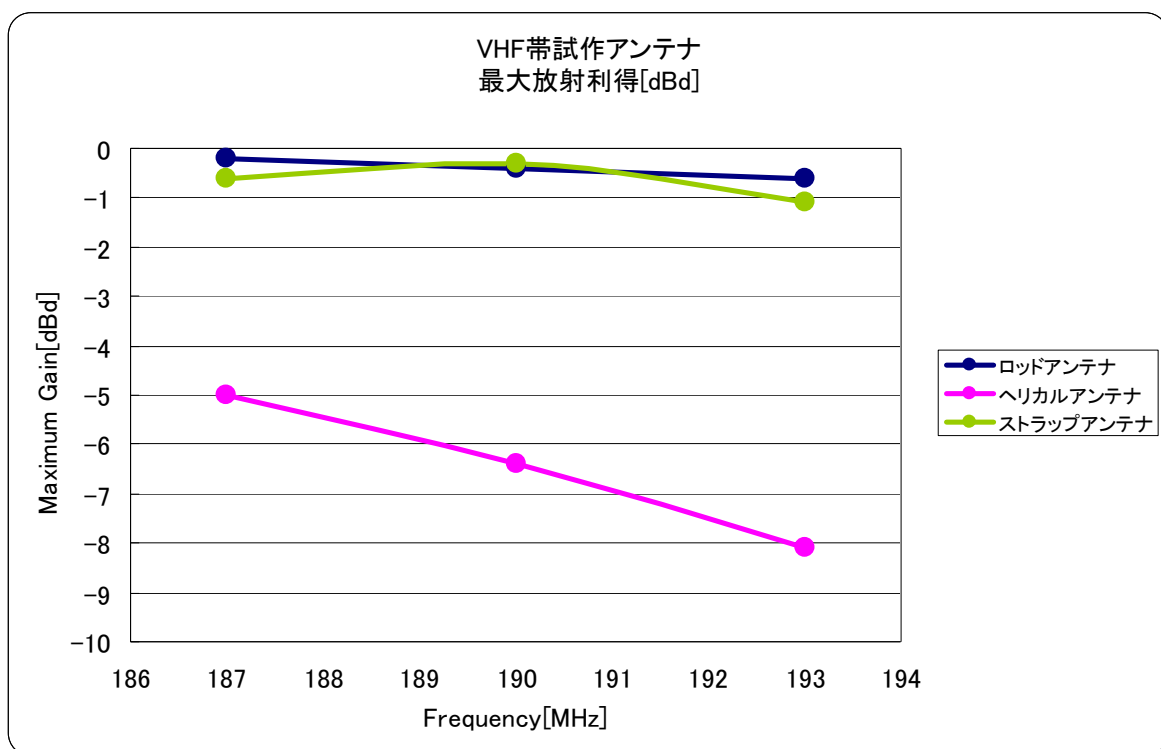


図 5－5－14．V H F 帯試作アンテナ最大利得特性

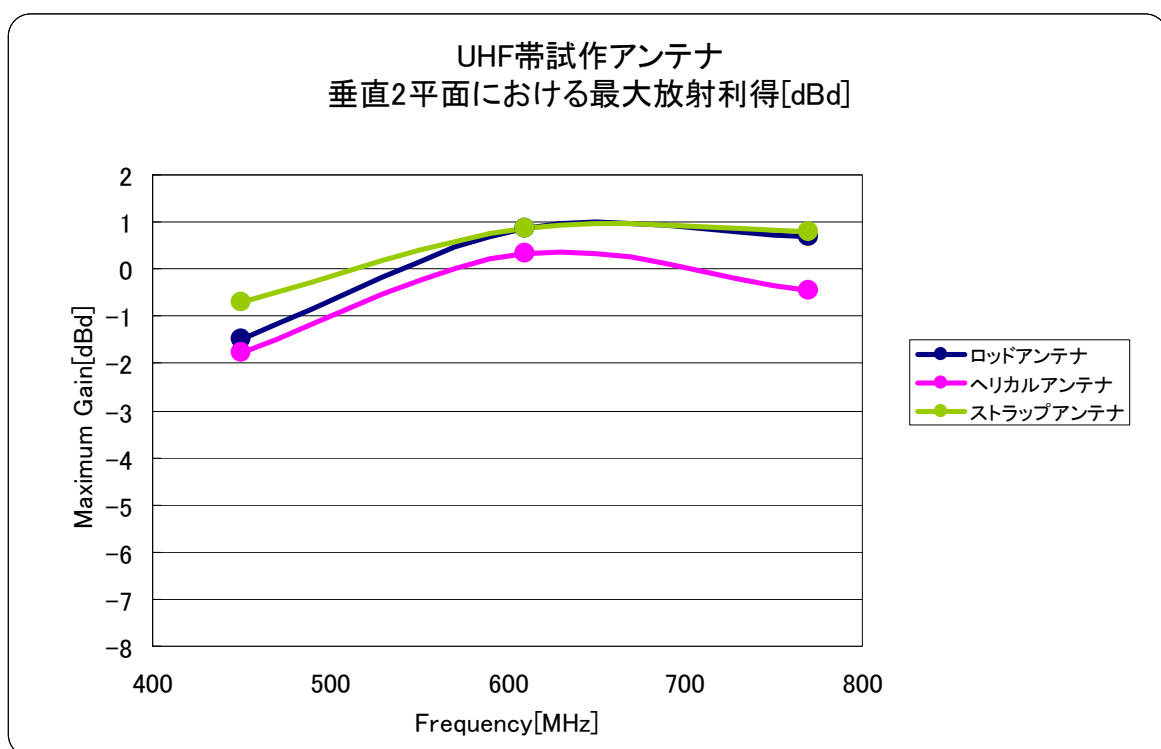


図 5－5－15．U H F 帯試作アンテナ最大利得特性

5-5-3 試作結果まとめ

これまでの検討結果を基に、3品種のアンテナを試作し評価を行った。D T Vレシーバーの最終形態を考慮した場合、アンテナ等の突起物がないレシーバーが望ましいため、アンテナを内蔵することを前提に検討、試作を進め、今回の評価結果より、レシーバーのサイズにより左右されるが、U H F帯は、ヘリカルアンテナを選択することで内蔵化の可能性がある、また、V H F帯のアンテナは、内蔵の可能性は難しく、十分な受信感度を得るには、今回、初めて試作したストラップアンテナ等による外部アンテナとの併用が最適と現状思われる。

5-6 総括（全体の基本アーキテクチャ検討）

TEG試作により各コンポーネント回路の特性を実測することが出来、目標である消費電力低減の可能性を示せた。また同時に、回路ブロックの課題を明確化することにより、今回の試作で前提となったアーキテクチャを用いて来年度のLSI試作に進むことが出来ると判断できた。さらに、試作した各コンポーネント回路をブレッドボード上で評価した上で、チューナ部、ベースバンド部をボード間で結ぶことにより、受信機としての機能を確認した。

図5-6-1は、実験した回路の概略を示している。

図のAMP部、OSC部、IF部はチューナ部として、Filter+OFDM部はベースバンド部として、それぞれを異なる評価ボードで測定した後、ボード間をケーブルで連絡し、TSデータを出力する。

図5-6-2は、実験に用いたボードの写真である。現段階では、1セグメント放送電波は送信されていないため、この実験では、動画データを別途変調信号源によりRF信号として発信し、アンテナで受信した信号をチューナ部に入力、ベースバンド部から出力を別途用意したデジタル回路でTSデータから画像データにデコードして、液晶表示装置にカラー表示させた。受信した電波から動画再生することを確認することができ、予定通りの機能動作をしていることが確認できた。また、TSデータを直接測定することにより受信後のデータにエラーの無いことも確認した。

図5-6-3はチューナ部の拡大写真である。矢印で示した部分が今回試作したコンポーネント特性評価用TEGを含むチップであり、各コンポーネントはチップ内およびチップ外の配線を通じて結線した。

図5-6-4はベースバンド部の拡大写真である。左の矢印で示した部分がデジタルフィルタ部、右の矢印で示した部分がOFDM部である。今回の実験により、本年度取り組んできたアーキテクチャに基づく各コンポーネントの基本機能が正しく動作していることを確認でき、低電力に向けた受信機アーキテクチャとして今回のものが有用であることが示せた。

RF フロントエンドの構成は、Low-IF方式によるものである。発振回路に関しては低電力化の可能性が試作により確認できたが、周波数シンセサイザとして特性を維持したまま、機能を拡張し、さらなる低電力化が可能かどうか、今後の検討が必要である。AMP部の利得特性は改善する必要があるものの、電力的には見通しが得られている。今後、アンテナを含めた入力側回路の構成を詰めていく必要がある。IF部に用いた $\Sigma\Delta$ 型のADCの消費電力はほぼ目標に到達しているが、放送電波の割り当てや受信形態によっては、必要となるダイナミックレンジが大きくなることも考えられるため、さらにこれを拡大する改良を検討する。これら相互の回路への要求と全体の性能とのバランスを把握して最適な構成を固めるためには、LSIレベルで更なる性能検証が必要である。

今回、低電力化の重要なポイントとして、デジタルフィルタを選択することによるアナログ部の低電力化を実現し、設計指針を明確にすることが出来た。次年度は低消費電力デジタルOFDM回路とデジタルフィルタ部との集積化、チューナ部制御、インターフェイスなどに関し、LSIとしての設計仕様を詰め、設計および試作を進める。

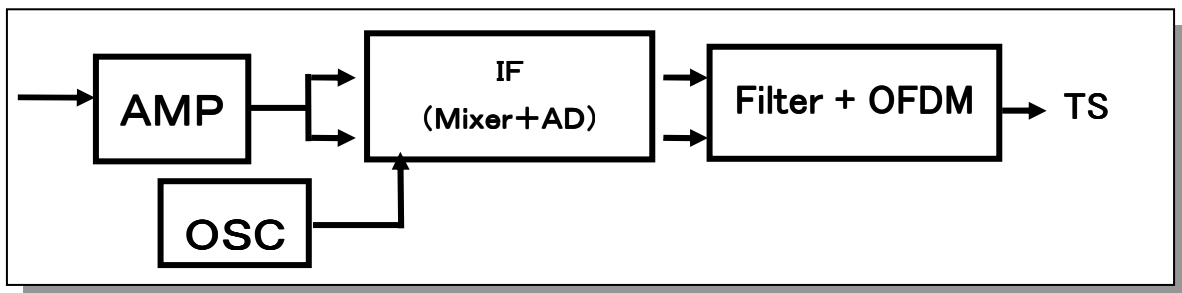


図 5－6－1 受信機能実験ブロック図



図 5－6－2 受信機能実験



図 5 - 6 - 3 チューナ部拡大写真



図 5 - 6 - 4 ベースバンド部拡大写真

参考資料、参考文献

(添付資料)

1. 研究発表、講演、文献等一覧

なし