

平成14年度 研究開発成果報告書

「テラビットルータに向けた高速信号処理用光モジュールの開発」

目 次

1	研究開発課題の背景	2
2	研究開発分野の現状	5
3	研究開発の全体計画	8
3-1	研究開発課題の概要	8
3-2	研究開発目標	8
3-2-1	最終目標	8
3-2-2	中間目標	9
3-3	研究開発の年度別計画	10
3-4	研究開発体制	11
4	研究開発の概要（平成14年度まで）	12
4-1	研究開発実施計画	12
4-1-1	研究開発の計画内容	12
4-1-2	研究開発課題実施計画	13
4-2	研究開発の実施内容	14
5	研究開発実施状況（平成14年度）	15
5-1	光I/O内蔵型スイッチモジュールの研究開発	15
5-1-1	開発の位置づけ	15
5-1-2	超小型光I/Oの試作と動作検証	16
5-1-3	CMOSスイッチLSIの試作、超小型光I/O-CMOSスイッチLSI間 接続の動作検証	20
5-1-4	まとめ、今後の課題	23
5-2	1.3 μ m帯多波長VCSELの研究開発	24
5-2-1	1.3 μ m帯多波長VCSEL	24
5-2-2	GaInNAs活性層の長波長化	24
5-2-3	1.34 μ m帯VCSELの低閾値発振	27
5-2-4	VCSELの高出力化	28
5-2-5	まとめ	31
5-3	総括	31

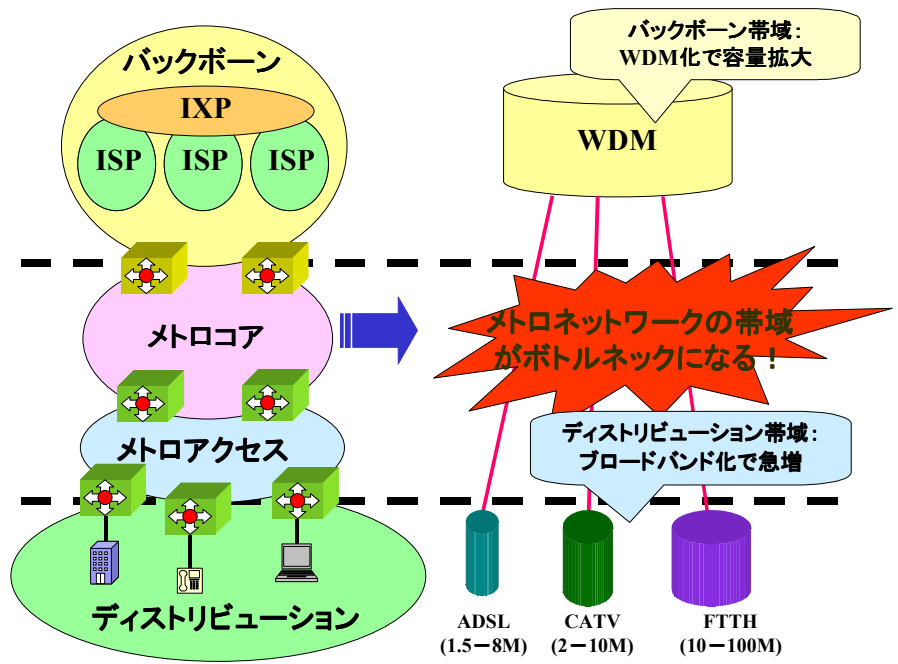
参考資料、参考文献

(添付資料)

1 研究発表、講演、文献等一覧

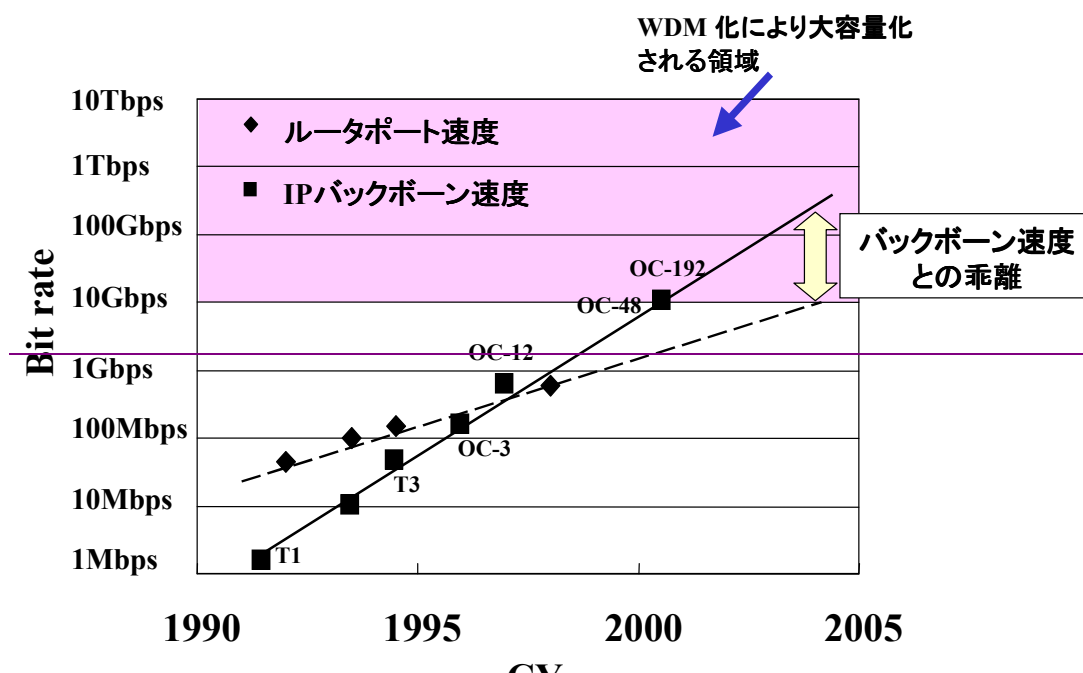
1 研究開発課題の背景

現在、インターネットに代表されるデータ通信需要の爆発的な拡大に対応するため、ADSL、CATV、FTTHなど一般家庭向けディストリビューションネットワークの高速・広帯域化が進んでいる。企業内のネットワークでは元々データ系の通信需要が大きく、Ethernetに代表されるようなLANが用いられてきた。Ethernetは、最近高速化が著しく、低コスト性を生かして、広帯域Ethernetサービスとして公衆回線への適用も進んでいる。このように、一般家庭向け、企業向けを問わず、ディストリビューションネットワークでは、データ系通信需要に対応する形での高速、広帯域化が進んでいる。一方、バックボーンネットワークでも、通信トラフィックの急増に応え、DWDM (Dense Wavelength Division Multiplexing : 高密度波長分割多重) 技術の適用による伝送系の高速、広帯域化が進展している。さらに、フォトニックネットワーク技術の開発により、バックボーン系ノードの処理制限の打破が計られつつある。この様な中で、ディストリビューションネットワークとバックボーンネットワークを結ぶメトロコア (ノード間を接続するネットワーク)、メトロ・ディストリビューションネットワーク (以下、まとめてメトロネットワークと呼ぶ) が、ネットワーク全体のブロードバンド化を図る上でボトルネックとなってきた (図1)。



通信事業者内で閉じた系で高速・広帯域化を進められるバックボーンネットワークに対し、メトロネットワークでは顧客やサービスに対するインターフェースを考慮しながら高速・大容量化を図る必要がある。つまり、1) 加入者に応じて通信容量を迅速に変更できる拡張性、2) さまざまなインターフェースへの柔軟な対応、そして3) 低コスト性が要求される。通信需要はデータ系が中心であるから、ネットワークノードはルータで構成される。従って、これらの要求に応えることの出来る大容量かつ拡張性、柔軟性を備え、低コストなルータを実現する事が重要となる。

次に、ルータの大容量化に関して考える。今後、ルータの処理スループットとして1Tbps以上が必要となり、そのためにはルータを構成するスイッチの入出力ポート速度も10Gbps以上となる必要がある。電子ルータは、LSIの処理速度向上及びチップ間伝送速度の向上により高速・大容量化が実現されてきた。しかし、近年、バックボーンネットワークがWDM技術を適用してそれを上回る速度で急速に高速・大容量化しており、ルータのポート速度がIPバックボーン速度と乖離し始めている、またLAN、ディストリビューションネットワークのポート速度が高速ルータのポート速度に近づきつつあり、明らかにルータの処理スループットがボトルネックとなってきた（図2）。



これらの原因として、光伝送容量の急速な増大もあるが、従来の手法でのルータの大容量化に限界が見え始めていることもあげられる。具体的には、ルータを構成するLSI間を結ぶ電気信号伝送技術の限界が制限要因となってきた。CMOS LSIの内部の処理速度は、ゲート長の微細化により高速化が実現されてきているが、LSI I/O部、LSI外のボード間/ボード内信号伝送の速度制限、消費電力がボトルネックとして顕在化している。これらの課題を解決するべく電気伝送技術の更なる開発も行われているが限界があり、光通信技術を適用した「光インタコネクション」への期待が高まっている。

光通信は、光ファイバの低伝送損失、広帯域性を生かして長距離通信から実用化されてきており現在ではLAN、ディストリビューションネットワークへの導入も始まっている。「光インタコネクション」とは、それをボード間/ボード内等、より短距離の信号伝送に適用するものである。現在、アレイ状の発光受光素子を用いて並列光伝送を行うアレイ光インターフェースモジュールを用いたシステムが交換機、ルータ、コンピュータ等の情報処理、通信機器で実用化されている。しかし、従来のアレイ光インターフェースモジュールには、以下のような課題があった；

- ・ 単チャンネルの光モジュールより1/3~1/4の小型化が実現されているが、LSIパッケージと同程度のサイズであり、さらに小型化が必要

- ・ LSIとの接続は依然ボード上の電気配線を利用する為、そこでの速度、消費電力の問題は解決されない
- ・ 伝送容量がチャンネル当たり数Gbps、トータルで10Gbps程度であり、1Tbps程度のスループットを持つルータに対しては、ボード/ラック間のインターフェースとしても伝送容量が不足する。

また、ルータ装置と外部との接続部(ラインインタフェース)も含め、光インタフェースに適用される光源としてDFB-LD (Distributed Feedback Laser Diode : 分布帰還型半導体レーザ)が用いられているが、素子当りの消費電力が0.1W程度と大きく、構造が複雑で光ファイバとの結合難しい為低コストが難しい、という課題がある。本開発では、上記の課題を以下のようなアプローチで解決する。

- 1) 光I/O内蔵型スイッチLSIモジュール： 10Gbps程度以上のポート速度を持つ超小型光I/OをLSIパッケージ内に内蔵する事により、スイッチLSI、光I/O間の電気配線の障害を取り除き、あわせて小型化を実現する、
- 2) 1.3 μ m帯多波長VCSEL (Vertical Cavity Surface Emitting Laser Diode: 面発光型半導体レーザ) : ラインインタフェースには100Gbps程度の伝送容量が要求されるが、1波長あたり10Gbpsの信号を、比較的広い波長間隔で波長多重する (CWDM (Coarse Wavelength-Division Multiplexing) 事により実現する方法が有望である。この光源として、長波長帯VCSELを開発することにより、VCSELの持つ、構造が簡単、光ファイバへの光結合が容易、低消費電力動作可能等の特長を生かして低コスト化を実現する。

光I/O内蔵型スイッチLSIモジュールは、ルータの高速・大容量化を低コストで実現する基本技術となる。光I/O内蔵型スイッチLSIモジュールは、CMOSスイッチLSIおよび超小型光I/Oから構成される。10Gbpsの高速信号を取り扱うため、それぞれの単体での動作実現も大きな課題であるが、さらに進んで相互の接続部とその実装部分の影響を取り入れた統合設計技術を確立する。高速電気動作する電気、光デバイスを超小型に実装する為、信号の波形劣化、クロストークの影響を最小化し、熱特性も十分考慮した新規実装技術の確立も必要となる。これらの技術は、100Gbpsクラスの伝送容量を持つ小型光インタフェースを実現する為の基盤技術ともなる。

超小型光I/O、光インタフェースに用いる光源としては、VCSELの適用が有望である。これ迄に、0.8~1 μ m程度の短波長帯のデバイスが実用化されているが、後に詳細に述べる理由により、メトロネットワーク、ディストリビューションネットワークで用いられている波長1.3 μ m帯の長波長VCSELの開発が必須である。

2 研究開発分野の現状

2-1 電気LSIのI/Oボトルネックと電気スイッチLSIによって構成したルータの問題点

従来、スイッチ等の高速、高機能システムLSI周辺のボード間／ボード内の伝送は図3に示す様な構成となっている。すなわち、システムLSIは配線パターンを形成したボード上に実装され、そのボードがバックプレーンと呼ばれる装置背面の配線板にコネクタで接続される。ボード内で信号伝送を行うためのLSIの入出力回路（電気I/O）及びボード上の電気伝送では次のような課題がある。

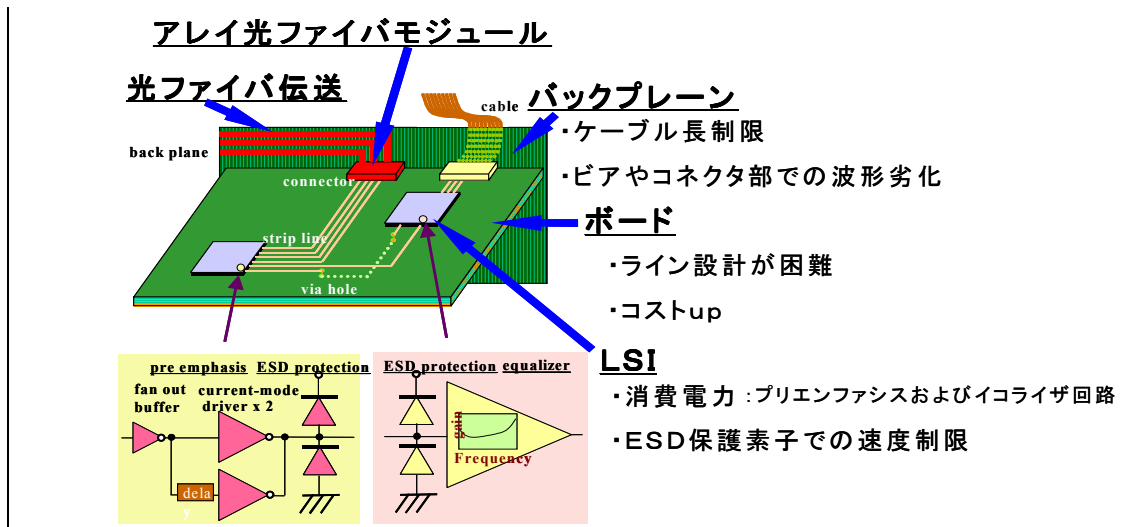


図3 ボード内/間伝送のボトルネック

(a) 高速化の課題

1) LSIのI/O部に起因するもの

システムLSI内部回路はCMOSで構成されるが、I/O部は伝送路に電流を流しておく必要があるため、アナログ増幅器を用いたLSI内部とは異なる回路構成を取る。LSI内部のCMOSコア部分は、回路の微細化、低電圧のトレンドの中で高速化、低消費電力化が実現されるが、I/O部では高速化、低電圧化により外部雑音の影響の中で十分な信号対雑音比を取ることが難しくなる。

2) 静電保護素子(Electro Static Discharge : ESD)に起因するもの

LSIの電気I/Oでは、接続パッドがアンテナとなり、静電気等のパルス状のノイズが混入する可能性がある。これを防止し内部回路の破壊を防ぐため通常、LSIの電気I/O部には静電気保護回路が附加される。しかし静電気保護回路は容量成分となるため、高速化の制限要因となる。

(b) 低消費電力化の課題

1) 波形補償回路に起因するもの

電気I/Oでは、高速信号になるほど波形劣化が顕著となるため、その補償回路が組み込まれる（送信側で予め波形劣化と逆特性の歪を与えるプリエンファシ

スや、受信側で補償するイコライザ方式等)。これらの波形劣化補償回路により、I/O部の回路規模、消費電力がほぼ二倍となる。従って、実装サイズ、消費電力により搭載できるポート数に制限が生じてくる。また、設計/製造毎に補償値の調整が必要な為、装置コストアップの要因となる。

2) SerDes (Serializer/Deserializer)回路に起因するもの

ボード上の配線やコネクタを介した電気伝送では、多層配線の層間を接続するビアやコネクタの接触点等の接続部でのインピーダンス不整合による反射で波形が劣化する。これらの反射を考慮せず扱える伝送距離は、高速になる程短くなり、10Gbpsで0.5cm程度である。通常、信号伝送距離はボード内で約30cm、ボード間で約60cmは必要であり、高速信号をそのままボード内の配線によって伝送することは難しい。現在、ボード内で十分な距離を電気信号のまま伝送可能な信号速度は600Mbps、ごく短い距離でも2.5Gbps程度であり、この速度を超える信号は一度SerDes (Serializer/Deserializer) と呼ばれるLSIを用いて一配線当たり600Mbps~2.5Gbpsの並列信号に分解し速度を落として伝送している。このため、SerDesによる消費電力の増加と複数本に信号を分割することによる配線数の増加を生じるが、このような配線数の増加はボード上のライン設計を困難にするばかりでなく、より微細な配線パターンが求められるためにコスト

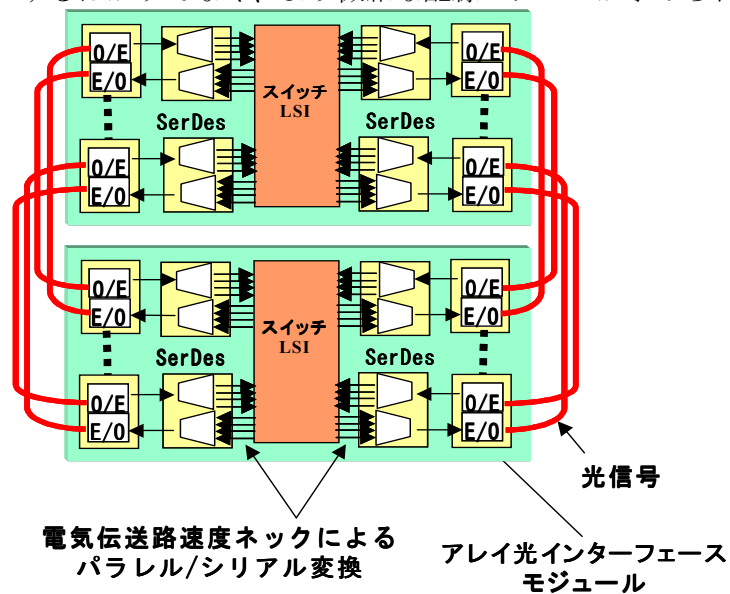


図4 アレイ光インターフェースモジュールを適用したスイッチボード間接続

の増加につながる。

このようなボード間/ボード内電気伝送の課題を解決するため、光インタコネクション技術の適用が検討され、アレイ光インターフェースモジュールが開発されてきた。これは、電気信号のデジタルインターフェースを持ち、光電気変換を行う機能を持ったモジュールである。図4に、アレイ光インターフェースモジュールを適用したスイッチボード間接続の構成を示す。ボード端に配置されたアレイ光インターフェースモジュールとスイッチLSIを

ボード上にて電気信号で接続し使用される。光ファイバの広帯域性を活かし、Gbpsを超える速度で数百m以上の伝送が可能となっている。しかしながら、スイッチLSIとアレイ光インターフェースモジュールはプリント板上で電気配線しなくてはならず、その部分でのLSIの電気I/O、ボード上の配線の課題は解決されない。さらに、ボード上での電気配線部分で十分な信号対雑音比を確保してアレイ光インターフェースモジュールを駆動する為、通常の電気伝送よりも大きな消費電力が必要となる。また、コストアップも大きな問題であった。

次に、ルータ装置全体の構成を考える。現在のルータ入出力のインターフェース規格としては速度約10Gbpsの10ギガビットイーサネット（10GbE）、またはSONETの10Gbps規格であるOC-192が最も高速である。現状のスイッチLSIを用いて、スループットTbpsクラスのルータを構成しようとする、ラインインタフェースのポートあたり速度を10Gbpsとした場合、電気伝送では、各スイッチLSI間は、1：4程度に分割しての2.5Gbps程度以下のパラレル信号で接続する必要がある。ラインインタフェースのロジック信号処理部で、スイッチ処理用のオーバーヘッドや符号化処理により、バックプレーンの伝送容量は約2倍の20Gbps必要となる。信号を通常の差動信号として、1ボードのラインインタフェースに10Gbpsで4ポート搭載する場合、128本の信号線が必要であり、1装置に12枚のラインインタフェースの収容を想定すると、信号線が集合するスイッチボードには1536本もの信号線が集合することになる。実現には20層以上の多層ボードを適用せざるを得ず、全ての信号の伝送特性を確保することは非常に困難であり、コストもアップする。

2-2 ラインインタフェースまたは光I/Oに用いる光源(DFB-LD)の問題点

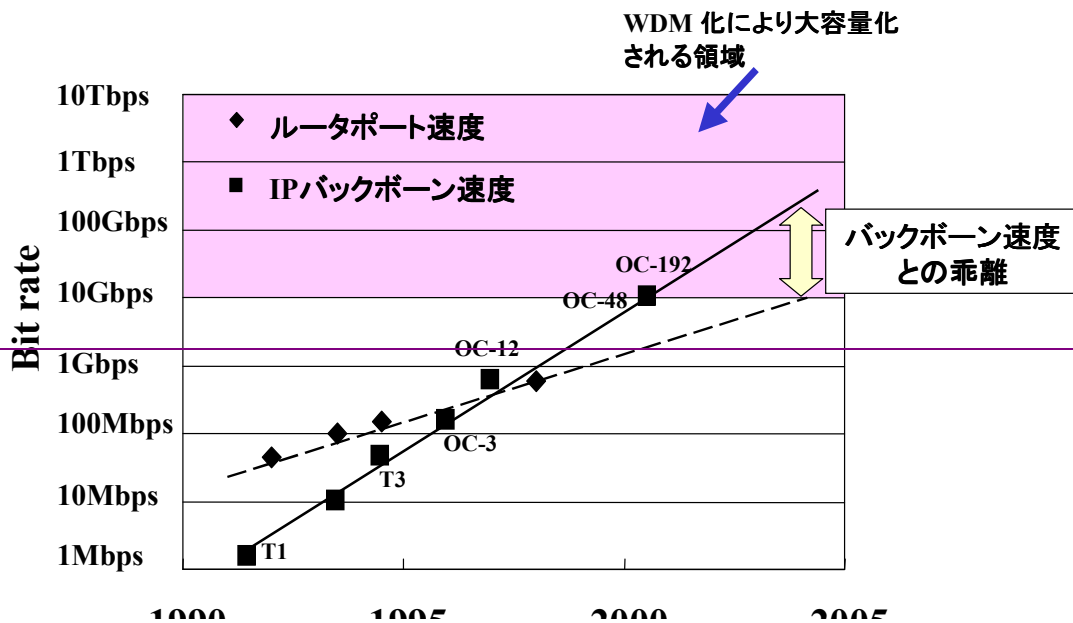
現状のメトロ・ディストリビューション領域における要求は伝送速度10Gbps以下、伝送距離20km以下程度であるが、将来これが波長多重方式により、40Gbps－100Gbpsに大容量化されると予想される。このような大容量伝送では、伝送距離が数百m以上になると、波長分散が小さい長波帯（1.3 μ m、1.55 μ m）の単一縦モード発振光源とシングルモードファイバー(SMF)の組み合わせが必要である。従来、単一縦モード発振光源としてDFB-LDが用いられているが、1) 過大な発振しきい値電流(～数十mA)による消費電力増大、2) 素子特性をオンウエハで評価が不可能なためのコスト増、3) 構造の複雑さによる素子のコスト増、が課題であり、これらがルータなどの装置を構成する上での1つのボトルネックであり、また光インターコネクションの適用範囲を限定する大きな要因ともなっている。

3 研究開発の全体計画

3-1 研究開発課題の概要

インターネットに代表されるデータ通信需要の爆発的な拡大に対応するため、バックボーンネットワーク、ディストリビューションネットワークの高速・広帯域化が進んでいる。この中で、ディストリビューションネットワークとバックボーンネットワークを結ぶメトロネットワーク、特にそのノードに用いられるルータの処理速度が、ネットワーク全体のブロードバンド化を図る上でボトルネックとなってきた。CMOS LSIの微細化に伴い、ルータを構成するスイッチLSI内部の高速化は進展しているが、LSIと外部との接続や、ボード、装置間をつなぐ部分のインターフェースの信号速度、消費電力、信号線数等が問題であり、従来技術の延長線上で解決するのは困難である（I/Oボトルネック）。

そこで現在のルータの処理速度限界を打破するため、1) 1チャンネルあたり10Gbpsのポート速度の光I/Oをパッケージに内蔵した光I/O型32ch×32chスイッチLSIモジュール、2) ルータ装置と外部を接続する為の100Gbpsクラス小型光インターフェースに適用する1.3 μ m帯多波長VCSEL (Vertical Cavity Surface Emitting Laser Diode: 面発光型半導体レーザ) の実現を目標とする。本研究開発テーマにおける上記各課題の位置付けを以下の図5に示す。



3-2 研究開発目標

3-2-1 最終目標（平成17年3月末）

「テラビットルータに向けた高速信号処理用光モジュールの開発」

Tbpsクラスの容量を持つルータなどのスイッチ機能を実現するための要素スイッチである10Gbps/ポートの32ch×32ch光I/O内蔵型スイッチLSIモジュールを開発する。このスイッチをボードに複数個実装し、それらを多段構成で接続し、スイッチング

動作を確認する。さらに、 $1.3\ \mu\text{m}$ 帯多波長VCSELを用いて、10Gbps/portでの10km CWDM伝送を達成する。

サブテーマ（各最終目標）

- 1) 光I/O内蔵型スイッチLSIモジュールの研究開発
 - ・ 10Gbps/ポート32ch×32ch光I/O内蔵型クロスポイントスイッチLSIモジュールを開発し、これらをスイッチボード上に複数個実装し、各々を多段構成で接続する。
 - ・ これらを簡易筐体の実装し、多段スイッチのポート速度10Gbpsでのスイッチング動作を確認する。
- 2) $1.3\ \mu\text{m}$ 帯多波長VCSELの研究開発
 - 多波長アレイVCSELを用いて、40～100GbpsのCWDMシステム伝送実験を行う。

3-2-2 中間目標（平成16年3月末）

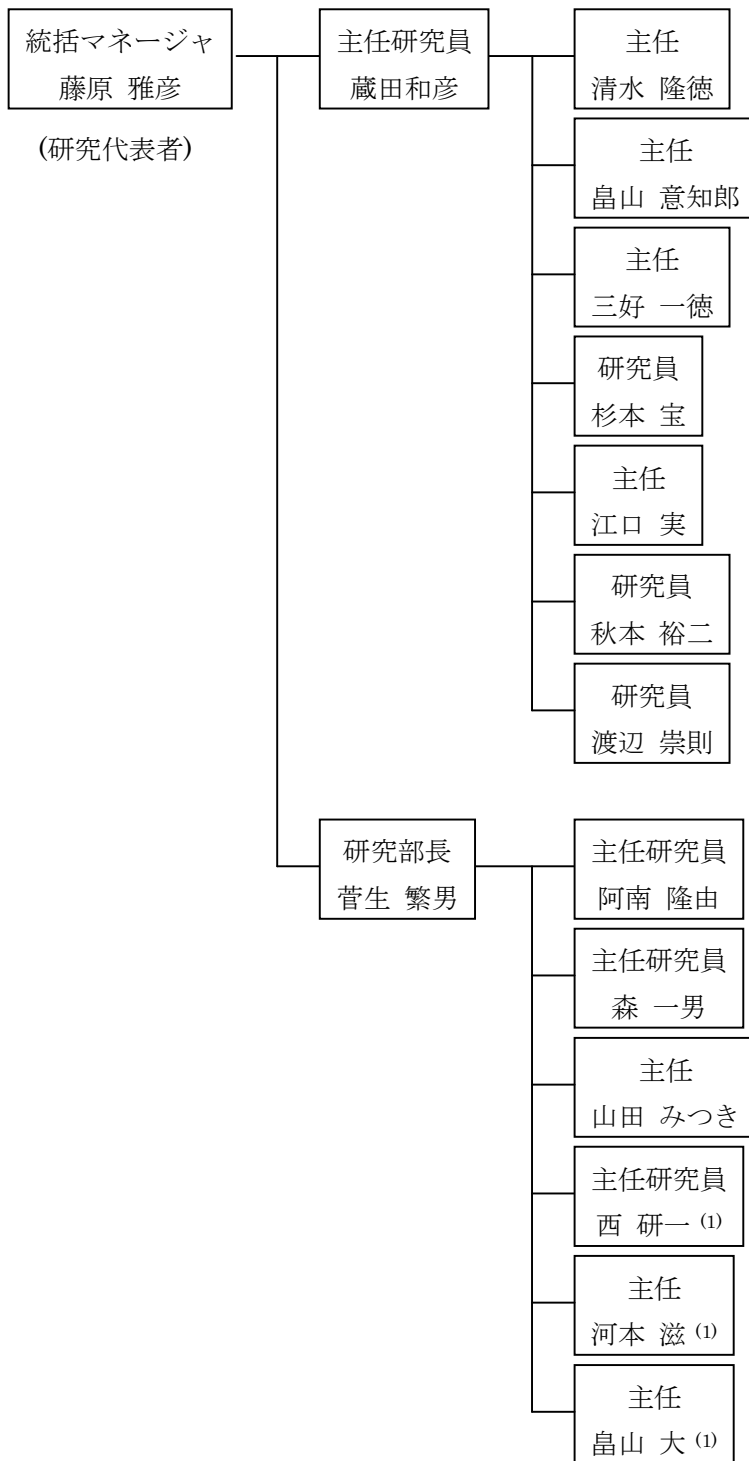
- 1) 10Gbps/ポートの32×32 CMOSスイッチLSIおよび10mm×10mm程度の超小型光I/Oを実現し、それらを用いて光I/O内蔵型スイッチLSIモジュールの動作を確認する。
- 2) 長波VCSELにおいて発振波長 $1.35\ \mu\text{m}$ までの長波化を行い、その10G高速変調、最大光出力1.5mWを実現する。
- 3) CWDM用VCSELとして $1.280\ \mu\text{m}$ から $1.340\ \mu\text{m}$ までの多波長アレイVCSELのモノリシック化技術を確立する。

3-3 研究開発の年度別計画

(金額は非公表)

研究開発項目	平成14年度	平成15年度	平成16年度	計	備考
テラビットルータに向けた高速信号処理用光モジュールの開発					
アー1) 光I/O内蔵型スイッチLSIモジュールの研究開発 1)-1 CMOSスイッチLSIの開発 1)-2 超小型光I/Oの開発	10Gbps スイッチ動作	10Gbps 32×32 スイッチ動作	クロスコネク 簡易装置化		
アー2) 1.3μm帯多波長VCSELの研究開発	長波長化、高出力化	WDM化	実装・伝送テスト		
間接経費額					
合計					

3-4 研究開発体制



(1) 平成14年12月20日より

4 研究開発の概要（平成14年度まで）

4-1 研究開発実施計画

4-1-1 研究開発の計画内容

4-1-1-1 光I/O内蔵型スイッチLSIモジュールの研究開発

平成14年度は、10 Gbps/portの32×32 ch光I/O内蔵型スイッチLSIモジュールを実現するため、CMOSスイッチLSIおよび光I/Oの10 Gbps動作実証とスイッチの基本機能確認を行う。具体的には以下の通りである。

- 1) 実装部分までを取り込んだ設計にて、10 Gbps/port スイッチLSIをCMOS LSIプロセスで試作し、LSIの10 Gbps/port動作とスイッチ機能の確認を行う。
- 2) 従来サイズ比1/10以下（10 mm×10 mm程度）を目標とする低コストな超小型光I/Oを試作し、10 Gbpsの光送受信動作を検証する。
- 3) 上記スイッチLSIと光I/Oを接続し、10 Gbps/portの光I/O内蔵型スイッチLSIモジュールの機能を検証する。

4-1-1-2 1.3 μm帯多波長VCSELの研究開発

平成14年度は、1.3 μm帯のVCSELを用いて、CWDM（Coarse Wavelength Division Multiplexing:低密度波長分割多重）を実現するため、単体VCSELにおける発振波長域の拡大とパワーバジェットを確保するための高出力化技術を開発する。具体的には以下の通りである。

- 1) GaInNAs活性層の結晶の高品質化を進め、N組成を増加させることでVCSELの発振波長の長波化を行い、CWDM伝送に必要な波長帯域を確保する。
- 2) 高次モードの出現を抑制する光共振器構造を設計し、シングルモード時の高出力化（～1mW）を行う。

4-1-2 研究開発課題実施計画

(金額は非公表)

研究開発項目	第1四半期	第2四半期	第3四半期	第4四半期	計	備考
<p>ア テラビットルータに向けた高速信号処理用 光モジュールの開発</p> <p>ア-1 光 I/O 内蔵型スイッチ LSI モジュールの研究開発</p> <p>ア-2 1.3 μm 帯多波長 VCSEL の研究開発</p>			<p>設計、試作</p> <p>VCSEL発振 波長長波化</p>	<p>10Gbps スイッチ 動作</p> <p>高出力化</p>		
間接経費						
合計						

4-2 研究開発の実施内容

4-2-1 光I/O内蔵型スイッチLSIモジュールの研究開発

平成14年度は、10 Gbps/portの32×32 ch光I/O内蔵型スイッチLSIモジュールを実現するため、CMOSスイッチLSIおよび光I/Oの10 Gbps動作実証とスイッチの基本機能確認を行った。具体的には以下の通りである。

- 1) 実装部分までを取り込んだ設計にて、10 Gbps/port, 2×2chのスイッチLSIをCMOS LSIプロセスで試作し、LSIの10 Gbps/port動作とスイッチ機能の確認を行った。
- 2) 従来サイズ比1/10以下（10 mm×11 mm）の低コストな超小型光I/Oの試作を行い10 Gbpsの光送受信動作を検証した。
- 3) 上記スイッチLSIと光I/Oを接続し、10 Gbps/portの光I/O内蔵型スイッチLSIモジュールの機能を検証中である。4月末評価完了予定。

4-2-2 1.3 μm帯多波長VCSELの研究開発

平成14年度は、1.3 μm帯のVCSELを用いて、CWDM（Coarse Wavelength Division Multiplexing:低密度波長分割多重）を実現するため、単体VCSELにおける発振波長域の拡大とパワーバジェットを確保するための高出力化技術を開発する。具体的には以下の通りである。

- 1) GaInNAs活性層の結晶の高品質化を進め、N組成を増加させることでVCSELの発振波長の長波化を行い、CWDM伝送に必要な波長帯域を確保する。
- 2) 高次モードの出現を抑制する光共振器構造を設計し、シングルモード時の高出力化（～1mW）を行う。

4 研究開発実施状況（平成14年度）

5-1 光I/O内蔵型スイッチLSIモジュールの研究開発

5-1-1 開発の位置づけ

インターネットに代表されるデータ通信需要の爆発的な拡大に対応するため、バックボーンネットワーク、ディストリビューションネットワークの高速・広帯域化が進んでいる。この中で、ディストリビューションネットワークとバックボーンネットワークを結ぶメトロネットワーク、特にそのノードに用いられるルータの処理速度が、ネットワーク全体のブロードバンド化を図る上でボトルネックとなってきた。CMOS LSIの微細化に伴い、ルータを構成するスイッチLSI内部の高速化は進展しているが、LSIと外部との接続や、ボード、装置間をつなぐ部分のインターフェースの信号速度、消費電力、信号線数等が問題であり、従来技術の延長線上で解決するのは困難である（I/Oボトルネック）。

そこで現在のルータの処理速度限界を打破するため、1チャンネルあたり10Gbpsのポート速度の光I/Oをパッケージに内蔵した光I/O内蔵型32ch×32chスイッチLSIモジュールの実現を目標とする。本研究開発テーマにおける上記課題の位置付けを以下の図6に示す。

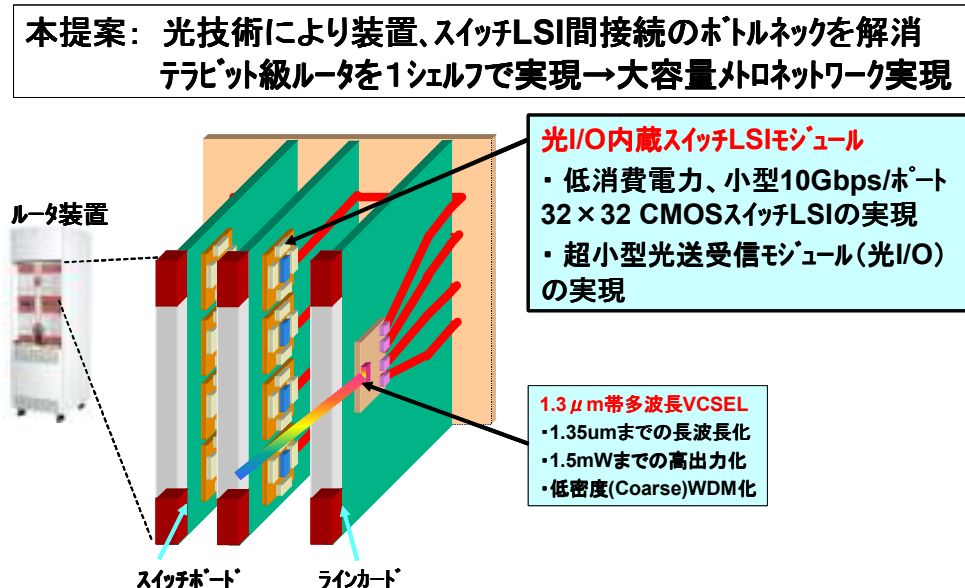


図6. 光I/O内蔵型スイッチLSIモジュールの開発課題

平成14年度は、10Gbps/portの32×32ch光I/O内蔵型スイッチLSIモジュールを実現するため、CMOSスイッチLSIおよび光I/Oの10Gbps動作実証を行った。具体的には以下の通りである。

- 1) 従来サイズ比1/10以下（10mm×11mm）の低コスト超小型光I/Oの試作を行い、10Gbpsの光送受信動作を検証した。
- 2) 実装部分までを取り込んだ設計にて、10Gbps/portスイッチLSIをCMOS LSIプロセスで試作し、CMOS LSI上にレイアウトしたI/O部動作確認用テストチップおよびBGA基板上に形成した伝送確認用テスト配線により、BGA基板内10Gbps信号伝送を実証した。

試作した光I/O内蔵型スイッチLSIモジュールの外観を図7に示す。以下では、これら研究開発実施状況の詳細について記述する。

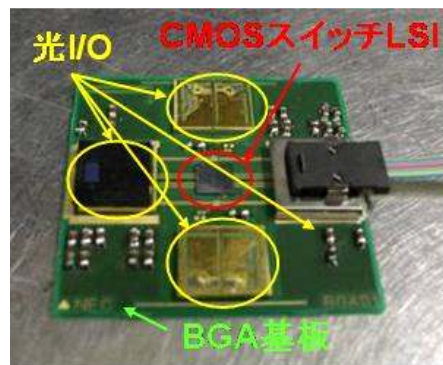


図7. 光I/O内蔵型スイッチLSIモジュール外観

5-1-2 超小型光I/Oの試作と動作検証

5-1-2-1 超小型光I/Oの構成

本研究開発において試作した光I/Oは、超小型、低コスト、10Gbps×4chの光送受信を可能とするため、以下に挙げる特徴を有している。

- 1) 実装プラットフォームとしてフレキシブル配線基板（透明樹脂基板）を適用することによる実装プラットフォームの低コスト化、同基板を基準面とした簡易で高効率な光学系の採用による光学系の低コスト化の実現。
- 2) 電極パターンによる、送信部と受信部間の電磁干渉の遮蔽構造と、ch間クロストーク抑制のための伝送線路の結合線路化による、光I/Oの小型、多ch化の実現。
- 3) 低誘電率、低損失な樹脂基板の適用と光/電気素子の高精度フリップチップ実装技術による低反射、低ロスな10Gbps信号伝送の実現。

これらの特徴を具体化した超小型光I/Oの構成を図8に示す。本光I/Oは光/電気素子および光学系の搭載される透明樹脂基板(上部)と、キャビティ構造を有するセラミック基板(下部)で構成される。透明樹脂基板には0.85um波長帯の4ch VCSELアレイおよびpin-PDアレイ、送信/受信LSIがAuバンプの圧接によりフリップチップ実装されている。

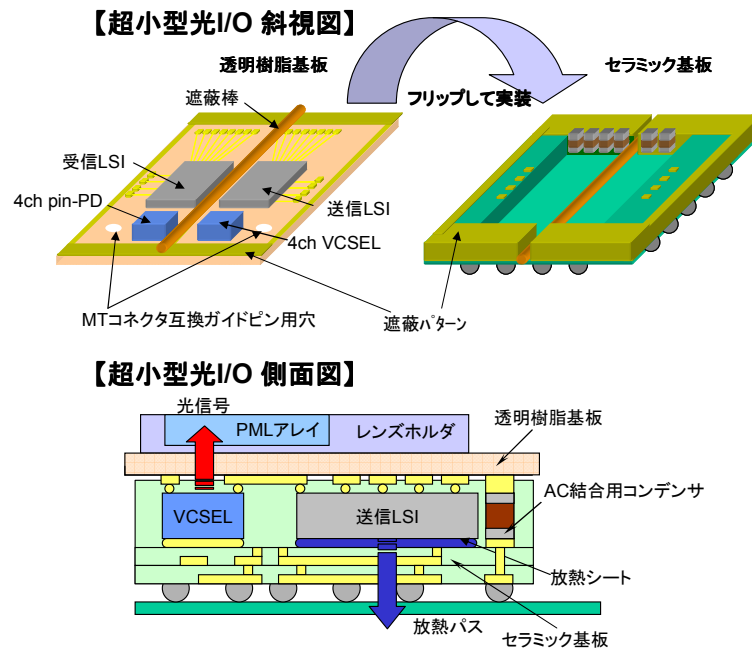


図8. 超小型光I/Oの構成

送受間は樹脂基板の配線パターンおよび遮蔽棒により電磁遮蔽されている。透明樹脂基板の素子搭載面の反対側には、平板マクロレンズ(PML)アレイがレンズホルダー内に固定されて実装されている。このPMLアレイと光素子は透明樹脂基板上のマークを用いたビジュアルアライメントにより実装され、その実装精度は $\pm 2\mu\text{m}$ 程度である。透明樹脂基板およびレンズホルダーにはMTコネクタ互換のガイドピン用の穴が設けてある。一方、セラミック基板には入出力信号をAC結合するための16個のコンデンサが実装されている。

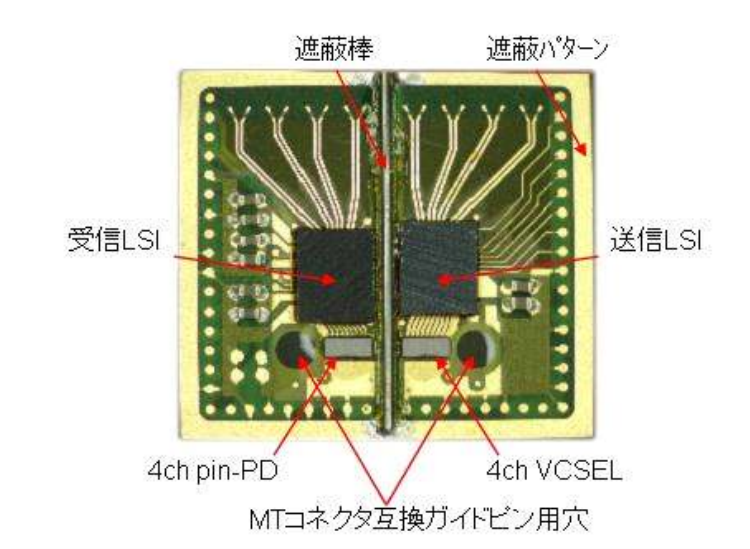


図9. 超小型光I/O (透明樹脂基板)

さらに先述の遮蔽棒が収まるための溝が形成されており、またセラミック基板外周はAuメッキされているため先述の透明樹脂基板上での遮蔽構造と併せて送受間がそれぞれ完全に箱型の空間にて遮蔽される構造となっている。光I/O全体の体積はわずか165mm³ (10×11×1.5mm)であり、消費電力は1.5Wと非常に小さい。試作した光I/O (透明樹脂基板)を図9に示す。

5-1-2-2 超小型光I/Oの動作検証および結果

試作した超小型光I/Oに対して、10.3125Gbps、2⁷-1擬似ランダムパターン信号

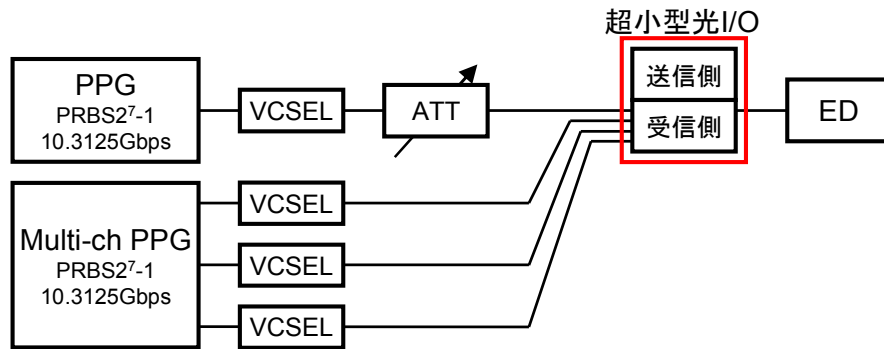


図10. 超小型光I/O受信特性測定系

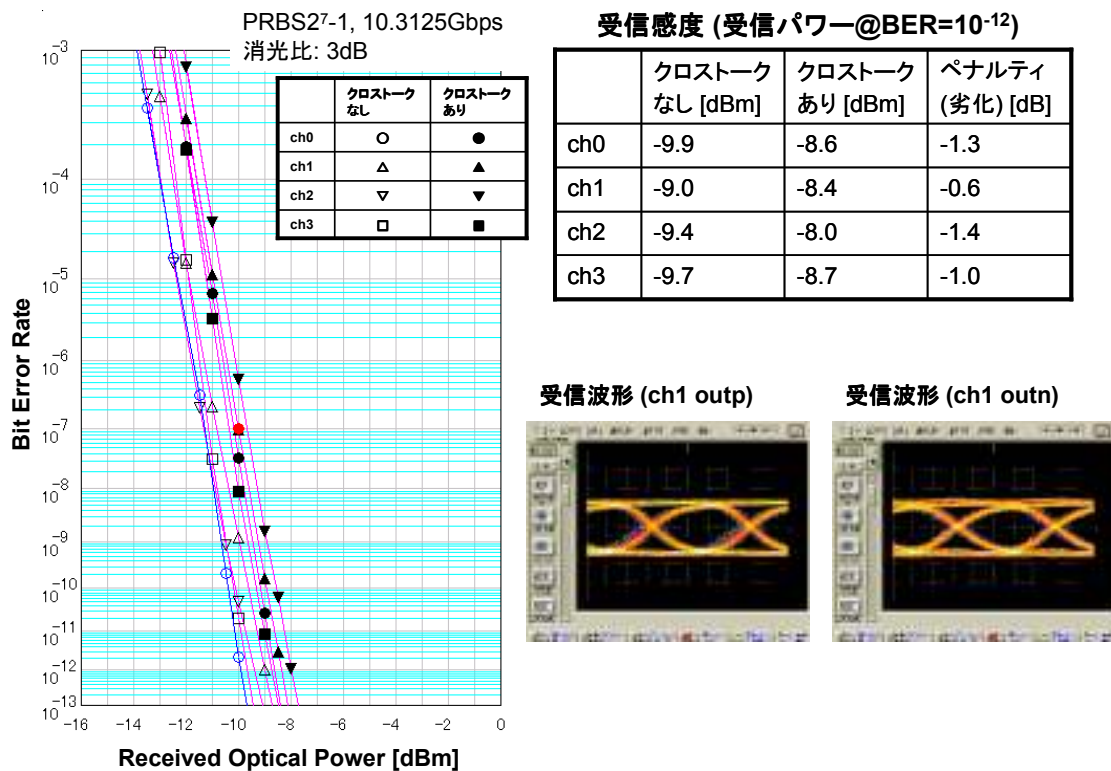


図11. 超小型光I/O受信感度測定結果

(PRBS2⁷-1)による光送受信動作の検証を行った。

図10に受信側4chの受信特性測定系を示す。パルスパターンジェネレータ (PPG)によりVCSEL光源 (波長: 0.85um)を変調して、PRBS2⁷-1、10.3125Gbps、消光比3dBの光信号を発生させ、光減衰器 (ATT)を介して超小型光I/Oの受信側光入力4chのうち測定対象となるchに入力する。さらに、多ch PPG (Multi-ch PPG)により3個のVCSEL光源を変調して、PRBS2⁷-1、10.3125Gbps、消光比3dB、光パワー-2dBmの光信号を発生させ、これをクロストーク信号光 (干渉信号光)として受信側の残りのchに入力する。超小型光I/Oの受信側電気出力のうち測定対象となるch出力をエラーディテクタ (ED)に入力し、BER (Bit Error Rate)を測定する。図11に受信側各4ch (ch0~ch3)の受信感度測定結果を示す。受信感度をBER = 10⁻¹²となる入力光パワーで規定したときの各chの受信感度を同図中に示す。受信感度は-8.7~-8.0dBmで、クロストーク光が存在しない場合に比べて最大で1.4dBの劣化 (受信側クロストークペナルティ1.4dB)となった。受信波形 (超小型光I/O出力電気波形)を同図中に示す。

一方、図12には送信側4chの送信特性測定系を示す。PPGおよびMulti-ch PPGによりPRBS2⁷-1、10.3125Gbpsの電気信号を発生させ、超小型光I/Oの送信側電気入力chにそれぞれ入力する。測定対象となるchから出力される光を光受信器で受信して、送信側でのクロストークによるペナルティを測定する。図13に送信側クロストークペナルティ測定結果を示す。クロストーク信号が存在しない場合に比べて、クロストーク信号が存在する場合は0.5dB程度、受信器の受信感度が劣化し、送信側クロストークペナルティは0.5dBとなった。送信波形 (超小型光I/O出力光波形)を同図中に示す。

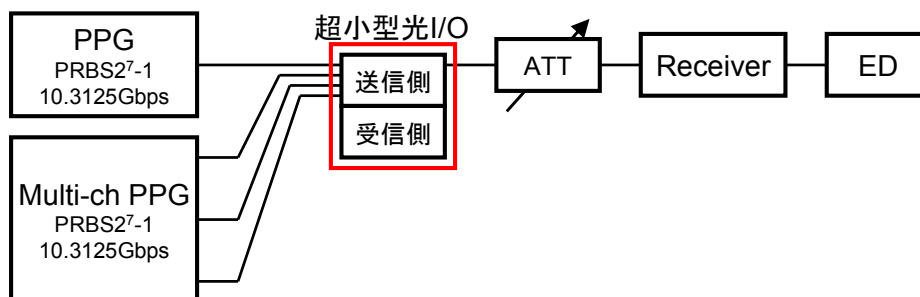
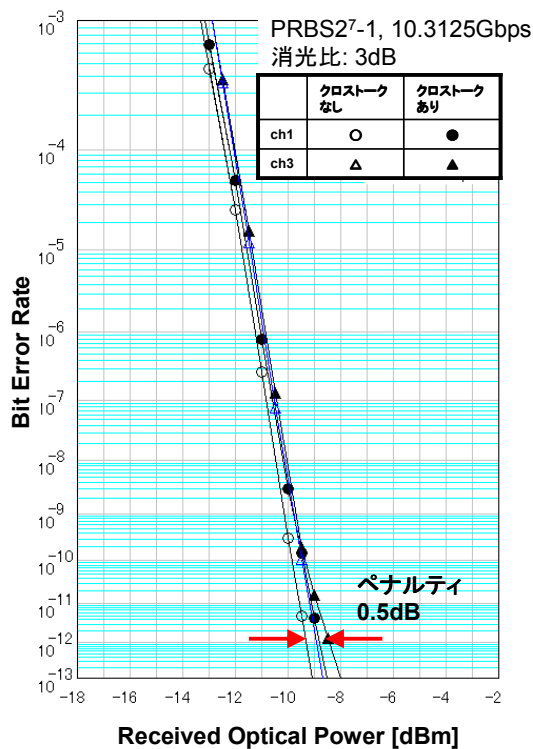


図12. 超小型光I/O送信特性測定系

上記の送信特性、受信特性の測定と同様の測定を、本光I/Oに使用しているLSIの製造メーカーより供給された送信/受信LSI評価ボード (搭載されている送信/受信LSI、VCSEL/pin-PDは本光I/Oに搭載されているものと同一)にて同一の測定を行った。結果として、本光I/Oより得られたペナルティとほぼ同等のペナルティが得られることを確認した。したがって、これまでの測定結果より、我々の試作した光I/O構成は送信/受信LSI、VCSEL/pin-PDの性能を落とすことなく小型化できていること、10Gbps送受対向動作が実現可能であることが示された。



送信波形 (ch1 out), 消光比 3dB

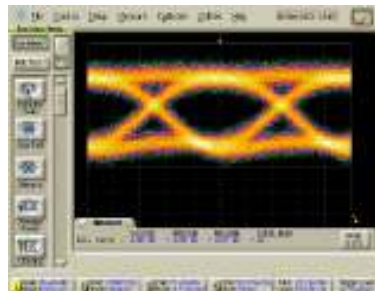


図13. 超小型光I/O送信特性測定結果

5-1-3 CMOSスイッチLSIの試作、超小型光I/O-CMOSスイッチLSI間接続の動作検証

5-1-3-1 CMOSスイッチLSIの試作

0.13 μ m CMOSプロセスを用いて、10Gbps/portのクロスポイントスイッチLSIを試作した。図14にCMOSスイッチLSIのチップ写真を示す。最終目標は32 \times 32スイッチであるが、今回はスイッチ基礎動作確認を行うため、入出力ポート数はそれぞれ32のままでスイッチ規模を分割して、16 \times 16スイッチ1個と、2 \times 2スイッチ8個の構成にした。さらに、これらスイッチのI/O部の動作確認用テスト回路もレイアウトして、I/O回路部分のみ個別評価ができる構成とした。図15に2^N \times 2^Nスイッチの回路ブロック構成を示す。16 \times 16スイッチはN = 4に相当する。構成のポイントは以下の2点である。

- 2^N個の10Gb/s信号を2^N個のセレクタに入力し、各セレクタで1個の信号を選択して出力。
- セレクタでの信号の選択方法：制御ポート (addr[2^N-1:0], sel[2^N-1:0], load, config) より与えられる制御信号により全セレクタ分の制御情報を一旦レジスタに書き込み、全セレクタに一括して反映(セレクタごとに制御端子を設ける場合に比べてパッド数を大幅に削減)。

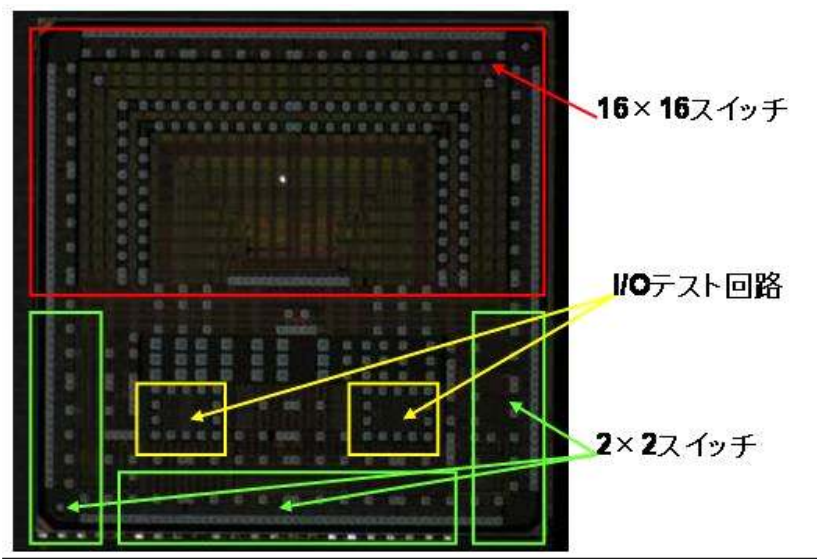


図14. CMOSスイッチLSIチップ写真

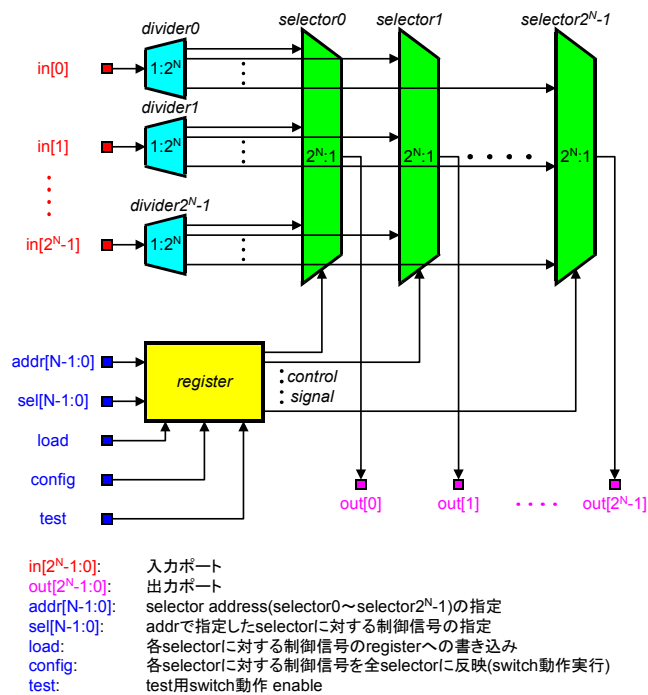


図15. $2^N \times 2^N$ スイッチ回路ブロック構成

2×2 スイッチもこれと同様の構成である。さらに、 16×16 スイッチ、 2×2 スイッチとも、I/O回路部分には、低電源電圧CMOSに適用可能な小振幅のLVDSインターフェースを使用して低消費電力化を図っている。

現在、 16×16 スイッチ、 2×2 スイッチは評価中であり、今回は、I/O部動作確認用テスト回路について、その10Gbps動作を確認した。結果を図16に示す。PRBS 2^7-1 、10.3125Gbpsの信号入力に対して、多少帯域不足ではあるが良好なアイ開口（振幅

150mVpp)を確認した。

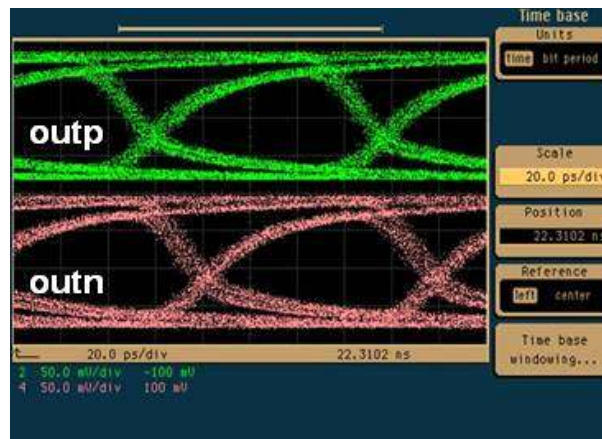


図16. CMOS LSI I/O部動作確認用テスト回路測定結果

5-1-3-2 光I/O – CMOSスイッチLSI間接続の検証

図7に示すように、光I/O内蔵型スイッチLSIモジュールでは、BGA基板の上に超小型光I/OおよびCMOSスイッチLSIが搭載されており、これらの間を10Gbpsの高速電気配線で結ぶ構成をとる。現在、CMOSスイッチLSIは評価中であり、BGA基板上で光I/OとCMOSスイッチLSIを接続した評価には至っていない。そのため、今回は、BGA基板の上に形成した伝送確認用テスト配線を用いてBGA基板上での10Gbps伝送特性を確認し、光I/O – CMOSスイッチLSI間接続の検証を行った。テスト配線の概略を図17に示す。2組の結合伝送線路の間隔は、実際に光I/O – CMOSスイッチLSI間に配線される結合伝送線路間隔の最小値(110 μ m)である。配線長は、実際に最小配線間隔で配線されている結合伝送線路の配線長相当(10mm)としている。本テスト配線を用いて、in1端子に(PRBS2⁷-1、10.3125Gbps)の信号を入力したときのout1端子出力(伝送特性)、out2端子出力(クロストーク特性)を測定した。測定結果を図18に示す。(a)はin1端子入力波形(PRBS2⁷-1、10.3125Gbps)、(b)はout1端子出力波形(伝送特性)、(c)はout2端子出力波形(クロストーク特性)を示す。波形の振幅比より、伝送損失は0.7dB、配線間クロストークは-23dBと見積もれる。

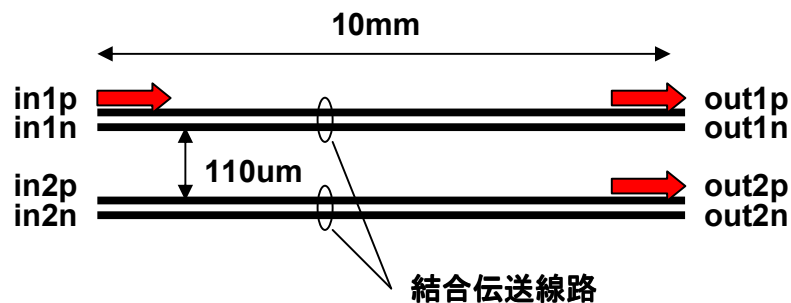
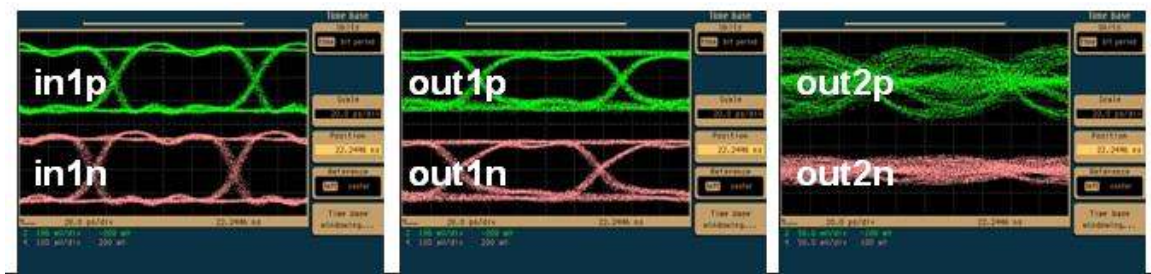


図17. BGA基板上テスト配線

CMOSスイッチLSIの出力振幅150mVpp（前記I/O部動作確認用テスト回路測定結果より）、光I/O入力許容振幅最小値100mVpp（送信LSI仕様シートより）であり、CMOSスイッチLSI → 光I/Oの10Gbps高密度信号伝送が可能であることが示された。逆の伝送（光I/O → CMOSスイッチLSI）は光I/O内受信LSI出力振幅に余裕があるため問題ない。



(a) 入力波形

(b) out1端子出力波形

(c) out2端子出力波形

図18. テスト配線伝送/クロストーク特性測定結果

以上、超小型光I/O、CMOSスイッチLSI、光I/O – CMOSスイッチLSI間接続の測定結果より、本超小型光I/Oを8p搭載することで32ch×32chの光I/O内蔵型スイッチLSIモジュール実現の目処を得た。

5-1-4 まとめ、今後の課題

平成14年度は、10Gbps/portの32×32ch光I/O内蔵型スイッチLSIモジュールを実現するため、CMOSスイッチLSIおよび光I/Oの10Gbps動作実証を行った。具体的には以下の通りである。

- 1) 従来サイズ比1/10以下（10mm×11mm）の低コスト超小型光I/Oの試作を行い、10Gbpsの光送受信動作を検証した。
- 2) 実装部分までを取り込んだ設計にて、10Gbps/portスイッチLSIをCMOS LSIプロセスで試作し、CMOS LSI上にレイアウトしたI/O部動作確認用テストチップおよびBGA基板上に形成した伝送確認用テスト配線により、BGA基板内10Gbps信号伝送を実証した。

今後は、10Gbps/portの32×32光I/O内蔵型スイッチLSIモジュールを実現するため、32ch×32ch CMOSスイッチLSIおよび光I/Oの低コスト構造の開発を行い、10Gbps/port、32ch×32chのスイッチ動作検証を行う。具体的には以下の通りである。

- 1) 32ch×32ch 10Gbps/portスイッチLSIをCMOSプロセスで試作し機能見極めを行う。
- 2) 平成14年度試作の従来サイズ比1/10以下（10mm×10mm程度）の光I/Oの低コスト化改良設計を行う。
- 3) 上記スイッチLSIと光I/Oを接続し、光I/O内蔵型スイッチLSIモジュールの10Gbps、32ch×32chのスイッチ機能を検証する。

5-2 1.3 μm 帯多波長VCSELの研究開発

5-2-1 1.3 μm 帯多波長VCSEL

1.3 μm 帯VCSELを用いてCWDM (Coarse Wavelength Division Multiplexing:低密度波長分割多重) 伝送を行う場合には、例えば波長間隔20nmで4波長を多重するとすると、VCSEL素子の発振波長域としては約1.28–1.34 μm の範囲を確保することが求められる。このような長波長帯のVCSELにおいて良好な特性を得るためには、優れた特性を持つAl(Ga)As/GaAs系のDBRを組み合わせて用いることが必要であるため、従来のようなInP系材料ではなく、GaAs基板上で長波長帯の発光を有する新しい活性層材料がポイントとなる。我々はこれまで、GaAs基板上で長波長帯の発光を持つ材料としてGaAsSb/GaAs量子井戸構造を提案し、1.3 μm 帯端面発光型レーザ、及び1.3 μm 帯VCSELの低閾値発振を実現し、2.5Gb/s帯において良好な変調特性が得られることを報告してきた【1】【2】。しかし、GaAsSb材料系には、伝導帯バンド不連続が小さいという本質的な問題があり、本研究において目標としている10Gb/s以上の高速変調には不利となる。GaAs基板上で長波の発光を持つ他の材料としては、近藤らによりGaInNAs材料系が提案されている【3】。このGaInNAs材料系は、伝導帯バンド不連続が大きいため高速変調に有利であると共に高温特材料としても期待され、多数の研究機関で端面発光レーザ及びVCSEL特性の報告がなされている【4】【5】【6】。しかし、CWDM伝送に必要な、1.3 μm 帯を超える波長でのGaInNAs-VCSELは殆ど報告がない。そこで我々は、GaInNAs材料を活性層として採用し、これまでのGaAsSb/GaAs系VCSELで培ったDBR作製や素子作製技術を生かしてVCSELを作製し、このVCSELの多波長アレイを用いてCWDM伝送を実現することを目標として研究を行っている。本年度は、GaInNAs活性層の長波長帯での高品質化を進め、CWDM伝送に必要な波長帯である1.34 μm 帯でのGaInNAs-VCSELの低閾値発振を実現した。また、CWDM伝送に必要な単一モード出力特性改善の検討を行った。以下にその詳細について説明する。

5-2-2 GaInNAs活性層の長波長化

従来、GaInNAs活性層の特性は、N組成を増加させて長波長化するほど非発光再結合中心の増加により発光特性やレーザ発振閾値が劣化することが報告されている。1.34 μm 帯VCSELの低閾値発振を実現するためには、このような長波長帯でのGaInNAs活性層の特性を改善することが重要である。図19にこれまで報告されている、主なGaInNAsレーザの発振波長と閾値の関係を示す。成長法はMBE、及びMOVPEの両方のアプローチがあり、各■、△印で示している。何れの成長法共に、1.28 μm 帯付近までは従来のInP系材料にせまる低閾値が得られているが、長波長に行くほど閾値が劣化する傾向が見られる。これ

は、N組成が増加すると共に結晶品質が劣化し非発光再結合中心が増大するためと考えられている。そこで今回我々は、なるべくIn組成を増大させ、N組成が小さい範囲で1.34 μm 帯の発光が得られるよう設計を行った。

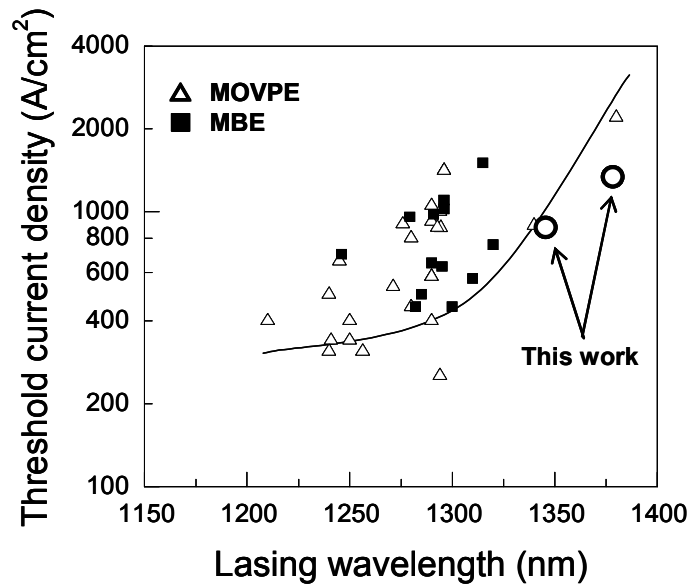


図19. GaInNAsレーザの発振波長と閾値の関係

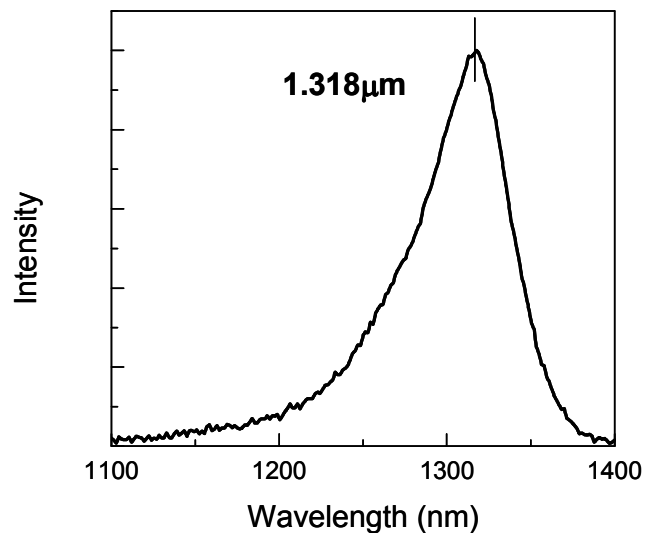


図20. GaInNAs量子井戸のPLスペクトル

図20に、このようにして得られたGaInNAs量子井戸のPLスペクトルを示す。量子井戸

厚は約7.5nm、井戸間のGaAsバリア層は30nmの二重量子井戸構造とした。In組成は35%、N組成は約1.2%である。このPLスペクトルにおいて、ピーク波長は1.318 μm 、半値幅は46meV程度と、1.3 μm 以上の波長においても良好なPL特性が得られた。この波長範囲においては、発光特性及びN組成を精密に制御するためには、 $\pm 1\text{-}2^\circ\text{C}$ レベルの基板温度制御が必要であり、今年度導入した成長制御装置を用いることにより実現された。

次に、この量子井戸構造を用いて、ブロードストライプレーザの発振閾値の評価を行った。図21に、この素子（共振器長1mm、ストライプ幅20 μm ）のI-L特性及びスペクトル特性を示す。発振波長1.346 μm において、閾値電流密度は $J_{\text{th}}=870\text{A}/\text{cm}^2$ であった。この

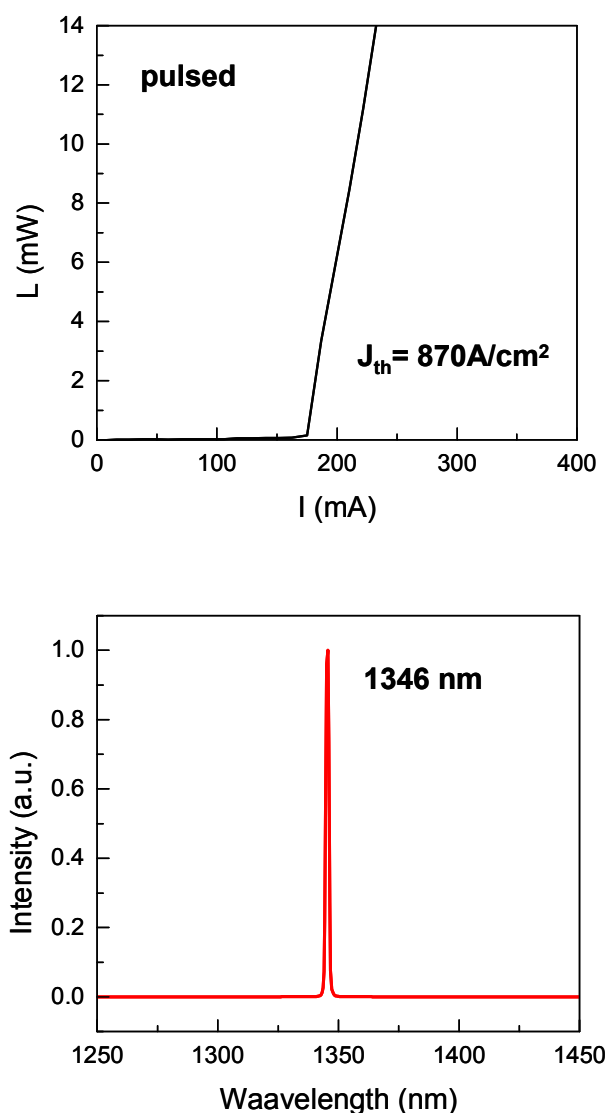


図21. GaInNAs端面発光レーザ特性

閾値は十分低く、1.34 μm 帯のVCSELを実現するのに十分な値といえる。更にN組成を約1.3%に増やした素子においては、波長1.378 μm で発振し、発振閾値は1300A/cm²であった。これらの特性を図19に○印で示したが、1.3 μm を超える波長帯において最も低閾値の範囲にあるといえる。

5-2-3 1.34 μm 帯VCSELの低閾値発振

次に、このGaInNAs活性層を用いて、1.32-1.34 μm 帯のVCSELを作製した。その表面出射型のVCSEL構造を図22に示す。これらの構造は全て減圧MOVPEを用いて成長した。基板はGaAs(001)を用い、III族原料はTMGa、TEGa、TMIn、TMAI、V族原料はAsH₃及びジメチルヒドラジン(DMHy)を用いた。活性層構造は、In組成は約35%、N組成は約1.2%のGaInNAs二重量子井戸である。DBRは、下側がn型Al_{0.9}Ga_{0.1}As/GaAs、上側がp型Al_{0.9}Ga_{0.1}As/GaAsとし、上側DBRにはドーパントとしてカーボンを用い、高反射率かつ低抵抗が得られるようドーピング構造を最適化している。上側DBRの最下層には、AlAsを挿入し酸化電流狭窄層としてある。デバイス構造は、ウェットエッチングによりメサを形成した後、本年度導入した酸化炉を用いて水蒸気酸化プロセスを行った。この水蒸気酸化プロセスにより4-10 $\mu\text{m}\phi$ の酸化開口を作製した後、リング型の電極を最表面に形成した酸化狭窄型構造とした。

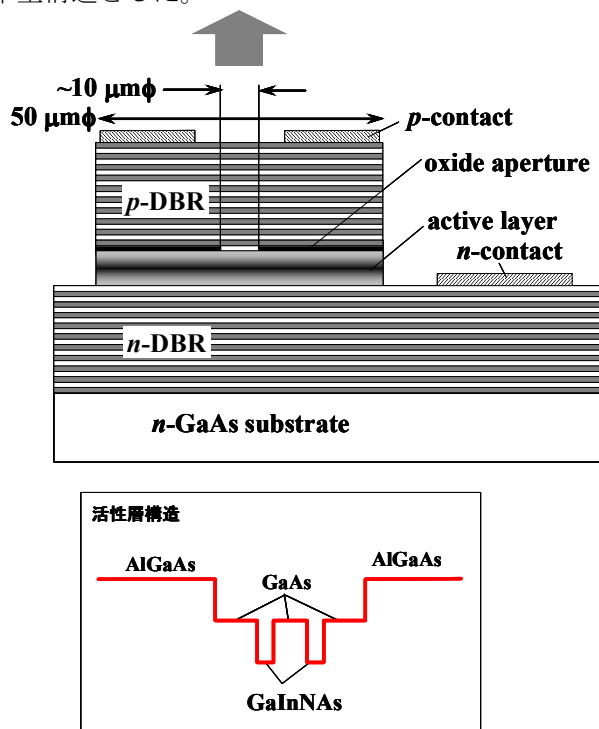


図22. 表面出射型GaInNAs-VCSEL構造

図23に共振波長1.34 μm 、酸化狭窄径約4 $\mu\text{m}\phi$ の素子のCW駆動によるI-L、I-V特性及び

発振スペクトルを示す。発振閾値は2.7mA、スロープ効率 η は0.04W/A、微分抵抗は約250 Ω であった。発振波長は、4mA注入時において1339.4nmであった。これは、1.3 μm を超える波長域のVCSELとしては、これまでの最高レベルの特性にあたり、CWDM伝送に必要な波長帯域を確保するVCSEL素子の実現できた。今後は、活性層の更なる高品質化を実現し、VCSEL素子の低閾値化及び高出力化を図ると共に、10Gb/sまでの高速変調を検討し、CWDM伝送システムにおける実用性能の実現を目指す予定である。

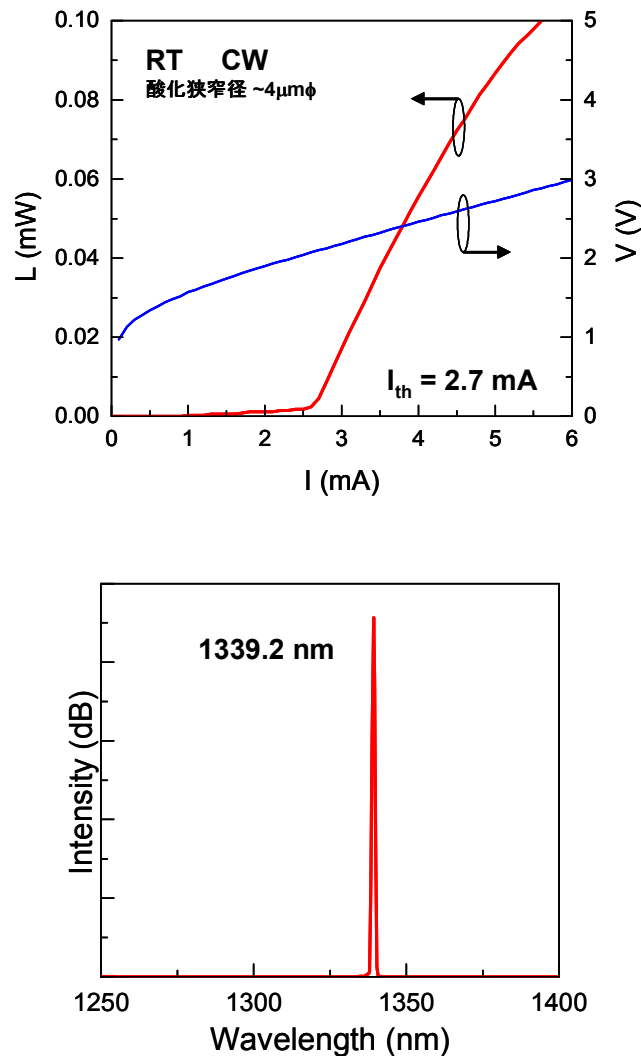
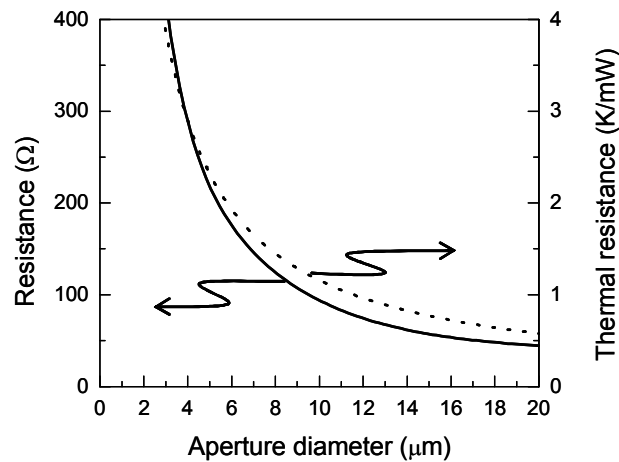


図23. 1.34 μm 帯GaInNAs-VCSEL特性

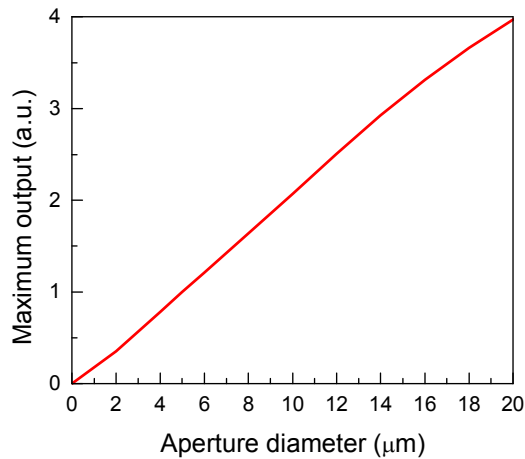
5-2-4 VCSELの高出力化

VCSEL素子をCWDM伝送システムに用いるには、パワーバジェットを見積もると約1-

1. 5mWの単一モード出力が要求される。一般に、VCSELではDFB-LDに比べ高出力を得ることが困難であるが、その理由は次の通りである。VCSELでは、低注入時には基本モードで発振するが、注入電流を増すと共に高次横モードの利得が大きくなり多モード発振になってしまう。このような多モード発振を防ぐためには、予め酸化狭窄径を基本モードのみが存在する大きさ（ $\sim 5\mu\text{m}\phi$ 程度）しておけば良いが、このように酸化狭窄径を狭めると、素子抵抗及び熱抵抗の増大により素子の発熱による温度上昇を招き、最大出力が制限されてしまう。図24にこの様子を示す。図24(1)は、簡単なモデルにおいて得



(1)



(2)

図24. VCSEL特性の酸化狭窄径依存性

(1)素子抵抗及び熱抵抗 (2)最大光出力

られる、素子抵抗及び熱抵抗の酸化狭窄径依存性を示している。図24(2)は(1)の結果に基づいて最大出力を見積もったものである。これによると、出力を改善するためには酸化狭窄径を大きくすることが有効であり、酸化狭窄径を大きくした上で高次モードの発振を抑制すれば十分な単一モード出力を得られることが分かる。高次モードの発振を抑制するためには、高次モードに対して共振器損失を選択的に大きくするような構造上の設計を施せば良い。このような構造の例を図25に示す。図25に示すようなVCSEL構造では、基本モードは径の中心部に、高次モードは径のより外側に強い光強度分布を持つ。よって、例えば図25における領域AのDBR反射率を高く保ち、領域Bの反射率を下げることによって、基本モードと高次モードとの間に共振器損失差をつけることが可能である。図25に示す構造では、DBRの一部の層 ($n+0.5$ 周期) を領域Aのみ残してエッチング除去することにより、領域Bでは位相が反転し反射率を下げる事ができる。このような構造において、領域Aと領域Bにおける、上側DBRの反射率を計算し、領域Bにおける閾値上昇の効果を見積もった。その結果、図25の構造において、DBRを0.5周期除去した場合、発振閾値電流は約16倍に、1.5周期除去した場合には約42倍に上昇すると見積もられた。よって、このように少ない周期数のエッチングでも高次モード抑制の効果は十分得られると考えられる。今後、このような構造をGaInNAs-VCSELに適用して、単一モード高出力化を図っていく。

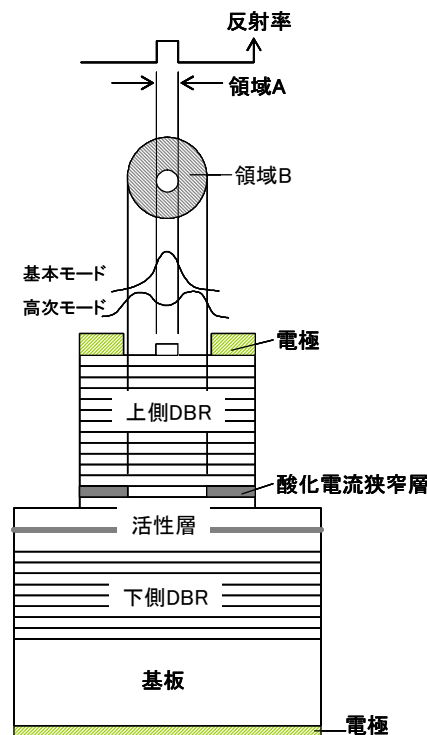


図25. VCSELの高次モード抑制構造

5-2-5 まとめ

平成14年度は、発振波長1.34 μm までGaInNAs活性層を長波長化し、室温での低閾値VCSEL発振を実現した。またCWDM伝送システムで必須となる高出力シングルモード化に向け高次モード抑制構造の検討を行った。平成15年度は、1.3 μm 帯のVCSELを用いてCWDMを実現するため、単体VCSELをベースにしたアレイ化技術を開発すると共に、GaInNAs活性層の更なる高品質化を進め、単体VCSELにおける高出力化・高速変調技術を開発していく予定である。

5-3 総括

光I/O内蔵型スイッチLSIモジュールの研究開発において、平成14年度は、10Gbps/portの32 \times 32ch光I/O内蔵型スイッチLSIモジュールを実現するため、CMOSスイッチLSIおよび光I/Oの10Gbps動作実証を行った。具体的には以下の通りである。

- 1) 従来サイズ比1/10以下（10mm \times 11mm）の低コスト超小型光I/Oの試作を行い、10Gbpsの光送受信動作を検証した。
- 2) 実装部分までを取り込んだ設計にて、10Gbps/portスイッチLSIをCMOS LSIプロセスで試作し、CMOS LSI上にレイアウトしたI/O部動作確認用テストチップおよびBGA基板上に形成した伝送確認用テスト配線により、BGA基板内10Gbps信号伝送を実証した。

今後は、10Gbps/portの32 \times 32光I/O内蔵型スイッチLSIモジュールを実現するため、32ch \times 32ch CMOSスイッチLSIおよび光I/Oの低コスト構造の開発を行い、10Gbps/port、32ch \times 32chのスイッチ動作検証を行う。具体的には以下の通りである。

- 1) 32ch \times 32ch 10Gbps/portスイッチLSIをCMOSプロセスで試作し機能見極めを行う。
- 2) 平成14年度試作の従来サイズ比1/10以下（10mm \times 10mm程度）の光I/Oの低コスト化改良設計を行う。
- 3) 上記スイッチLSIと光I/Oを接続し、光I/O内蔵型スイッチLSIモジュールの10Gbps、32ch \times 32chのスイッチ機能を検証する。

1.3 μm 帯多波長VCSELの研究開発においては、平成14年度は、発振波長1.34 μm までGaInNAs活性層を長波長化し、室温での低閾値VCSEL発振を実現した。またCWDM伝送システムで必須となる高出力シングルモード化に向け高次モード抑制構造の検討を行った。平成15年度は、1.3 μm 帯のVCSELを用いてCWDMを実現するため、単体VCSELをベースにしたアレイ化技術を開発すると共に、GaInNAs活性層の更なる高品質化を進め、単体VCSELにおける高出力化・高速変調技術を開発していく予定である。

参考資料、参考文献

- 【1】 T. Anan, M. Yamada, K. Nishi, K. Kurihara, K. Tokutome, A. Kamei and S. Sugou, "Continuous-wave operation of 1.30- μ m GaAsSb/GaAs VCSELs " Electron. Lett., Vol.37 pp.566-567, 2001.
- 【2】 M. Yamada, T. Anan, K. Kurihara, K. Nishi, S. Sugou, K. Tokutome, and A. Kamei, "High-performance 1.3- μ m VCSELs with GaAsSb/GaAs quantum wells " LEOS 2001 14th annual meetings. 2001.
- 【3】 M. Kondow, K. Uomi, T. Kitatani, S. Watahiki, and Y. Yazawa, "GaInNAs: a novel material for long-wavelength-range laser diodes with excellent high-temperature performance" , Jpn. J. Appl. Phys., Vol.35 pp. 1273- 1275, 1996.
- 【4】 M. Kawaguchi, T. Miyamoto, E. Gouardes, D. Schlenker, T. Kondo, F. Koyama, and K. Iga, "Lasing Characteristics of Low-Threshold GaInNAs Lasers Grown by Metalorganic Chemical Vapor Deposition", Jpn. J. Appl. Phys., Vol.40 pp.L744-L746, 2001.
- 【5】 A.W. Jackson, R.L. Naone, M.J. Dalberth, J.M. Smith, K.J. Malone, D.W.Kisker, J.F. Klem, K.D. Choquette, D.K. Serkland, and K.M. Geib, " OC-48 capable InGaAsN vertical cavity lasers", Electron. Lett., Vol.37 pp. 355-356, 2001.
- 【6】 S. Sato, N. Nishiyama, T. Miyamoto, T. Takahashi, N. Jikutani, M. Arai, A. Matsutani, F. Koyama, and K. Iga, "Continuous wave operation of 1.26 μ m GaInNAs/GaAs vertical-cavity surface-emitting lasers grown by metalorganic chemical vapour deposition' Electron. Lett., Vol.36, pp. 2018-2019, 2000